玻璃封裝全景

玻璃載板 × 玻璃芯基板 × 玻璃中介層 × CPO 玻璃光路：技術、製程難點、玩家與量產時程

報告日期：2026-09-29

資料基礎：IEEE EPS 講座 John H. Lau〈Glass Packaging and Its Reliability〉（2026-09-24）、Chip Scale Review 2026 冬季號、元大證券玻璃基板講座（2026-07-21）、TGV 產業專家會議（2026-07-22）、J.P. Morgan FCBGA / ABF 研討會（2026-07-21）、Morgan Stanley 玻璃先進封裝（2026-07-26）與面板報告（2026-09-08 / 09-21）、野村半導體材料（2026-05-21）、SemiAnalysis ECTC 2026（2026-07-02）、華南投顧 SEMICON Taiwan 2026 展場紀錄（2026-09-03）、台積電 2Q26 法說（大和摘要，2026-07-16）、永豐投顧論壇（2026-09-16）、高盛長廣拜訪（2026-09-16）、公司法說與拜訪紀錄。

說明：本報告以技術為主軸，個股只放在供應鏈章節。時程與成本數字多為券商或專家估計，已標註來源與日期。

摘要

五個結論

1. **「玻璃封裝」要分成四件事看。**玻璃暫時載板（製程結束就拿掉）已經在用；玻璃芯基板（取代有機載板的芯層）、玻璃中介層（取代矽中介層）與 CPO 玻璃光路才是「玻璃留在產品裡」的真正玻璃封裝，成熟度依序更低。
2. **玻璃的價值在「大而平」。**CTE 3–10 ppm/°C 可調、平整度高、介電損耗低，又能做成方形面板。AI 晶片中介層已經大到一片 300mm 晶圓放不下 10 顆，方形面板的面積效率約 88%，圓晶圓約 50%。
3. **量產卡點已從「能不能打孔」轉到「切割、檢測、附著與可靠度」。**成孔與填銅路線大致收斂，但切割微裂紋、百萬孔級的裂紋檢測、玻璃與銅的附著力、PCB 側銲點應變，仍是 2026 年未解的題目。
4. **時程分兩層。**玻璃載板型態（CoPoS 第一代、FOPLP）約 2028 年量產；玻璃芯基板與玻璃中介層做成封裝本體，多數第一手來源指向 2029–2030 年以後。積極派（Broadcom switch ASIC 2027 年、台積電 CoPoS 首顆產品 2029 年初）與保守派（2030 年前難量產）並存。
5. **受惠順序：設備與檢測先行，載板與面板廠營收遞延。**2026–2027 年是驗證機台與試產線訂單；載板廠與面板廠的玻璃營收，多數來源認為 2028 年以前不會明顯。Morgan Stanley 認為面板股評價已部分反映玻璃題材。

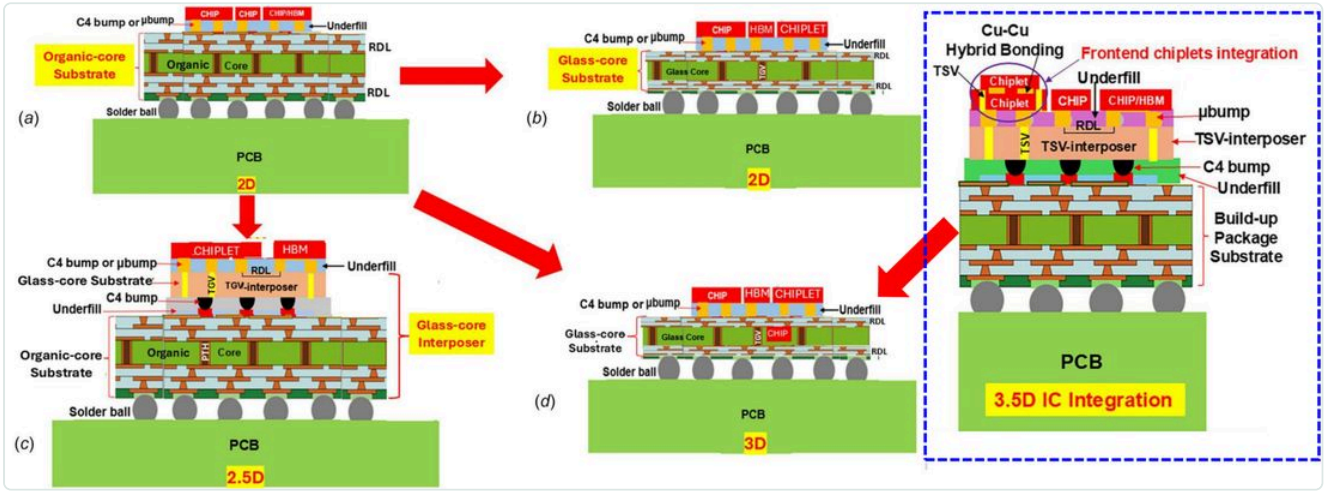


圖 1 | 封裝基板的演進路線。(a) 有機芯基板 2D → (b) 玻璃芯基板 2D → (c) 玻璃芯加中介層 2.5D → (d) 玻璃芯 3D 至 3.5D 整合（Cu–Cu 混合鍵合、TSV 中介層）。玻璃芯與 TGV（玻璃穿孔）加 RDL 的組合，目標是取代矽中介層與有機載板。來源：元大證券玻璃基板講座（2026-07-21）。

一、玻璃在先進封裝的四種角色

市場常把「玻璃基板」當成一件事，其實玻璃在封裝裡有四種完全不同的角色。判斷一家公司「切入玻璃」的意義時，要先問它做的是哪一種。

角色	做什麼	玻璃是否留在產品	成熟度	代表應用
玻璃暫時載板（Glass Carrier）	薄晶圓加工或扇出型封裝時的臨時支撐，透明所以可用雷射解鍵合，可重複使用	否，製程後分離	量產中	HBM 薄晶圓、FOWLP / FOPLP、CoPoS 第一代
玻璃芯基板（Glass Core Substrate）	取代有機 IC 載板的芯層，上下再疊 ABF 增層；以 TGV 做垂直電源與訊號通道	是	小量試產	AI GPU / ASIC、switch ASIC 大尺寸封裝
玻璃中介層（Glass Interposer）	取代 CoWoS 的矽中介層，上面做次微米 RDL	是	開發中	2.5D CoPoS 後續版本、3.5D 整合
玻璃光路（光波導、耦合器）	在玻璃內做光波導、半埋入 PIC、光纖直連	是	早期	CPO 光引擎、Corning GlassBridge

定義陷阱：FOPLP 不是玻璃封裝

欣興 John H. Lau 在 2026–09–24 IEEE 講座直接點名一個常見誤用：「FOPLP 的玻璃基板」這種說法是錯的。扇出型面板級封裝只把玻璃當暫時載板，製程結束就剝離，成品裡沒有玻璃。他的定義是「封裝結構裡必須有玻璃基板或玻璃中介層」才算玻璃封裝。所以「某廠導入玻璃載板」不等於已切入玻璃芯基板供應鏈，兩者技術承諾差很多。

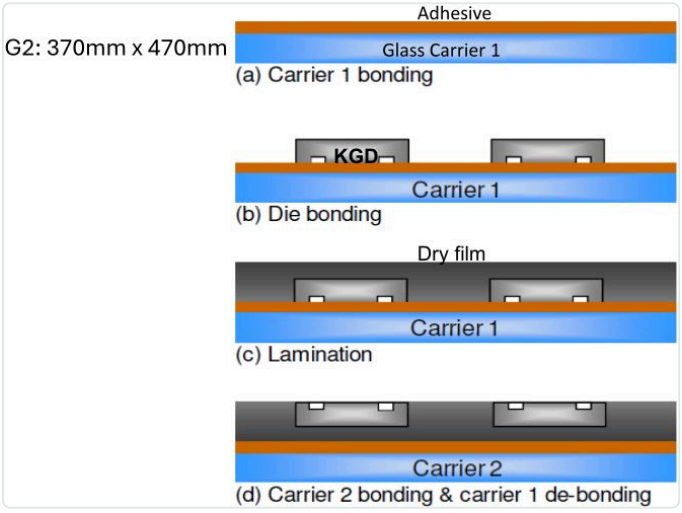


圖 2｜玻璃當暫時載板的 FOPLP 製程前半段。(a) 貼上玻璃載板 1 → (b) 放置已測良晶粒 KGD → (c) 乾膜壓合 → (d) 貼上載板 2、剝離載板 1，面板尺寸 370×470mm。來源：John H. Lau，IEEE EPS 講座（2026–09–24）。

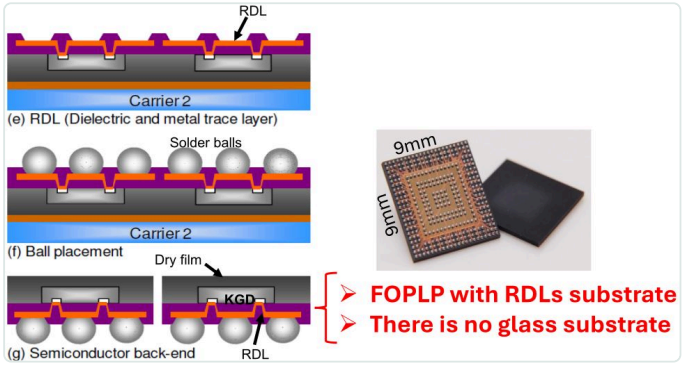


圖 3｜同一流程後半段與成品。(e) 做 RDL → (f) 植球 → (g) 後段；右側 9×9mm 成品，講者特別標註「FOPLP with RDLs substrate，There is no glass substrate」。來源同圖 2。

二、為什麼是玻璃

2.1 AI 封裝把有機載板推到極限

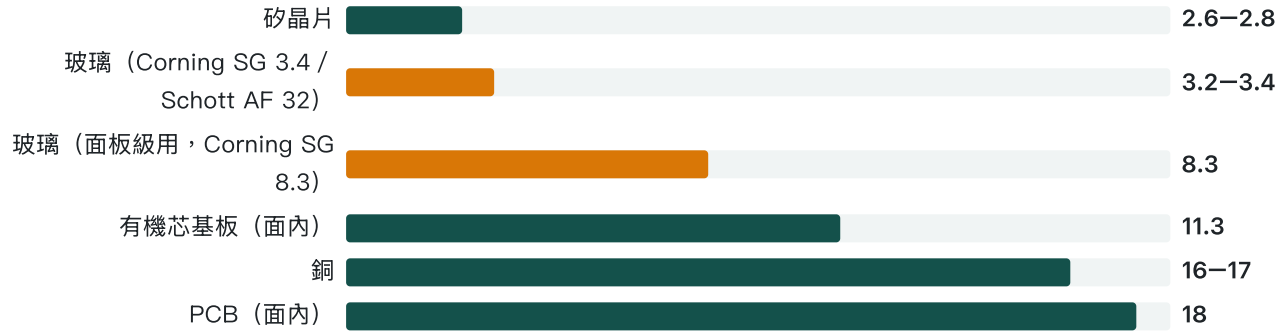
AI 加速器把多顆邏輯晶粒與 HBM 塞進同一封裝，中介層面積已經到 2,500mm²（8 顆 HBM）到 3,320mm²（12 顆 HBM）。Lau 在講座中指出，基板或中介層尺寸超過 120–140mm 後，有機材料的翹曲與散熱就會威脅晶片穩定。永豐投顧論壇（2026–09–16）也提到，即使 NVIDIA Rubin Ultra 維持在 5.5 倍光罩尺寸，SoIC 雙晶粒堆疊的翹曲仍然嚴重，玻璃基板是三個候選解方之一。

2.2 玻璃的四項物性優勢

- **熱膨脹係數可調。**玻璃 CTE 可依成分做到 0.5–10 ppm/°C，能貼近矽（約 2.6–2.8），也能往 PCB（約 18）靠。有機芯約 11–20 ppm/°C，與矽的失配是翹曲主因。
- **平整、尺寸穩定。**表面平整讓 RDL 可以做得更細；玻璃芯上已展示 1/1μm 線寬線距，業界平均仍在 5/5μm。
- **介電損耗低。**Corning、AGC 的高純石英 Df 低於 0.0001，一般無鹼玻璃約 0.003–0.006，有利高速訊號；玻璃本身絕緣，TGV 不必像 TSV 另做絕緣層。
- **可做成方形大面板。**這是成本論點的核心，見 2.3 節。

代價是：玻璃脆、導熱差（約 1 W/m·K，遠低於矽），與銅（CTE 約 16–17）之間的熱失配是最大應力源，而且光滑表面讓銅不易附著。

主要材料熱膨脹係數（ppm/°C，越短越接近矽）



數值來源：元大證券講座材料表（2026-07）、John H. Lau 講座模型參數（2026-09-24）、SemiEngineering 彙整。

廠商 / 型號	CTE	Dk / Df @10GHz	定位
Corning EXG SG 3.4	3.4	約 5.2 / 0.003	CTE 貼近矽，抗多晶粒高溫翹曲（HBM、AI 加速器）
Corning HPG / SG 8.3	8.3	約 5.8 / 0.004	面板級封裝用，CTE 介於矽與 PCB 之間平衡應力
Corning HPFS 7980（高純熔融石英）	0.52	3.7 / <0.0001	近零 CTE，矽光子 TGV、高頻 RF
AGC AN 100	3.8	約 6.1 / 0.006	無鹼玻璃，高平整、高模量，玻璃芯用
Schott AF 32 eco	3.2	約 5.1 / 0.005	可做到微米級超薄，玻璃中介層候選
Schott BOROFLOAT 33	3.3	約 4.6 / 0.004	高硼矽，最好加工，感測器與 TGV 實驗

來源：元大證券玻璃基板講座（2026-07-21）。Lau 講座指出 HPC / AI 最常用的是 Schott AF 32 與 Corning HPFS 7980；產業專家會議另列 HOYA 為合格供應商，並指出所有玻璃的共通弱點是導熱差。

2.3 面板經濟學：方形比圓形多放一倍

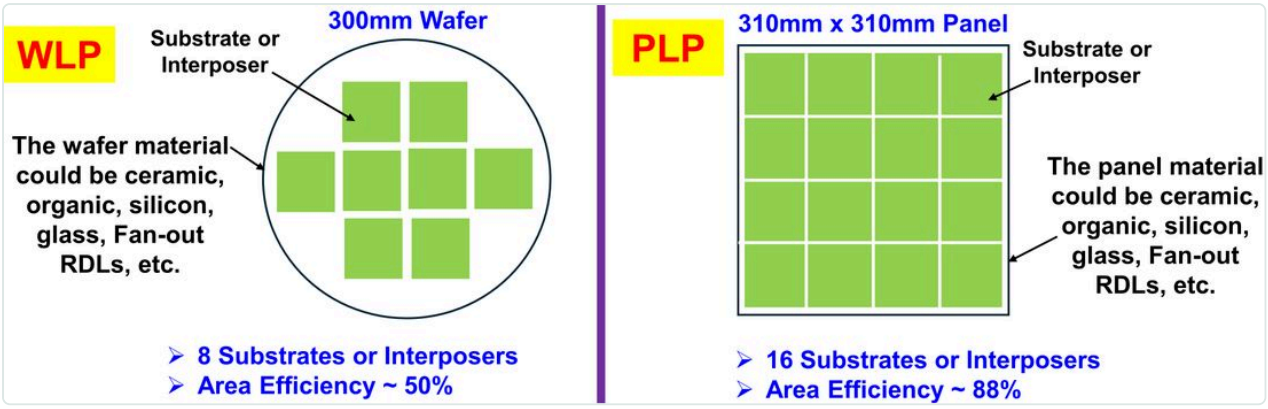


圖 4｜晶圓級與面板級的面積效率。同樣大小的基板或中介層，300mm 圓晶圓只能放 8 顆（效率約 50%），310×310mm 方形面板可放 16 顆（效率約 88%）。來源：John H. Lau，IEEE EPS 講座（2026-09-24）。

面板尺寸的共識正在往 **310×310mm** 收斂。台積電 2025-04 宣布 CoPoS 採 310×310mm；日月光原本規劃 600×600mm 面板線，2026-03 縮回 310×310mm 對齊台積電，並在 ECTC 2026（2026-05-26）由執行長正式宣布，目標 2026 年底前完成全自動試產線。Lau 的解讀是：310mm 大到能吃到面積效率，又小到能沿用 300mm 晶圓的製程控制與良率經驗。

更大的面板不一定更便宜。Lau 以取放機每小時 1 萬顆估算：2×2mm 晶片在 600×600mm 面板上要擺 529 分鐘，一次壓模只要 13–15 分鐘，壓模機有 94% 時間在等，必須並聯 36 台取放機才能平衡。產業專家也判斷 TGV 基板尺寸會落在 310×310mm 級，600mm 級連檢測百萬個孔的時間都耗不起。

三、三種玻璃封裝形態

3.1 玻璃芯基板：取代有機芯

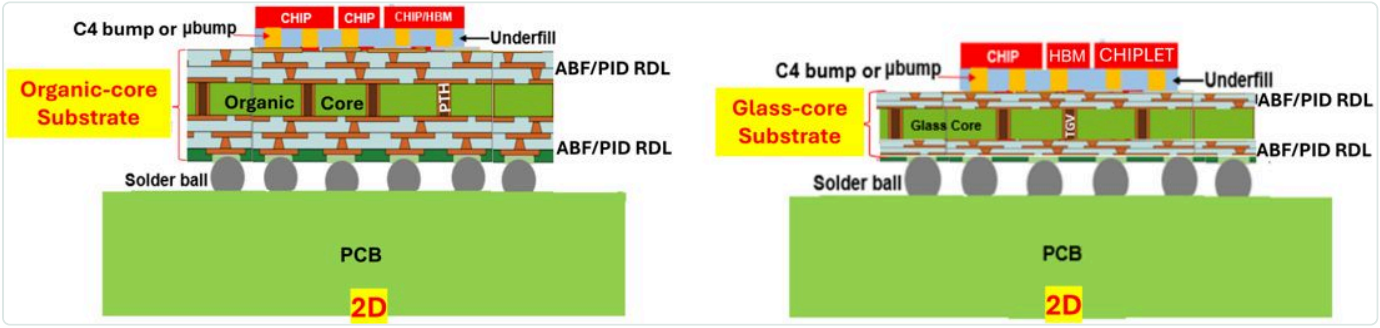


圖 5｜有機芯與玻璃芯基板的 2D 結構對照。兩者上方同樣是晶片 / HBM / chiplet 經 C4 或 μbump 加底部填膠接到 ABF / PID 增層 RDL，再以錫球接 PCB；差別只在中間的芯層：左為有機芯加 PTH 鍍通孔，右為玻璃芯加 TGV 玻璃穿孔。來源：John H. Lau，IEEE EPS 講座（2026-09-24）。

玻璃芯基板的做法是：在玻璃上打 TGV、填銅，再在上下兩面沿用有機載板的 ABF 增層。好處是平整度、尺寸穩定、耐熱更好，可以做更細的 RDL，也能支撐 Cu-Cu 混合鍵合。郭明錤（2026-06-11）提出另一個角度：玻璃芯變薄後 TGV 通道變短，電阻與電感同時下降，電源完整性提升，等於釋放更多功率餘裕給運算。

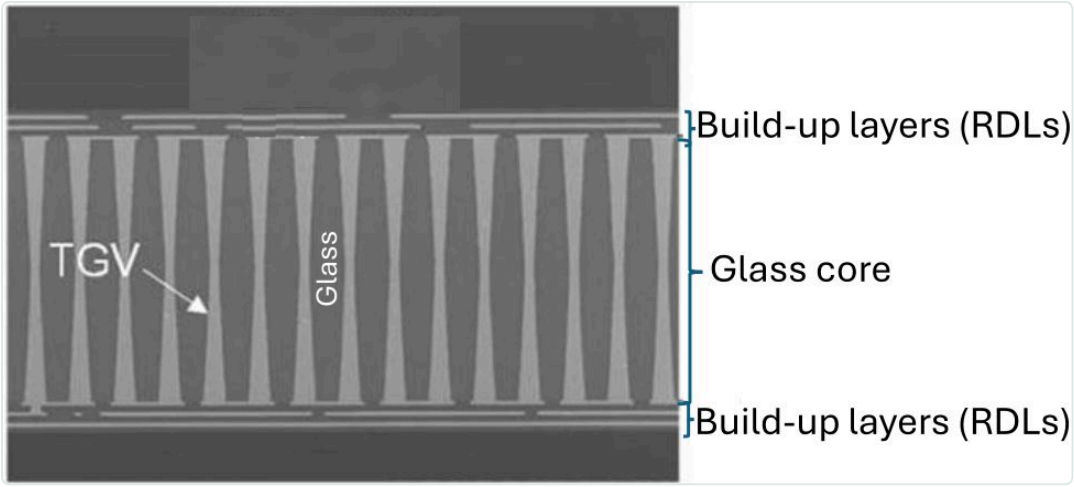


圖 6｜玻璃芯基板截面 SEM。中間為玻璃芯，內含多支填銅 TGV，上下各為增層 RDL（L/S >2μm）。來源：John H. Lau，IEEE EPS 講座（2026-09-24）。

厚度的甜蜜點是 500μm 左右。產業專家指出 300μm 以下幾乎無法搬運，800μm 以上每段製程都變慢，甚至以天計。Intel 在 NEPCON 2026 展示的玻璃芯基板標稱 800μm，依比例尺推估實際約 625μm；元大講座路線圖則顯示增層數 2025—2026 年 10 層、2028 年 16 層，TGV 深寬比由 1:5 往 1:10 推進，基板尺寸由 120—150mm 放大到 200mm 以上。

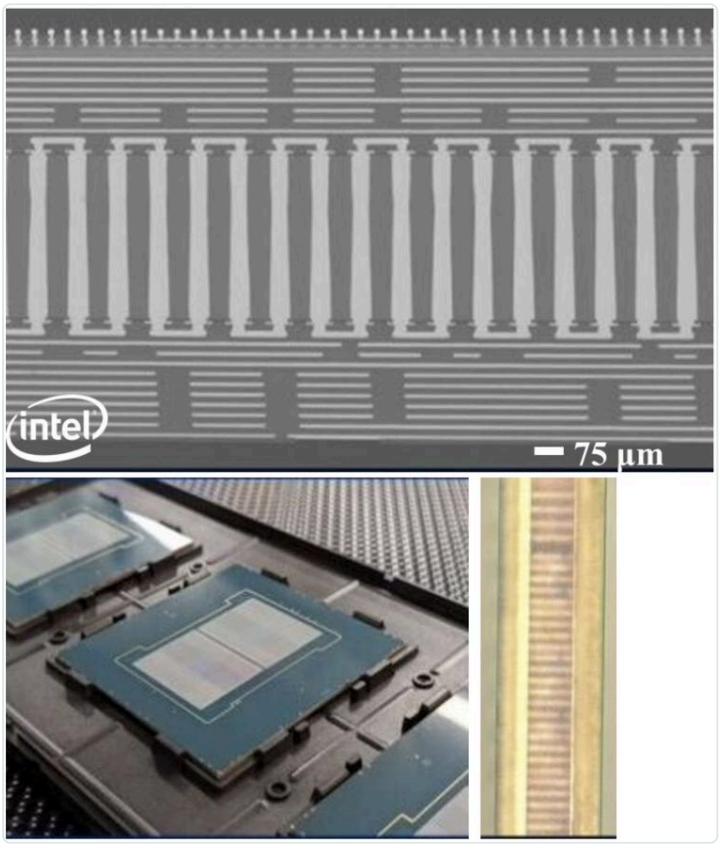


圖 7｜Intel 在 NEPCON 2026 展示的玻璃芯基板。上為 TGV 陣列 SEM 截面（比例尺 75μm），左下為封裝實品，右下為 TGV 截面。基板 78×77mm²，上下各 10 層 RDL，內嵌 2 顆 EMIB，標示無 SeWaRe 邊緣裂紋。來源：元大證券玻璃基板講座（2026-07-21）。

3.2 玻璃中介層：取代矽中介層

玻璃中介層是把 CoWoS 裡的矽 TSV 中介層換成玻璃 TGV 中介層，上面沿用 SiO_2 加雙鑲嵌銅的 RDL 製程，線寬線距可到 0.2μm；玻璃芯基板走 ABF 增層，只能到 2μm 以上，這是兩者精細度的根本差異。玻璃中

介層的優點是絕緣更好、表面更平、Dk / Df 更低、面積效率更高。Lau 也坦言，玻璃中介層上做到 0.2μm RDL 的成果「尚未見於文獻」。

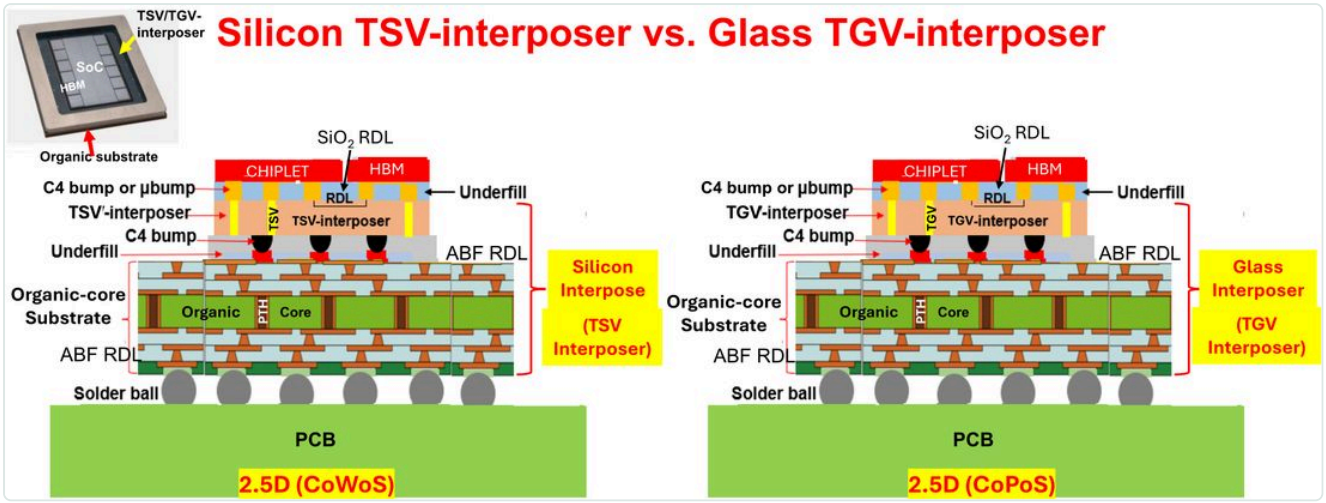


圖 8｜矽 TSV 中介層（左，2.5D CoWoS）與玻璃 TGV 中介層（右，2.5D CoPoS）結構對照。兩者差別只在中介層材質：SoC 與 HBM 經 μbump 接上中介層，再經 C4 接到 ABF 有機基板與 PCB。來源：John H. Lau，IEEE EPS 講座（2026–09–24）。

台積電 CoPoS 到底用哪一種玻璃，目前沒有定論。Lau 推測可能有三種版本：v1 是玻璃 TGV 中介層加有機基板，v2 是玻璃中介層加玻璃芯基板，v3 是把矽橋埋進面板級扇出模封（類似 CoWoS-L），玻璃只當暫時載板。他認為要等 2029 年第一季首顆 CoPoS 產品拆解才會知道。產業專家另提醒，台積電口中的「core substrate」在封裝與載板業界可能就是 interposer，定義因視角而異。

項目	矽 TSV	玻璃 TGV
基材	矽晶圓	無鹼平板玻璃或熔融石英
成孔	深反應式離子蝕刻 DRIE	雷射鑽孔 / 雷射誘導深蝕刻 LIDE
絕緣層	需要 SiO_2	不需要，玻璃本身絕緣
種子層	Ti 或 Ta 阻障層	直接鍍 Ti/Cu 或化學銅
孔型	直壁	錐形或沙漏形
孔徑（AI 世代）	5–10μm	20–50μm
成熟度	高，CoWoS 自 2013 年量產	尚未成熟

來源：John H. Lau，IEEE EPS 講座（2026–09–24）。

3.3 玻璃暫時載板：已在路上的第一代

玻璃載板是四種角色裡最成熟的。它的價值在剛性強、翹曲低、透明可用雷射解鍵合，已用於 HBM 薄晶圓與混合鍵合製程。CoPoS 第一代型態被多數來源視為面板級扇出（RDL-first、chip-last）加玻璃載板，產業專家預估 2028 年量產。台積電 2Q26 法說（2026–07–16）證實正在開發含玻璃芯與玻璃載板的低成本替代方案，試產線建置中，約一年成熟。

四、製程與量產卡點

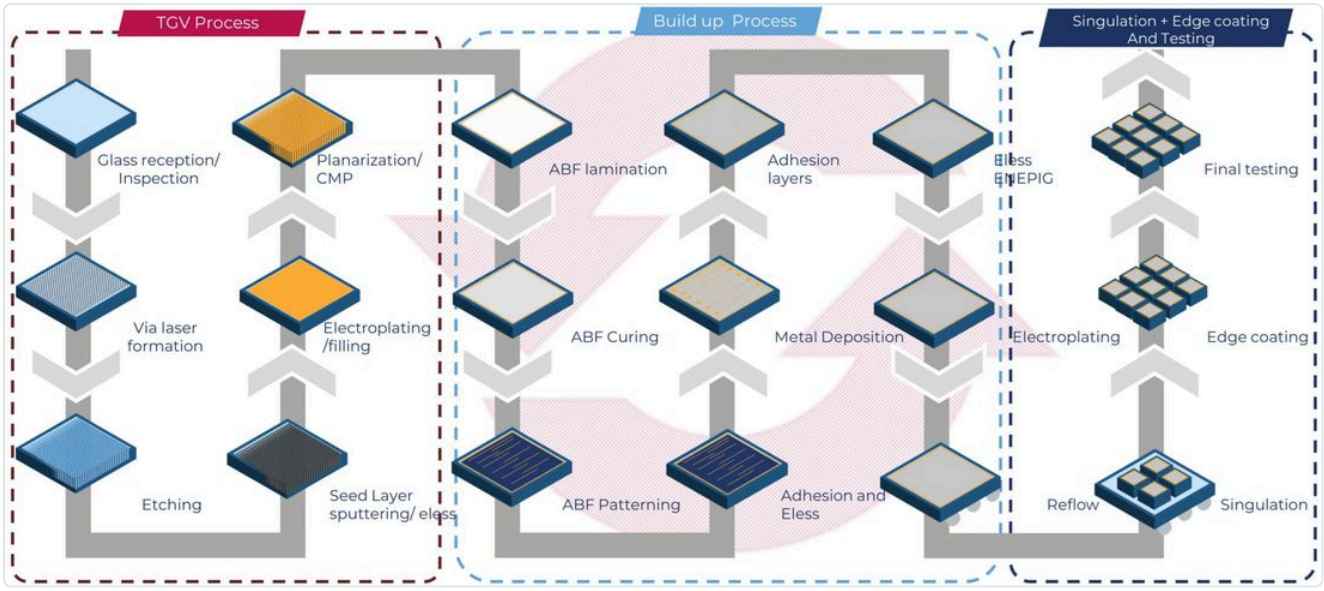
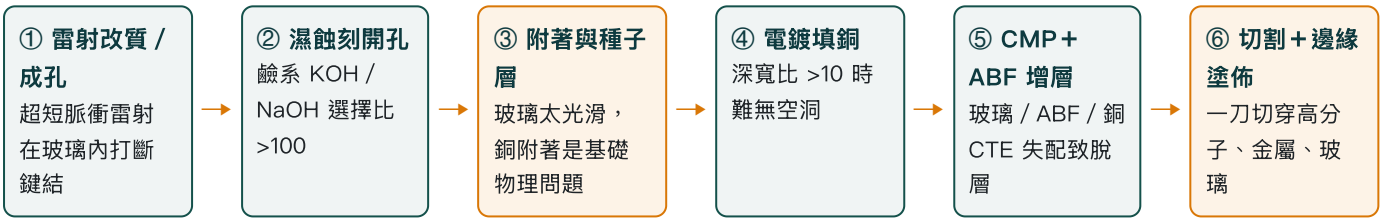


圖 9 | 玻璃芯基板完整流程。左：TGV 製程（玻璃進料檢查、雷射成孔、蝕刻、平坦化、電鍍填孔、種子層濺鍍）。中：增層製程（ABF 壓合、固化、圖案化、附著層、金屬沉積、表面處理）。右：切單、邊緣塗佈與終測。來源：元大證券玻璃基板講座（2026–07–21）。



琥珀色為產業專家與 ECTC 2026 資料點名的主要未解站點；檢測則橫跨每一站。自繪整理。

4.1 成孔：雷射誘導蝕刻成主流

方法	原理	速度（孔 / 秒）	最小孔徑	深寬比	量產可行度
雷射燒蝕	熱燒蝕，孔壁粗、裂紋風險高	$<10^2$	30–50μm	5–8	低
飛秒雷射直接鑽孔	超短脈衝冷加工	<10	10–30μm	10–15	中
雷射誘導深蝕刻 LIDE	雷射改質後以化學液選擇性蝕刻，孔壁最光滑	10^3–10^4	10–20μm	7–30	高
乾式 RIE（晶呈 LADY 製程）	氟系氣體電漿蝕刻，垂直壁	蝕刻速率 0.5–0.6μm/分	—	約 10	玻璃芯可用，中介層未達

來源：元大證券講座（2026–07–21）、野村（2026–05–21）。LIDE 由德國 LPKF 於 2017 年開發。另有日本電氣硝子（NEG）與 Via Mechanics 的玻璃陶瓷芯加 CO_2 雷射路線，成本低但深寬比約 5。

蝕刻藥劑已從氫氟酸收斂到鹼系。產業專家指出 KOH / NaOH 雖然較慢，但選擇比可達 100 以上、16 小時內穩定，蝕刻偏非等向性，量產重複性比氫氟酸好。深寬比的趨勢是由 10 往 20 推，理由是能放更多孔、縮短蝕刻時間、提升機械強度。SEMICON Taiwan 2026 上，Corning 展出 510×515mm、1.9mm 厚面板，含 84 萬個 100μm、深寬比 20:1 的 TGV，標示零阻塞孔與零缺陷。

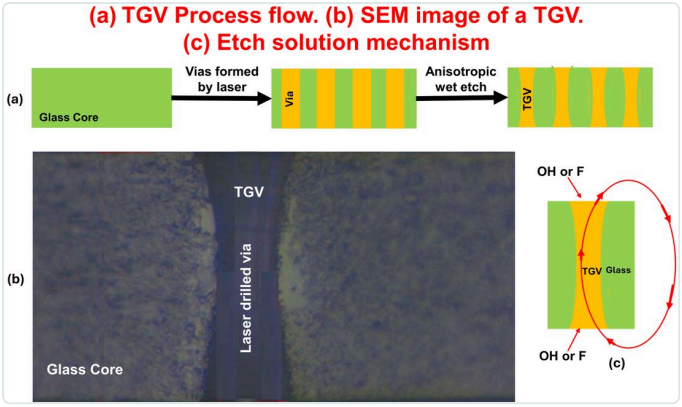


圖 10 | TGV 成孔流程與蝕刻機制。(a) 雷射成孔後以非等向濕蝕刻擴孔 (b) 雷射鑽孔 TGV 的截面 (c) OH^- 或 F^- 攻擊玻璃孔壁的蝕刻機制。來源：John H. Lau，IEEE EPS 講座（2026-09-24）。



圖 11 | Corning 玻璃芯面板。1.9mm 厚面板內嵌 4×4 陣列單元，標示 TGV 逾 84 萬個、孔徑 100μm、深寬比 20:1、零阻塞孔。來源：華南投顧 SEMICON Taiwan 2026 展場紀錄（2026-09-03）。

4.2 金屬化：附著力是基礎物理問題

有機載板表面粗糙，銅可以靠機械錨定抓住；玻璃表面極光滑，銅和玻璃之間幾乎只靠凡得瓦力，化學鍍銅天生容易剝離，失效常出現在銅與附著促進層的介面。解法分四類：純金屬附著層（Ti、Cr、TiW）、自組裝單分子層、矽烷處理、以及金屬氧化物層（MKS Atotech VitroCoat GI，約 7nm）。

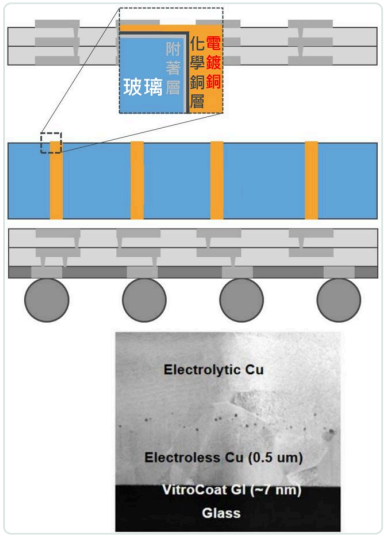


圖 12 | VitroCoat GI 金屬化結構。由下而上為玻璃、VitroCoat GI（約 7nm）、化學銅（0.5μm）、電鍍銅。來源：元大證券玻璃基板講座（2026-07-21）。

量產工法的實際選擇。產業專家（具近十年孔內金屬化經驗）認為大量量產的最佳解是**雙面 PVD 濺鍍**，310mm 級 PVD 設備約千萬美元一台；化學法成本最低，適合小量。Atotech 金屬氧化物層在他的觀察中實際使用率不高，與元大講座「商用主流」的說法並列待驗證。

填銅。高階產品以實心電鍍銅柱為主；銅膏或銀膏燒結會產生氣泡，無種子層的由下往上直填在 CMP 與熱循環時有爆裂風險。專家團隊與天虹 3300 型機台做過 48,000 片以上的填銅驗證，五天平均良率 99.7%，但驗證靠 2D X 光每小時約 2,000 片，研發可行、量產不可行。

深寬比與金屬化強耦合。裸孔深寬比可到 1:150，但要求無空洞電鍍時超過約 1:10 就很難，所以玻璃芯主流目標是 1:5 到 1:10。另一條路是創新服務的銅柱巨量轉移：預製銅柱一次插入，J.P. Morgan（2026-06-22）稱可到 30:1 且每根等高，仍待 2H26 驗證數據。

4.3 切割、裂紋與邊緣塗佈

產業專家把**切割**列為最關鍵單站：要一刀切穿高分子、金屬與玻璃，而且不能留下微裂紋；此時所有增層都已完成，切壞就整片報廢，是價值最高點的良率風險。方向是兩段式切割（先去上層 RDL、再以 Bessel beam 雷射切玻璃）。

裂紋類型	成因
徑向裂紋	加熱時銅孔膨脹，玻璃內出現環向拉應力
環向裂紋	冷卻時銅孔收縮，玻璃內出現徑向拉應力
SeWaRe 邊緣裂紋	從切割邊緣的缺陷在 RDL 應力下橫向擴展，可貫穿玻璃芯
垂直裂紋	熱機械應力

ECTC 2026 的數據（SemiAnalysis 2026-07-02 整理）最有說服力：STATS ChipPAC 74×74mm 玻璃芯封裝在沒有邊緣塗佈時**每項可靠度測試全數失敗**，加上邊緣塗佈後全數通過，翹曲還降 33.5%。增層膜從切割邊緣回縮加邊緣塗佈，正在變成玻璃芯組裝的必要條件。群創的研究則顯示裂紋主要出在 C4 凸塊，而非 μbump。

4.4 檢測：橫跨每一站的硬缺口

- **百萬孔級的量。**單片面板可能有逾百萬個 TGV，野村指出必須 100% 線上檢測；AOI 逐孔量孔徑與頸縮耗時太長。
- **光學看不穿銅。**光學與近紅外斷層只能看未填銅的玻璃；填銅後要靠 X 光或 CT，而多層 RDL 與金屬會干擾，3D CT 速度慢，多半只能抽檢。
- **微裂紋太小。**增層後更難察覺，每站都要驗。超音波被專家視為可能解方，但仍在概念階段。專家直言檢測工具沒做好就量產等於「亂丟錢」，並以此解讀欣興對 TGV 的保守。

五、可靠度：玻璃芯不是全面優於有機芯

業界常直接假設「玻璃 CTE 接近矽，所以應力全面下降」。Lau 團隊的有限元素分析（−40° C 到 85° C 熱循環）給出反直覺結果：決定因素是**有沒有底部填膠保護**，而不是玻璃對有機本身。

銲點位置	保護	有機芯基板	玻璃芯基板	結論
晶片側角落 μbump	有底部填膠	9.12% / 循環	4.43% / 循環	玻璃較佳，應變減半
PCB 側角落 C4 / BGA	無底部填膠	8.43% / 循環	**19.0% / 循環**	玻璃較差，應變超過兩倍

指標為累積等效非彈性應變。模型：10×10×0.35mm 晶片、800μm 玻璃或有機芯、上下各 2 層增層、1.57mm PCB。來源：John H. Lau，IEEE EPS 講座（2026-09-24）。

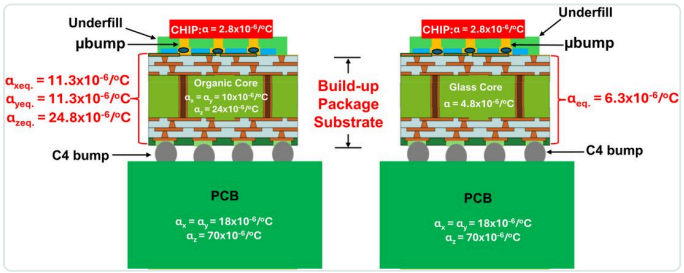


圖 13 | 兩種基板的 CTE 失配結構。有機芯面內 CTE 11.3、厚度方向 24.8；玻璃芯 6.3；PCB 面內 18、厚度方向 70（單位 10^{-6}/° C）。玻璃芯與 PCB 的差距反而更大。來源：John H. Lau，IEEE EPS 講座（2026-09-24）。

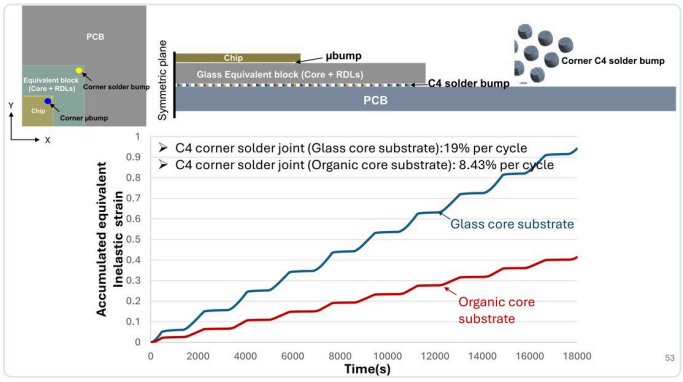


圖 14 | PCB 側角落 C4 銲點累積應變時間歷程。玻璃芯基板每循環約 19%，高於有機芯的 8.43%。來源同圖 13。

建議：玻璃 CTE 要往 PCB 靠，而不是往矽靠。同一模型下，玻璃 CTE 取 4.8 時角落銲點應變每循環 16%，取 10 時降到 8%。這對材料選型有直接含義：追求「貼近矽」的低 CTE 玻璃，可能把問題推到板級組

裝；可調 CTE 的玻璃配方反而是競爭點。Corning 以 FEA 建模也發現剛性銅層會把裂紋推向玻璃中面，低 CTE 聚合物加適當玻璃選型可降低 SeWaRe 風險。

六、玻璃在 CPO 的角色

CPO（共同封裝光學）把光引擎與交換器 ASIC 放進同一封裝。玻璃在這裡不只是基板，還能兼做光路：可以在玻璃內做光波導、讓 PIC（光子晶片）半埋入玻璃凹槽、或讓光纖直接耦合到 PIC。欣興 John H. Lau 在 Chip Scale Review 2026 冬季號的 CPO 綜述中明確建議：玻璃較能無縫整合光互連，CPO 應多用玻璃基板或玻璃中介層；光引擎內的 PIC 與 EIC（電子晶片）則建議走 Cu–Cu 混合鍵合。

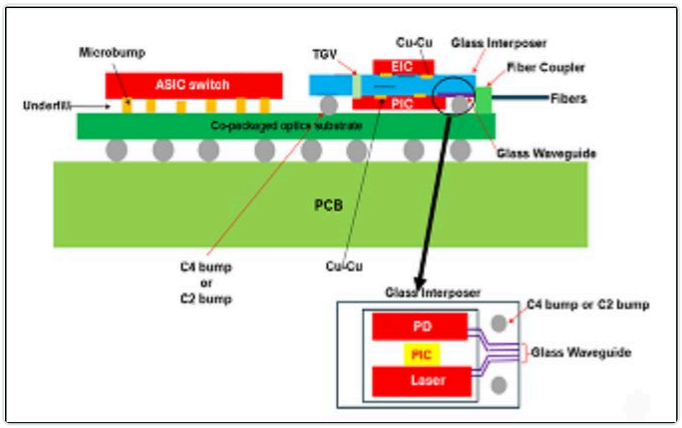


圖 15 | EIC / PIC 經 TGV 玻璃中介層以 Cu–Cu 堆疊。玻璃中介層上的玻璃波導接收外部光纖的光，送到 PIC 的光偵測器。來源：John H. Lau，Chip Scale Review 2026 冬季號。

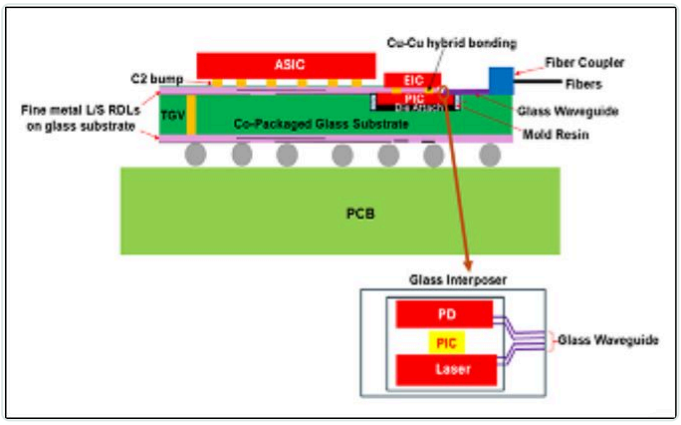


圖 16 | PIC 半埋入 CPO 玻璃芯基板凹槽。PIC 與 EIC 以混合鍵合堆疊，switch 與光引擎並排於玻璃基板；作者評估性能優於圖 15，成本也更高。來源同圖 15。

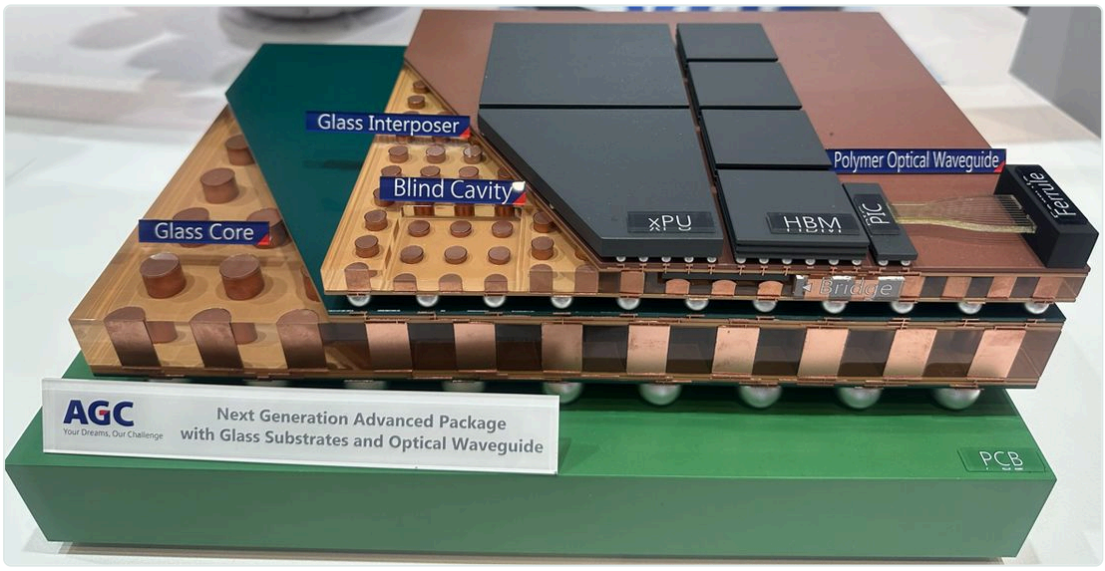


圖 17 | AGC 在 SEMICON Taiwan 2026 展示的次世代封裝剖面模型。由左至右標示玻璃芯（含銅柱）、玻璃中介層、盲腔、xPU、HBM、PIC、高分子光波導、ferrule 與 bridge，最底層為 PCB，呈現玻璃基板與光電共封裝的整合構想。來源：華南投顧 SEMICON Taiwan 2026 展場紀錄（2026–09–03）。

- **Corning GlassBridge（2026–06–24 發表）。**晶圓級、被動對準的光纖直連 PIC 平台，定位為傳統光纖陣列單元（FAU）的替代與互補，主打高密度與可拆卸。Morgan Stanley（2026–06–28）認為 1–2 年內對光收發器影響有限，但對既有 FAU 廠構成路線風險。國泰證期（2026–09–01）的產業情境推估是：2026–2028 年主動對準仍是主流，被動對準可能自 2029 年起滲透。
- **Intel 玻璃芯 panel 已內建光波導。**Intel 在 ECTC 2026 發表 510×515mm、24 層玻璃芯面板，TGV 全銅填孔、內嵌 2 顆 EMIB，並在 TGV 之間共形成光波導。

- **檢測需求外溢。**玻璃內光路的對準是 GlassBridge 最大技術挑戰，蔚華科的非線性光學斷層設備可非破壞觀察玻璃內光波導與相對位置，同一台機器也用於 TGV 內部裂紋檢測。

七、誰在做

7.1 國際主要玩家

廠商	角色	進度（日期）
Intel	技術先驅	2023–09 宣布玻璃基板，研發投入逾 10 億美元；據 Lau 講座，2025–07 停止自製、改授權逾 700 項玻璃專利；2026–07–28 與藍思科技簽備忘錄，合作無裂紋 TGV。ECTC 2026 發表 510×515mm 24 層玻璃芯 panel。
Absolics（SKC 子公司）	玻璃芯基板	J.P. Morgan 引述 SBR 獨立訪查（2026–07–21）：目前唯一已有量產設施、進入小量生產的廠商；美國喬治亞州建廠並獲 CHIPS 法案支持。
台積電	CoPoS 平台	2025–04 宣布 CoPoS 採 310×310mm 面板；2026 年在嘉義建首條試產線（Lau 講座）；2026–05 據報對 CoPoS 供應鏈祭出保密與排他協議；與 Ibiden、群創合作開發玻璃芯並授權部分 Intel 專利。
日月光	OSAT 面板線	2026–03 由 600×600mm 縮回 310×310mm 對齊台積電，目標 2026 年底前全自動試產。
Samsung Electro–Mechanics	玻璃芯基板	與住友化學合建量產廠，規劃 2028 年起量產打樣（J.P. Morgan，2026–07–21）。
Ibiden、Shinko、欣興	ABF 載板龍頭	仍在開發階段、未公布量產時間；Intel EMIB–T 擴產可能排擠玻璃芯投資優先順序（野村，2026–05–21）。
DNP、Toppan	日系載板 / 面板製程	DNP 已展示 1/1μm 玻璃上線路，尚未決定全面投資；兩者都出現在 Broadcom 陣營金屬化與 TGV 名單。
Corning、AGC、Schott、HOYA、NEG	玻璃原料	Corning 管理層認為大規模採用在 2030 年以後；NEG 與 Via Mechanics 合資推玻璃陶瓷芯加 CO_2 雷射。
藍思科技、京東方	中國面板 / 玻璃加工	藍思 2026 年底前備妥試產線、2H27 起較有意義出貨；京東方 2027 年建產能、順利則 2028 年量產（Morgan Stanley，2026–07–26）。
LPKF、DISCO、MKS Atotech	設備與化學	LPKF 開發 LIDE；MKS Atotech 提供 VitroCoat 附著層與電鍍化學。

7.2 兩大客戶陣營

陣營	TGV 成孔	金屬化	ABF 增層
NVIDIA	群創、DNP	群創、DNP	Ibiden、欣興（原文標註不確定）
Broadcom	晶呈、JWMT 與 DWFC 合資、Toppan、DNP 等	創新服務、SEMCO 與 DWFC 合資、Toppan、DNP	南亞、SEMCO、Toppan、欣興

來源：永豐投顧論壇（騰旭投資程正樺，2026–09–16），原始名單含轉寫不確定項，分工仍在流動，不宜視為定案。野村（2026–05–21）認為 Broadcom switch ASIC 可能最早採用玻璃芯，最快 2027 年，動機是高功耗 ASIC 的基板翹曲。

7.3 台灣供應鏈

玻璃加工 / 面板廠

群創（台積電 CoWoS 玻璃芯驗證，TGV 良率為關鍵）
友達（與 Corning 聯展金屬化 TGV 面板；另走衛星天線）
TPK-KY（中壢試產線，2026-08 底啟用，尚無明確案件）
正達、澤米（玻璃加工能力轉用觀察）

成孔與金屬化

晶呈科技（LADY 乾蝕刻，深寬比 10:1）
創新服務（銅柱巨量轉移）
川寶（TGV 金屬化代工）
勤凱（TGV 填孔導電漿料）

設備

鈦昇、東捷、雷科（雷射改質；雷科可供整線）
聯策、揚博、悅城、暉盛（蝕刻、電漿）
友威科、天虹（PVD 種子層）
敘豐（電鍍）、均豪（CMP）
長廣（玻璃芯壓膜）、群翊、志聖（烘烤、壓膜）
大量（玻璃邊緣塗佈機）

檢測量測

由田、晶彩科（AOI、孔徑量測）
蔚華科（非線性光學斷層，玻璃內部裂紋與光波導）
政美應用（面板級大面積量測）
睿生光電（X 光檢測）

材料與載板

永光、長興、達興（PSPI、光阻）
三福化（顯影）、勝一（清洗）
欣興、南電、景碩（ABF 增層後段）

名單依庫內公司頁全面掃描整理；琥珀色欄為 2026–2027 年較可能先見到驗證訂單的環節。後段設備（增層、壓膜、塗佈、電鍍）單片資本支出高於前段雷射成孔，受惠規模通常較大。

八、時程與成本

8.1 時程：積極派與保守派

時間	事件或判斷	來源
2026	NVIDIA、Broadcom 兩陣營供應鏈確認；台積電玻璃試產線建置中，約一年成熟	產業筆記、台積電 2Q26 法說
2026 年底	日月光 310mm 面板試產線；藍思試產線	Lau 講座、Morgan Stanley
2027（最快）	Broadcom switch ASIC 導入玻璃芯；晶呈最快 4Q27 出貨	野村（積極派）
2027–2028	長廣 channel check：玻璃芯商業化「不太可能」在此期間發生	高盛（2026-09-16）
2028	CoPoS 第一代（玻璃載板加面板級扇出）量產；群創玻璃芯有意義營收不早於 2028；SEMCO 量產打樣	專家會議、Morgan Stanley、J.P. Morgan
2029 年第一季	首顆 CoPoS 產品，拆解後才知道玻璃用在哪一層	Lau 講座
2030	景碩：玻璃芯（core layer 玻璃化）預計 2030 年發生；SBR：2030 年前難量產	景碩 IR、J.P. Morgan
2030–2032	玻璃中介層才可能成熟；陶瓷替代再晚 1–2 年	專家會議（保守派）

做過製程的第一手來源（專家、SBR 西尾俊彥、Corning 管理層、長廣）全部落在保守側，積極時點多來自供應鏈調查與陣營消息。兩者不一定矛盾：**玻璃載板型態 2028 年可實現，玻璃做成封裝本體才是 2030 年前後。**

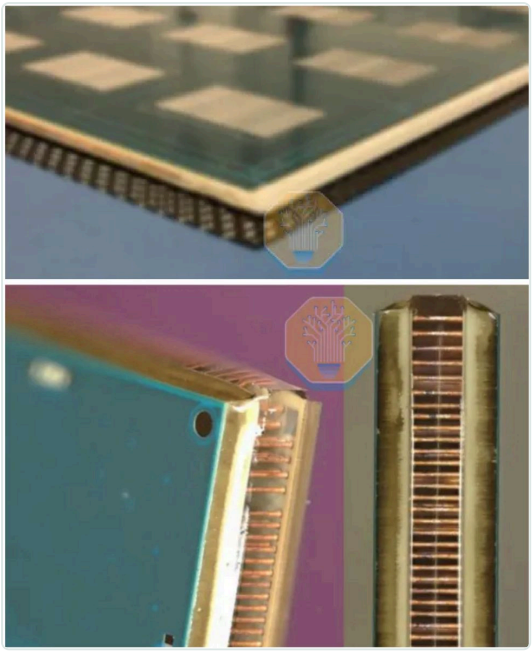


圖 18｜Intel 在 ECTC 2026 發表的 510×515mm 24 層玻璃芯 panel。上為面板斜視，下為 TGV 銅填孔截面特寫；在既有有機載板產線加工，切單後熱衝擊測試無 SeWaRe。來源：Intel，ECTC 2026，經 SemiAnalysis 整理（2026–07–02）。

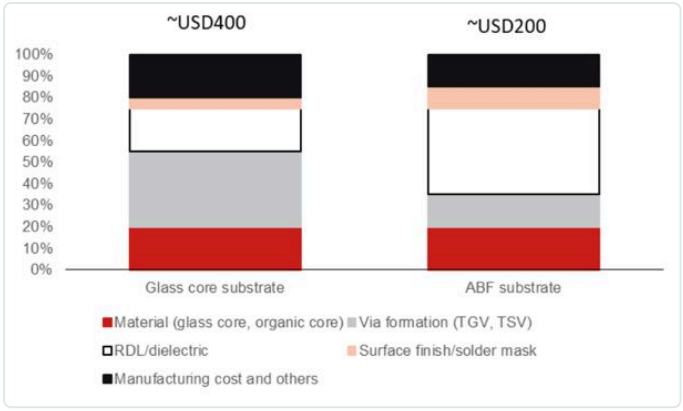


圖 19｜玻璃芯基板與 ABF 基板成本結構。野村估玻璃芯約 400 美元、ABF 約 200 美元；分項為材料、成孔（TGV、TSV）、RDL 與介電、表面處理、製造成本。來源：野村（2026–05–21）。

8.2 成本：兩種看法

- **絕對成本（野村）。**試產 TGV 製程每片約 400–500 美元，整片玻璃芯基板可能超過 1,500 美元，大尺寸 ABF 約 200 美元；量產至少要降到每片 400 美元才有競爭力。晶呈 TGV 起步價約每片 200 美元，隨量產降到 140 美元。
- **相對成本（郭明錤，2026–06–11）。**基板只佔 AI 晶片物料成本的 1–5%，而封裝良率損失金額常達基板成本的 5–10 倍；若玻璃芯能提高封裝良率，高單價不會阻礙採用。
- **設備單價上升。**長廣指出新一代玻璃芯壓膜設備單價會高於現有高階 ABF 壓膜機，因為要加檢測；310mm 級 PVD 約千萬美元一台。這是設備商先受惠的原因。

九、投資含義與驗證指標

環節	受惠時點	邏輯
檢測量測	2026–2027	每站都要驗、百萬孔級、光學看不穿銅，是量產前硬缺口；內部裂紋、光波導對準、高速孔檢都有先行卡位價值。
後段製程設備（PVD、電鍍、壓膜、烘烤、邊緣塗佈、切割）	2026–2028	單片資本支出高、良率影響大；PVD 被專家點名為種子層量產最佳解；邊緣塗佈已成必要製程。
前段成孔（雷射、蝕刻）	2026–2027	路線已收斂到 LIDE 與鹼系蝕刻，但機台數與單價小於後段；超短脈衝雷射源仍仰賴進口。
玻璃原料	2028+	Corning、AGC、Schott 寡占；可調 CTE 配方是競爭點（Lau 建議往 PCB 靠）。
載板廠	2029+	玻璃芯仍需 ABF 增層，後段不會消失；短期 ABF 暢旺，玻璃落後不構成扣分。
面板廠	2028+	TGV 與銅電鍍是面板廠本業延伸，但門檻在製程控制而非設備；Morgan Stanley（2026-09-21）認為友達、群創本淨比 1.7 倍已反映部分玻璃題材。

反證條件：出現以下訊號時，時程判斷要往後修

- 2029 年首顆 CoPoS 產品拆解後，玻璃只出現在暫時載板，沒有玻璃中介層或玻璃芯。
- 邊緣塗佈與兩段式切割之後，玻璃芯仍無法穩定通過溫度循環與熱衝擊。
- PCB 側銲點應變問題需要改板級設計或加板級底部填膠才能解，拉高系統成本。
- 陶瓷芯、SiC 橋或更大尺寸有機載板等替代路線先達到量產條件。

驗證清單

追蹤指標	為什麼重要
台積電嘉義 CoPoS 試產線成熟度與首顆產品結構	決定玻璃是載板、中介層還是芯基板，直接影響哪一段供應鏈受惠
群創等 TGV 良率揭露與「有意義營收」時點	Morgan Stanley 認定 TGV 良率是量產閘門
日月光 310mm 面板線 2026 年底試產	OSAT 端面板標準化是否真的落地
Broadcom switch ASIC 玻璃芯是否 2027 年出貨	積極派時程的唯一近期驗證點
微裂紋檢測（超音波、光學斷層、快速 X 光）是否產品化	檢測是量產前硬缺口，也是設備商最早的訂單來源
創新服務銅柱方案 2H26 溫度循環數據	電鍍以外的高深寬比金屬化路線能否成立
ECTC 2027 玻璃芯與玻璃中介層可靠度論文	SeWaRe、脫層與 PCB 側銲點是否有新解
Intel 專利授權對象擴散（藍思之後）	決定非台積電陣營能取得的技術與供應鏈等級

資料來源

- John H. Lau（欣興），〈Glass Packaging and Its Reliability〉，IEEE Santa Clara Valley EPS Chapter Distinguished Lecture，2026–09–24。
- John H. Lau，〈Co–packaged optics: Heterogeneous integration of chiplets in switches, PICs, and EICs〉，Chip Scale Review 2026 冬季號（Vol.30 No.1）。
- 元大證券，玻璃基板技術進展與應用講座（張佑祥），2026–07–21。
- TGV 玻璃基板產業專家會議（講師具近十年孔內金屬化實作經驗），2026–07–22。
- J.P. Morgan，FCBGA / ABF 基板研討會（引述 SBR Technology 西尾俊彥），2026–07–21；創新服務首次覆蓋，2026–06–22。
- Morgan Stanley，玻璃先進封裝，2026–07–26；面板報價報告，2026–06–22、2026–09–08、2026–09–21；GlassBridge 與光收發器，2026–06–28。
- 野村，半導體材料文藝復興，2026–05–21。
- SemiAnalysis，ECTC 2026 先進封裝整理，2026–07–02。
- 華南投顧，SEMICON Taiwan 2026 展場紀錄，2026–09–03。
- 大和證券，台積電 2Q26 法說摘要，2026–07–16。
- 永豐投顧論壇（騰旭投資程正樺），2026–09–16。高盛，長廣 ABF 設備拜訪，2026–09–16。
- 郭明錤，台積電玻璃芯基板解讀，2026–06–11。國泰證期，PIC 光子晶片戰役，2026–09–01。
- 公司法說與拜訪紀錄：TPK–KY（2026–08–21）、雷科（2026–07–24）、大量（2026–08–18）、景碩（2026–07–22）、蔚華科（2026–06–23）。