

晶圓到先進封裝全流程技術報告

從前段晶圓、晶片切割、RDL / bump / TSV，到 CoWoS、SoIC、InFO / WMCM、FOPLP / CoPoS、EMIB / Foveros、Samsung I-Cube / X-Cube、玻璃基板與 CPO 的技術、量產時程、廠商分工、優缺點與困難點。

日期：2026-05-28

資料底稿：Stock LLM Wiki + TSMC / Intel / ASE / Samsung 官方資料 + 內部券商與產業報告彙整

1. 為什麼先進封裝成為 AI 晶片瓶頸

2. 從晶圓到封裝的完整製程

3. 先進封裝技術家族與比較

4. 量產時程、廠商分工與投資觀察

一頁結論

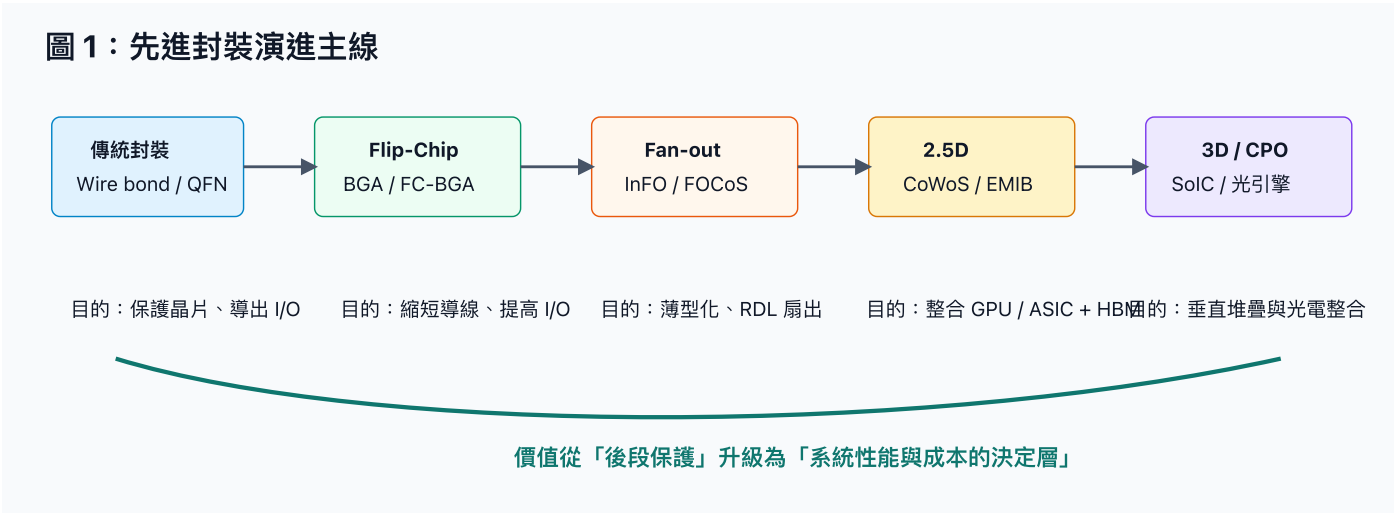
先進封裝的核心不是「把晶片包起來」，而是把原本做不進單一大 die 的運算、記憶體、I/O、電源與光通訊，用封裝層級重新整合成一個系統。摩爾定律放緩後，AI/HPC 的性能提升轉向三件事：更多 HBM、更短 die-to-die 距離、更大的封裝面積。

目前主流
CoWoS / 2.5D interposer 是 AI GPU 與 ASIC 的主流路線；HBM 與大邏輯 die 透過矽中介層、RDL 中介層或局部矽橋連接。

下一步
SoIC / hybrid bonding 把晶片垂直堆疊，縮短互連距離；CPO 把光引擎放進封裝，解決資料中心訊號與功耗。

成本解方
FOPLP / CoPoS 把圓晶圓製程推向方形 panel，提高面積利用率；但面板翹曲、對位、電鍍均勻性與檢測仍未完全量產化。

長期材料解方
玻璃芯基板以低翹曲、低損耗、大尺寸支援 AI 封裝，但 TGV 成本、玻璃脆性與 RDL 脫層是 2027-2030 主要驗證點。



圖說：先進封裝的演進不是單一路線取代，而是依應用分層：手機偏 fan-out，AI/HPC 偏 2.5D + HBM，未來導入 3D stacking、panel-level 與 CPO。

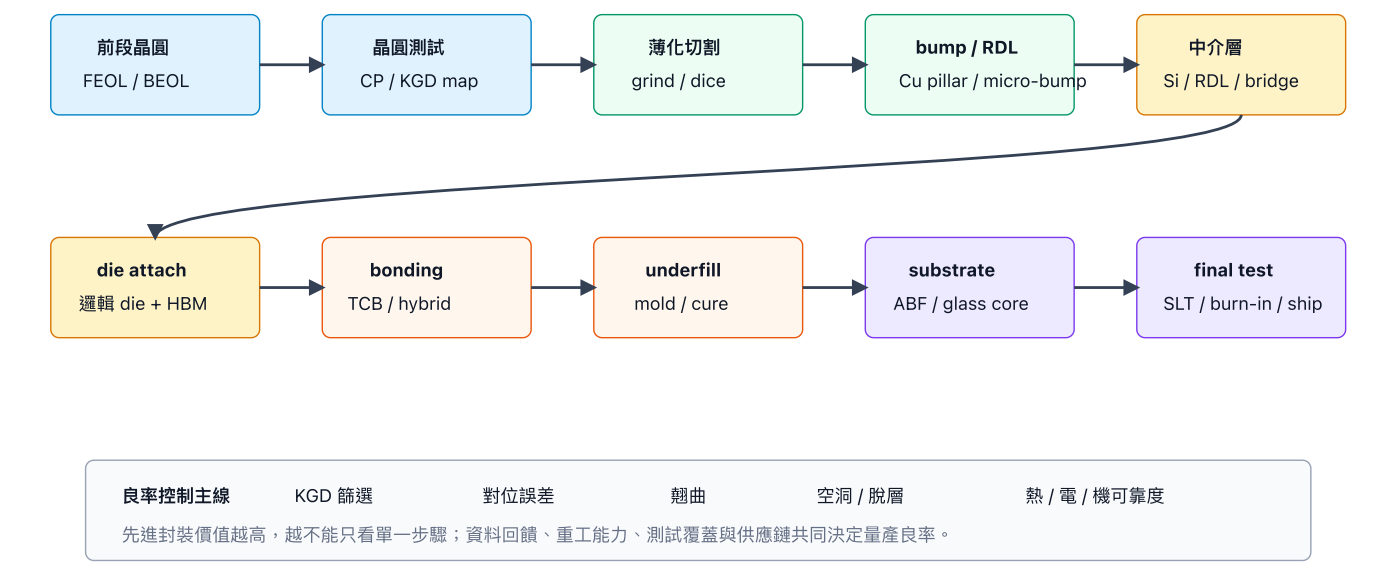
為什麼會有先進封裝

驅動因素	傳統作法遇到的瓶頸	先進封裝的解法
Reticle / die size 限制	單一超大 die 良率下降，EUV 曝光視野有限	chiplet 拆分後用 RDL、interposer、bridge 或 hybrid bonding 重組
HBM 頻寬需求	封裝外 DRAM 距離太遠，功耗與延遲高	CoWoS / I-Cube / EMIB 把 HBM 堆疊放到邏輯 die 旁邊
功耗與供電	AI 晶片功耗走向 1,000W 以上，PCB 供電路徑損耗上升	封裝內去耦電容、IVR、短互連與更高密度 bump / TSV
成本與產能	完整矽中介層昂貴且受 300mm 晶圓面積限制	CoWoS-R/L、EMIB、FOCoS-Bridge、FOPLP / CoPoS 用 RDL / 局部橋 / panel 改善成本曲線
資料中心互連	pluggable optics 與銅線距離造成損耗、延遲與功耗	CPO / COUPE 把光引擎整合到封裝或 substrate 上

從晶圓到先進封裝的完整流程

晶圓製造與封裝不是兩段孤立流程。先進封裝把前段製程的精度帶進後段，因此 wafer test、known-good die、RDL、TSV、CMP、bonding、underfill、final test 的資料回饋變得很重要。

圖 2：從晶圓到先進封裝的製程地圖



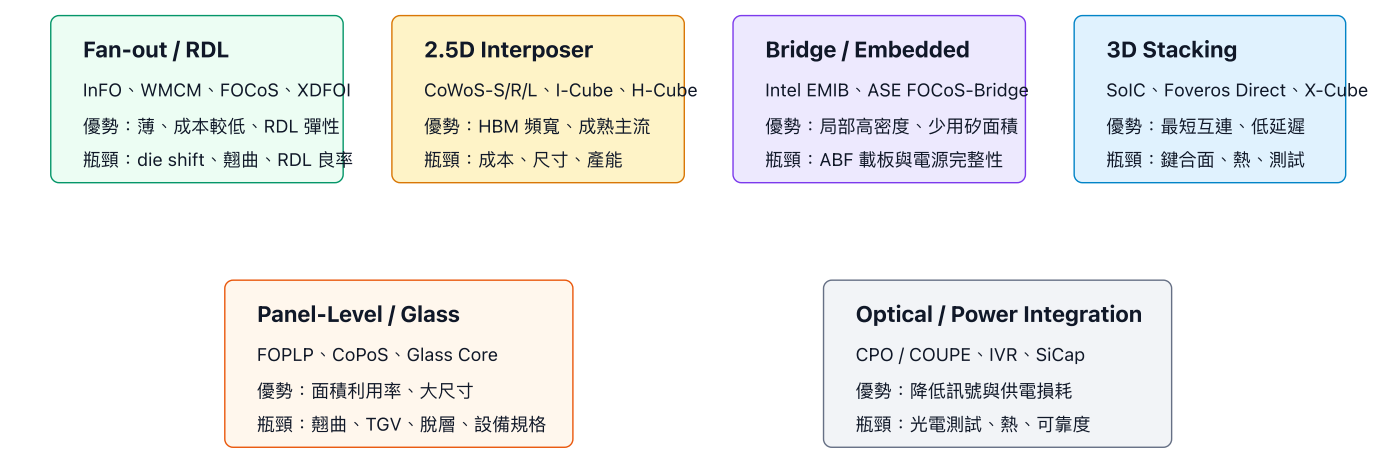
圖說：2.5D/3D 封裝的流程包含多次 wafer-level 與 package-level 測試。KGD 是多 die 封裝的第一道保險，否則單顆不良 die 會報廢整個高價封裝。

關鍵製程拆解

製程	做什麼	困難點	相關技術
晶圓測試 / KGD	在切割前判斷 die 是否可用，建立 die map	AI chiplet 數量多，測試時間、熱條件與覆蓋率上升	CP、die sort、SLT
RDL	用介電層 + 銅線重新配置 I/O pad	2/2μm 甚至 1μm L/S、電鍍均勻性、PSPI 黏著與可靠度	InFO、FOCoS、CoWoS-R、FOPLP、WMCM
TSV / TGV	在矽或玻璃中做垂直導通孔	高深寬比蝕刻、填銅 void、CTE stress、成本	HBM、CoWoS-S、SoIC、glass core
TCB / hybrid bonding	用熱壓或 Cu-Cu 直接鍵合連接晶片	sub-micron 對位、表面潔淨、CMP 平坦度、throughput	SoIC、Foveros Direct、X-Cube HCB
Underfill / molding	填充晶片與中介層間空隙，提高機械可靠度	大尺寸封裝翹曲、void、熱循環疲勞	CoWoS、FOPLP、CoPoS
Final test / SLT	封裝後做功能、熱、老化與系統層級測試	高功耗、高 I/O、光電混合測試與良率回饋	AI GPU、CPO、3D IC

先進封裝技術家族總覽

圖 3：目前主要先進封裝技術家族

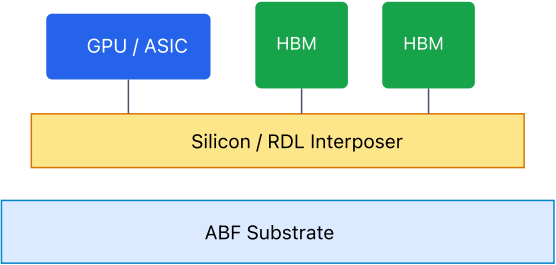


圖說：技術分類可用「RDL 平面扇出、2.5D 中介層、局部橋、3D 垂直堆疊、panel-level、光/電源整合」來理解。實際高階產品常是多種技術組合，而非單一技術。

技術	代表廠商 / 品牌	量產狀態	為什麼存在	優點	缺點 / 困難
InFO / Fan-out WLP	TSMC InFO、Amkor SWIFT、JCET XDFOI、ASE fan-out	TSMC InFO 2016 起高量產；InFO_oS 2017Q4 ramp	手機與網通需要薄型、高 I/O、低成本封裝	不需完整矽中介層，厚度低，成本較 2.5D 低	die shift、RDL 層數與線寬限制、散熱不如大型 2.5D
CoWoS-S	TSMC	AI/HPC 主流量產	GPU/ASIC 需要與 HBM 高頻寬整合	矽中介層密度最高，HBM 整合成熟	矽面積昂貴，reticle / 300mm wafer 面積限制，產能吃緊
CoWoS-R	TSMC	量產/擴張	用 RDL interposer 降低成本、提高尺寸彈性	RDL interposer 較柔性，C4 joint integrity 較佳	互連密度低於完整矽中介層，高階 HBM 封裝需驗證
CoWoS-L	TSMC	AI GPU 放量觀察主線	在大封裝中用局部矽互連 + RDL 平衡性能與成本	比 full silicon interposer 更可擴尺寸	局部互連、RDL、ABF 的協同良率與熱機械可靠度更複雜
SoIC / Hybrid bonding	TSMC SoIC、BESI equipment ecosystem	AMD 3D V-Cache 已量產；TSMC A14-to-A14 SoIC 2029 production availability	把 chiplet 垂直堆疊，降低延遲與功耗	極短互連、高 I/O 密度、低功耗	表面潔淨、CMP 平坦度、sub-micron 對位、熱路徑與測試難
EMIB / EMIB-T	Intel Foundry	EMIB 自 2017 mass production；EMIB-T 加 TSV	以局部矽橋連接 chiplet，避免完整中介層成本	矽用量少，供應鏈簡化，可連 logic-logic / logic-HBM	高階 ABF 載板路由、電源完整性、客戶封裝設計移植成本
Foveros / Foveros Direct	Intel	Foveros-S 2019 起 mass production；Foveros-R production ready 2027	2.5D/3D 整合 chiplet 與 active base die	可與 EMIB 組合成 3.5D，彈性高	熱、測試、active base die 成本與良率
I-Cube / H-Cube / X-Cube	Samsung Foundry	I-Cube / H-Cube 2.5D；X-Cube 3D HCB 開發	提供 Samsung foundry 客戶 HBM 與 3D 封裝方案	I-CubeS 高頻寬，I-CubeE / H-Cube 改善成本與大尺寸	與 TSMC / Intel 生態系競爭，客戶導入與良率需持續驗證
FOCoS / VIPack	ASE	OSAT 先進封裝平台	OSAT 承接 chiplet、AI/HPC、CPO 外溢需求	RDL fan-out、bridge、2.5D/3D、CPO 平台化	高階 AI 主流仍受 foundry turnkey 與 HBM 生態牽引
FOPLP / CoPoS	TSMC、ASE、PTI、Innolux 等	低 I/O PMIC 已量產；高階 AI 2027 試產、2028 後量產觀察	方形 panel 提升面積利用率，解決圓晶圓大封裝成本	大尺寸、產能與成本潛力大	面板翹曲、邊角均勻性、對位、檢測與設備標準未成熟
Glass core / glass interposer	Intel、Corning、Samsung、AGC、Schott、Absolics	Intel 指向本十年後段；大規模採用多估 2030+	有機基板在大尺寸下翹曲、收縮、損耗受限	平整、低損耗、熱機械穩定、大尺寸	玻璃脆性、TGV 成本、RDL 脫層、量產設備與良率
CPO / COUPE	TSMC COUPE、Broadcom、NVIDIA ecosystem	TSMC COUPE on substrate 2026 production；true CPO 後續演進	把光引擎靠近運算，降低資料中心互連功耗與延遲	電訊號距離短，功耗/延遲大幅改善	光電混合測試、光纖耦合、熱、維修與標準化困難

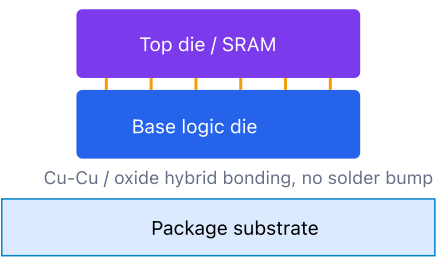
代表技術結構圖

圖 4：CoWoS 2.5D



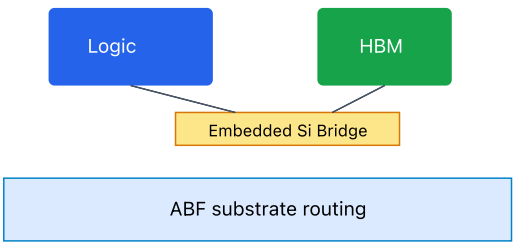
CoWoS 把邏輯 die 與 HBM 並排放放在中介層上，是 AI GPU / ASIC 主流。

圖 5：SoIC / Hybrid Bonding



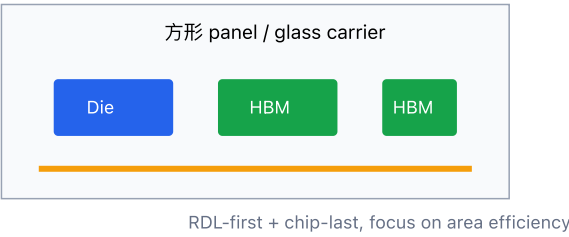
SoIC 用銅對銅與氧化層鍵合，pitch 可比 micro-bump 更細，但對表面與對位要求極高。

圖 6：EMIB / Bridge



Bridge 架構只在高密度互連區放矽橋，較省矽，但把更多 routing 與供電壓力交給 ABF。

圖 7：FOPLP / CoPoS



Panel-level 的本質是把圓晶圓載體換成方形大面板，提高利用率，但翹曲與均勻性更難。

量產時程與誰在做什麼

時間	技術 / 事件	主要廠商	狀態與含義	信心
2016	InFO 高量產	TSMC	fan-out WLP 成為 Apple / mobile SoC 主流薄型封裝之一	高，官方
2017	EMIB mass production	Intel	局部矽橋進入量產；後續擴展到 logic-HBM 與 3.5D	高，官方
2017Q4	InFO_oS production ramp	TSMC	fan-out on substrate 開始支援網通 / HPC 多 chiplet	高，官方
2019	Foveros-S mass production	Intel	active base die 3D / 2.5D 封裝量產	高，官方
2023-2024	AMD 3D V-Cache / MI300 SoIC 放量	AMD、TSMC	hybrid bonding 成為高階 CPU / HPC 的量產案例	中高，wiki + 產業資料
2025-2027F	先進封裝市場 CAGR 約 17%；2026 市場約 607 億美元	Yole / Yuanta 彙整	AI/HPC、手機、PC CPU/GPU 推動封裝市場高成長	中，券商/第三方口徑
2026	TSMC 5.5-reticle CoWoS production；COUPE on substrate production	TSMC	CoWoS 尺寸繼續放大；光引擎開始進入封裝/基板整合	高，官方
2026-2027	CoWoS / SoIC 產能快速擴張	TSMC、OSAT、BESI、設備鏈	內部資料估 CoWoS 月產能 2026 年底約 13 萬片、2027 年底 17-18 萬片；SoIC 2027 年底 4.5-5 萬片/月口徑需驗證	中，調研/券商
2027	Foveros-R production ready；高階 FOPLP / CoPoS 試產觀察	Intel、TSMC、ASE、PTI	RDL interposer 與 panel-level 成為成本/尺寸解法	中高/中
2028	14-reticle CoWoS production；CoPoS / Chip-last FOPLP 量產觀察	TSMC、panel-level 設備鏈	TSMC 官方指 14-reticle CoWoS 2028；CoPoS AP7 P4 量產線索仍屬調研	高/中
2029	A14-to-A14 SoIC；beyond 14 reticles；SoW-X 40-reticle	TSMC	3D stacking 與 system-on-wafer 進一步放大 AI compute scaling	高，官方 roadmap
2030+	玻璃基板大規模採用	Intel、Corning、AGC、Schott、Absolics、載板廠	Intel 目標本十年後段提供玻璃基板；大規模採用多估 2030 後	中高，方向確定但時點不確定

廠商分工地圖

層級	主要公司	角色
Foundry / platform owner	TSMC、Intel Foundry、Samsung Foundry	定義 CoWoS / SolC / InFO、EMIB / Foveros、I-Cube / X-Cube 等平台，整合設計規則、封裝與測試生態
OSAT	ASE、Amkor、JCET、PTI	承接 fan-out、FOCoS、2.5D/3D、CPO、final test、部分 CoWoS-R/L 外包或替代產能
HBM / memory	SK hynix、Samsung、Micron	提供 HBM 堆疊，TSV / micro-bump / thermal behavior 決定整體封裝良率與供給節奏
Substrate	Ibiden、Shinko、Unimicron、Nan Ya PCB、SEMCO	ABF、高層數載板、EMIB-T 路由、玻璃芯基板早期驗證
Equipment	BESI、ASMPT、K&S、DISCO、TEL、Applied Materials、Lam、Camtek、Onto、弘塑、德律、均豪、友威科、敘豐	hybrid bonding、TCB、CMP、PVD、電鍍、清洗、AOI/X-ray/CT、panel-level 搬運與檢測
Materials	Ajinomoto、Toray、JSR / TOK 等、Corning、AGC、Schott、達興、永光、長興、三福化、勝一、晶呈	ABF、PSPI/PBO、underfill、molding、TGV/TSV 氣體、玻璃原片與清洗/顯影材料
Adopters	NVIDIA、AMD、Broadcom、Google / TPU、Apple、Qualcomm、MediaTek、Amazon / Trainium	用 AI GPU、ASIC、手機 SoC、CPO switch 推動封裝規格升級

技術優缺點與困難點總結

技術方向	最大優點	最大缺點	最關鍵量產難點	投資/產業觀察
CoWoS / 2.5D	HBM 頻寬與成熟度最高	成本高、產能瓶頸、封裝尺寸受限	interposer 拼接、熱、C4 / micro-bump 可靠度	CoWoS-L / R 比重、HBM 顆數、reticle size、OSAT 分流
Fan-out / InFO / WMCM	成本與厚度優勢，適合 mobile / network	不適合最高功耗 AI GPU	RDL 對位、die shift、warpage	Apple WMCM、RDL 材料、測試分工
Hybrid bonding / SoIC	最高垂直互連密度、低功耗	設備昂貴、throughput 慢、熱難	表面平坦度 0.5-1nm 級、潔淨度、sub-micron 對位	BESI 訂單、TSMC SoIC 產能、AMD / NVIDIA / Apple 採用
EMIB / bridge	省掉大面積矽中介層，成本彈性高	ABF 承擔更多高密度 routing	bridge placement、ABF 細線寬、power integrity	Intel foundry 外部客戶、ABF 載板擴產、SiCap / IPD
FOPLP / CoPoS	方形面板提高面積利用率，長期成本潛力大	高階量產仍早期	大面積翹曲、邊角電鍍/蝕刻均勻性、檢測	310×310 / 510×515 / 610×610 / 700×700 規格，設備驗證先行
玻璃基板	低翹曲、低損耗、支援大尺寸	成本高、脆、供應鏈不成熟	TGV、RDL 脫層、破片、BOM 降本	Intel / Corning / Absolics、Broadcom switch ASIC、2030+ adoption
CPO	大幅縮短電訊號距離，降低功耗與延遲	封裝、光學、測試、維修全變複雜	光耦合、熱、fiber attach、known-good optical engine	TSMC COUPE、Broadcom / NVIDIA switch、SiPh 封裝測試

核心判斷：2026-2028 的高確定性在 CoWoS / SoIC 擴產與相關設備；高彈性在 CoPoS / glass / CPO，但時程不確定。投資上應分成「已放量主線」與「驗證期 option」，不要把 2030+ 的玻璃大規模採用提前當成 2026 營收。

追蹤指標

指標	為什麼重要	對應技術
TSMC CoWoS reticle size、CoWoS-L/R 比重	代表大封裝尺寸與成本路線變化	CoWoS
HBM stacks per package、HBM4/4E 導入	決定 interposer 面積、熱、I/O 與測試需求	2.5D / HBM
SoIC / hybrid bonding bonder 訂單	代表 3D stacking 真正進入產能擴張	SoIC / Foveros Direct / X-Cube
FOPLP / CoPoS tool move-in 與客戶 sample	設備驗證會早於量產營收	Panel-level
玻璃 TGV 成本與 RDL 脫層改善	決定玻璃能否從研發走向量產	Glass core
CPO 光引擎封裝測試良率	光電混合封裝的量產瓶頸在測試與耦合	CPO / COUPE
ABF 高階載板 layer count / fine L/S	EMIB-T / CoWoS-L / H-Cube 都需要更強基板	EMIB / substrate

主要來源與信心水準

官方 / 一手資料

- TSMC 3DFabric 官方頁：定義 3DFabric、SoIC、CoWoS、InFO，並說明 chiplet、頻寬、延遲、功耗與成本優勢。
- TSMC CoWoS 官方頁：CoWoS-S / R / L 結構、CoWoS-S 3.3x reticle、CoWoS-R RDL interposer 與 2/2μm L/S 等資訊。
- TSMC 2026 North America Technology Symposium：5.5-reticle CoWoS production、14-reticle 2028、beyond 14 reticles 2029、A14-to-A14 SoIC 2029、COUPE on substrate 2026。
- TSMC InFO 官方頁：InFO 自 2016 高量產、InFO_oS 2017Q4 ramp。
- Intel Foundry advanced packaging 官方頁：EMIB 2017 mass production、Foveros-S 2019 mass production、Foveros-R 2027 production ready、EMIB-T TSV bridge。
- Intel glass substrates newsroom：玻璃基板規劃於本十年後段推向市場，目標支援 2030 後 package scaling。
- ASE VIPack 官方頁：FOCoS、FOCoS-Bridge、FOPoP、FOSiP、2.5D/3D IC、CPO 六大技術柱。
- Samsung Foundry advanced heterogeneous integration：I-Cube / H-Cube / X-Cube 與 I-CubeE FO-PLP / silicon bridge 說明。

Stock LLM Wiki 內部資料

- 技術_CoWoS、技術_SoIC、技術_RDL、技術_TSV、技術_FOPLP、技術_CoPoS、技術_玻璃芯基板、技術_WMCM、技術_EMIB-T。
- 報告_元大_半導體封裝產業_20260525：先進封裝市場、CPO、IVR 與封裝產業投資觀點。
- 260521_nmr_semi-renaissance、報告_Citi_台積電2330_20260513、報告_GS_弘塑3131_20260526、memo_台積電先進封裝產能_WMCM_20260526 等內部整理。

信心分層：官方技術定義、已量產年份與 TSMC/Intel roadmap 屬高信心；券商產能估計、客戶採用、CoPoS / glass 量產節奏屬中信心；未經公司公告的客戶份額、單一供應商地位與月產能口徑需後續法說、設備拉貨與財報交叉驗證。