垂直供電（VPD）深度解析

從晶片（BSPDN）、封裝（IVR / 嵌入式被動）、板上（VPD 模組 / Cavity PCB / 雙面水冷）到元件（SPS / 電感 / 電容）：路線選擇、優劣與供應鏈

報告日期：2026-10-03

資料基礎：Vicor 技術文章（Ajith Jain，Power Electronic Tips 轉載）、Infineon 新聞稿（2024-02 / 2025-03 / 2025-08 / 2026-09）、MPS 產品頁、Empower Semiconductor 新聞稿（2024-10）、Ferric 新聞稿（2025-08）、Murata iPaS 技術頁與 The Elec 報導（2026-09-10）、Samsung Electro-Mechanics 矽電容產品公告（2026-06）、Wiwynn Computex 2026 新聞稿（2026-05-26）、Power Electronics News 技術文章（2026-05 / 2026-08）、SemiWiki A16 VLSI 2026 摘要（2026-07-10）、Intel PowerVia 新聞室（2023-06）、Analog Dialogue TLVR 技術文章（2023-02）、SemiAnalysis 公開段落（2023-08）；庫內來源：中信投顧 AI 功耗與散熱架構（2026-09-17）、Edgewater Research 功率半導體通路訪查（2026-06-18）、Morgan Stanley Rubin 機櫃 BOM（2026-05-20）、恆勁科技 2026Q1 法說、日電貿 / 三集瑞 / 廣閎科法說、電源產業簡報（2026-07-03）等。

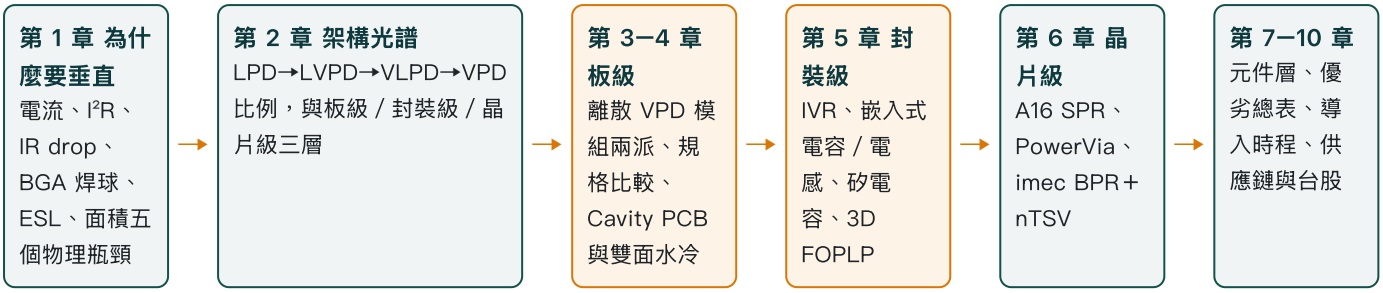
說明：本報告以技術為主軸，個股只放在供應鏈章節。模組規格以原廠公開數字為準；通路訪查、券商估計與第三方摘要已標註來源與日期，未經原文核對的數字以「待核」標示。

摘要

十個結論

1. **垂直供電不是單一產品，而是一條「把最後一級降壓搬到晶片正下方」的路線光譜**：板級 VPD 模組（PCB 背面、晶片陰影區）→ 封裝級（IVR、嵌入式電容 / 電感、矽電容）→ 晶片級（晶背供電 BSPDN）。三層可疊加，越往下路徑越短、難度與不可返修風險越高。
2. **驅動力是電流而非功率**。核心電壓卡在 0.6–0.8V，功耗翻倍全靠電流堆：GB200 / GB300 已超過 1,000A，Rubin 世代上看 2,000A。I^2R 損耗隨電流平方放大：Vicor 公開模型顯示 800A 橫向供電在 70μΩ PDN 下損耗約 45W；中信投顧引茂綸資料，1,000A 時 PCB 損耗約 390W、VR 端效率從 86% 掉到 50%。
3. **橫向→垂直不是 0 與 1，而是比例**。Vicor 把路線拆成 LPD（兩側）、LVPD（70% 側邊＋30% 底部）、VLPD（＞50% 底部）、純 VPD（GCM 模組直接對位 BGA）：PDN 電阻由 70μΩ 降到 10μΩ 再到「主機板電阻降 50 倍」，1,200A 損耗可壓到 14.4W 以下。
4. **板級離散 VPD 模組是目前唯一量產落地的形態**，Google TPU 是唯一真正部署者：TPU8 VRM 由 4–6 個 VPD brick 組成、每 brick 24 相，Infineon / Renesas / MPS 三家合格，MPS 連 IC 帶模組一起賣（模組售價約 IC 的 2 倍）。Meta MTIA gen4 評估中，NVIDIA 最快 Feynman 導入，AMD 則想把 IVR 從 MI600 提前到 MI500。
5. **模組路線分兩派**：Vicor 的 48V 直達（FPA：PRM 穩壓＋VTM / GCM 電流倍增，SAC 諧振拓樸）與 Infineon / MPS / Delta / Flex / Renesas 的「48V→IBC→多相 buck 模組」。後者生態成熟、多供應商，目前電流密度已追到 2 A/mm²（Infineon TDM2454xx 四相 280A / 10×9mm²；MPS MPC24380-260 四相 260A / 9×10×5mm）。
6. **VPD 的核心物理矛盾是「電從下面進、熱要從下面出」**。背面模組與去耦電容佔走最佳散熱路徑，解法是 Cavity PCB 把模組沉入板內＋雙面水冷板（Wiwynn 6kW 雙面冷板＋液態金屬 TIM；中信：業界 4kW 以上、朝 6kW，ASP 約單面方案 1.5–2 倍）。
7. **封裝級兩條支線正在收斂**：IVR（Empower Crescendo：＞3,000A 供電域、5 A/mm²、1–2mm 高、損耗降 10% 以上；Ferric Fe1766：35.5mm² 矽出 160A、電感整合）解決瞬態與面積，但散熱與晶圓廠認證是門檻，超大規模業者對近期商用仍保留；嵌入式被動（Murata iPaS 2027 量產、目標 18 個月內年營收 500 億日圓；SEMCO / 愛普 / Murata 矽電容 ESL＜1pH、厚度 60–100μm）則是較快落地的「準垂直」方案。
8. **晶片級 BSPDN 已進入量產時程**：台積電 A16 Super Power Rail 採背面直接接觸，較 N2P 速度＋8–10% / 功耗－15–20% / 密度＋8–10%，VLSI 2026 公布 2026Q4 量產；Intel PowerVia 於 Blue Sky Creek 驗證＞5% 頻率、＞90% 標準單元利用率。BSPDN 與板級 / 封裝級 VPD 疊加，才構成「端到端垂直供電導管」。
9. **元件層的量價變化比架構更早發生**：VRM BOM 中 SPS / DrMOS 佔 40%、電感 20%、電容 20%；VR200 SPS 報價已到 ~$1.20 / 顆、TPU8 VRM 半導體 content 約 $140（TPU7 的 2 倍多）；TLVR 電感鐵心組合式 2027 預判缺貨、交期 16 週；VRM 輸出端 1kV 諧振 MLCC 與 100V X6/X7 需求因 VPD 而起。
10. **台廠著力點在封裝 / 載板（恆勁 3D FOPLP、日月光）、電源模組（台達電＋乾坤磁性元件）、矽電容（愛普 / 力積電）、雙面水冷（奇鋐、雙鴻）、被動元件通路（禾伸堂、日電貿）與 BSPDN 耗材（中砂、環球晶）**；受壓的是橫向 DrMOS 的「顆數邏輯」，但短中期出貨主體仍是 LPD，VPD 是用量結構重洗而非總量下滑。

本報告的路線地圖


第 1 章 為什麼要垂直
電流、I²R、IR drop、BGA 焊球、ESL、面積五個物理瓶頸
第 2 章 架構光譜
LPD→LVPD→VLPD→VPD 比例，與板級 / 封裝級 / 晶片級三層
第 3–4 章 板級
離散 VPD 模組兩派、規格比較、Cavity PCB 與雙面水冷
第 5 章 封裝級
IVR、嵌入式電容 / 電感、矽電容、3D FOPLP
第 6 章 晶片級
A16 SPR、PowerVia、imec BPR+nTSV
第 7–10 章
元件層、優劣總表、導入時程、供應鏈與台股

第 1 章 為什麼要垂直：五個物理瓶頸

先把「垂直供電」的問題意識講清楚。AI 加速器的核心電壓隨製程微縮停在 **0.6–0.8V**，但單顆功耗從 H100 的 700W 一路堆到 Rubin 世代的 1,800–2,300W（Edgewater 2026-06：NVIDIA 曾把 Vera Rubin GPU TDP 從 2.3kW 改回 1.8kW）。功率 $P = I \times V$，電壓不動，功率翻倍就等於電流翻倍：700W / 0.8V≈875A，1,800W / 0.75V≈2,400A。Vicor 直接把「峰值電流 2,000A」寫成目前 AI 處理器的典型需求。電流一旦到千安培級，電源「放在哪裡」就不再是佈局細節，而是效率、散熱與板面積的決勝點。

1.1 I^2R 損耗隨電流平方放大

橫向供電（Lateral Power Delivery，LPD）的電流路徑是：VRM 位於封裝旁 → 沿 PCB 銅層橫向走幾公分 → 經 BGA 焊球爬升 → 封裝載板 → 凸塊 → 晶片。整段路徑的直流電阻只有幾十到幾百微歐姆，但損耗 $P = I^2R$ 隨電流平方成長：

情境	電流	PDN 電阻	傳導損耗	壓降	來源
Vicor 橫向供電模型（兩側各一顆電流倍增器）	800A @ 0.8V	70μΩ（100°C）	約 45W	56mV	Vicor，Ajith Jain
一般橫向路徑（文獻舉例）	1,000A	100μΩ	100W	100mV	Power Electronics News 2026-08
Rubin 級峰值電流、仍走平面	2,000A	50μΩ	200W	100mV（佔 0.8V 的 12.5%）	依 $P = I^2R$ 推算
Vicor 垂直－橫向混合（>50% 電流由底部注入）	1,200A	10μΩ	< 14.4W	12mV	Vicor，Ajith Jain



圖 1-1 水平（橫向）供電架構。Core Power 與 Main Chip 平鋪於 PCB 同一平面，電流（紅線）沿 PCB 長距離橫走，再由 BGA 焊球上行進入晶片。來源：茂綸、中信投顧整理，2026-09-17。

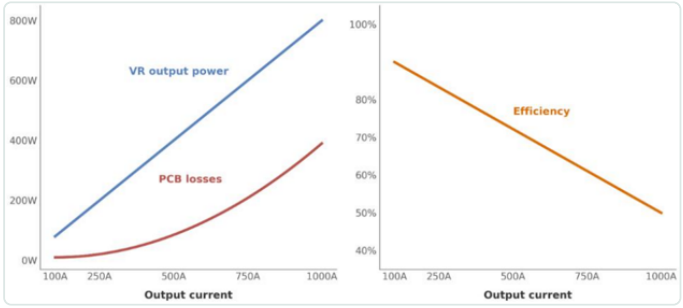


圖 1-2 高電流帶動 I^2R 損耗急遽上升。左：VR 輸出功率由 100A 的約 100W 升到 1,000A 的 800W，PCB 損耗同步由近 0W 非線性升到約 390W；右：效率由 100A 的約 86% 掉到 1,000A 的約 50%。來源：茂綸、中信投顧整理，2026-09-17。

1.2 IR drop 吃掉 sub-1V 的電壓裕度

同一條路徑的壓降 $V = I \times R$。在 1.2V 時代，50mV 的壓降只佔 4%；到 0.7V 時同樣 50mV 就是 7%，而電流又漲了 3 倍，壓降跟著變成 150mV。晶片拿到的電壓低於下限時，電晶體切換變慢、運算出錯、降頻甚至重啟。VRM 只能「拉高輸出電壓補償」，但這又把損耗再推高一截，形成惡性循環。Vicor 的說法是：在多數情況下，「供電已成為運算效能的限制因素」。

1.3 BGA 焊球與針腳的載流上限

中信投顧點出第二個瓶頸：BGA 焊球的載流能力有限。要撐更高電流就得加更多 Power / Ground 焊球，但這會推升封裝面積、佈線複雜度與成本。Vicor 則宣稱垂直供電（GCM 模組直接對位處理器 BGA 的電源 / 接地球）可把「處理器電源接腳數減少 10 倍以上」。這是「垂直化」第一個非效率面的理由：**電流進晶片的入口本身就是瓶頸**。

1.4 迴路電感與瞬態：負載以 1,000A/μs 以上跳變

AI 訓練負載的 di/dt 可達每微秒數千安培，瞬態持續數微秒。長路徑意味著高寄生電感（ESL），電壓會在負載突變時先塌陷再振盪。傳統做法是在處理器「陰影區」（封裝正下方的 PCB 背面）鋪滿去耦電容陣列當緩衝。Empower 把這件事講得很直白：橫向方案「為了效率只能慢速運作，於是需要在處理器陰影區塞大量電容庫，佔用了系統裡對電源最敏感的位置」。**垂直供電想做的其中一件事，就是把那塊最貴的面積從被動的電容庫換成主動的轉換器**。

1.5 面積與 routing：電源與高速訊號搶同一層

單卡 60 相以上的 DrMOS＋電感＋電容，把封裝四周塞滿；而 HBM、PCIe Gen6 / 7、CXL、乃至共封裝光學（CPO）的高速差分對也要從封裝邊緣出來。Vicor 把這點列為 VLPD / VPD 最適用的場景：「必須在板子頂層從 ASIC 周邊拉高速訊號、因此無法在那裡放電源元件」的應用，例如 CPO、NPO 與網路交換 ASIC。這也是為什麼 **CPO 與 VPD 常被一起討論**：光引擎佔掉封裝邊緣後，電源只剩下「從下面進」這條路。

> **小結：**五個瓶頸分屬效率（I^2R）、電壓品質（IR drop、ESL / 瞬態）、機構（BGA 焊球）與佈局（面積 / routing）。任何一項在 1,000A 以下都還能用「加相數、加銅厚、加電容」硬撐，過了 1,000A 四項同時惡化，這就是垂直供電從 Google TPU 的小眾選擇變成全產業路線圖的原因。

第 2 章 架構光譜：從「比例」到「層級」

2.1 橫向→垂直是比例問題：Vicor 的四段分法

Vicor 在其 Factorized Power Architecture（FPA）框架下把供電擺位分成四段，這是目前公開資料裡對「垂直程度」最量化的描述：

路線	擺位	適用電流	PDN 電阻 / 損耗	板面積效果
LPD 橫向供電	兩顆電流倍增器（VTM）夾在處理器南北或東西兩側，模組高 2.8mm，可與處理器共用散熱片	~800A @ 0.8V	70μΩ（100°C）→ 約 45W	佔用處理器周邊頂層佈線層
LVPD 橫向為主的混合	70% 電流由兩側橫向注入，30% 由處理器底部一顆電流倍增器直接送到 BGA	~1,000A 級	PDN 損耗較 LPD **降近 4 倍**	釋出頂層空間給第二組高電流軌（aux）或 HBM 電源軌
VLPD 垂直為主的混合	＞50% 電流由底部多顆電流倍增器注入，其餘橫向分擔；上下皆可裝散熱片	1,200A 級	**10μΩ → ＜14.4W**（較 LVPD 再減半）	頂層可容納 CPO / NPO / 高速 SerDes 出線
VPD 純垂直供電	電流倍增器與旁路電容堆疊成一顆整合模組（Geared Current Multiplier，GCM），客製 pin-map 對位處理器 BGA，直接取代底部的旁路電容庫	1,200–2,000A＋	主機板電阻降達 **50 倍**；電源接腳數減 ＞ 10 倍	頂層 100% 釋放給高速訊號

來源：Vicor，Ajith Jain〈Vertical power delivery enables cutting-edge processing〉（Power Electronic Tips 轉載，Vicor 官網），2026-10-03 擷取。GCM 為 Vicor 客製品，非標準料號。

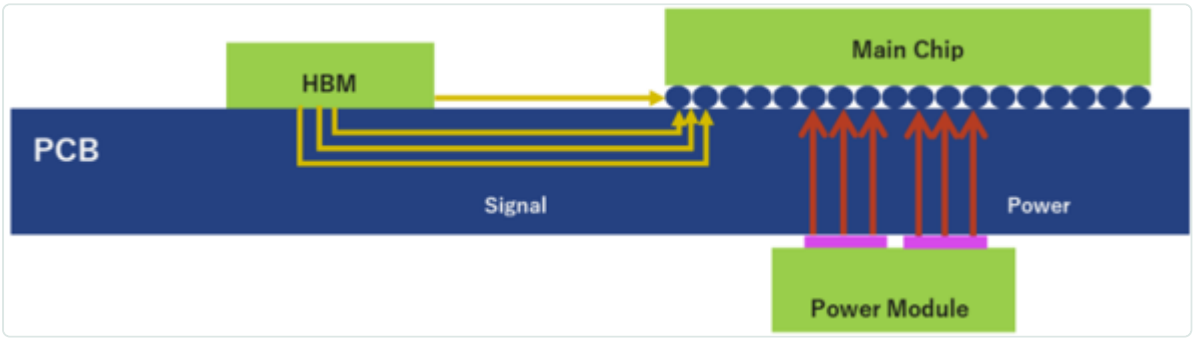


圖 2-1 垂直供電架構示意。Power Module 移到主晶片正下方（PCB 背面），Signal（黃線）從 HBM 側走、Power（紅線）由下方直上。這張圖對應 Vicor 分法的 VLPD / VPD 段。來源：茂綸、中信投顧整理，2026-09-17。

2.2 垂直化的三個層級（本報告的章節骨架）

① 板級 VPD（第 3–4 章）

頂部冷板
GPU / ASIC die＋HBM
封裝載板
BGA
PCB（Cavity 開腔）
VPD 模組（PCB 背面、晶片陰影區）
底部冷板

最後一級 48V / 12V→0.8V 的多相 buck 或電流倍增模組，貼在 PCB 背面、BGA 正下方。Google TPU 已量產。

② 封裝級（第 5 章）

冷板
GPU / ASIC die
載板內：嵌入式電容 / 電感、矽電容（LSC / Embedded）
IVR（land-side / 載板內埋 / die-side）
BGA
PCB
（背面模組可省或縮小）

把最後一級穩壓與去耦搬進封裝：IVR（Empower、Ferric、Intel FIVR）、Murata iPaS、矽電容、恆勁 3D FOPLP。

③ 晶片級 BSPDN（第 6 章）

正面 BEOL：純訊號 / 時脈
電晶體層（薄化後剩餘矽極薄）
背面電源軌＋nTSV / 背面直接接觸＋3D MIM 電容
背面凸塊
封裝載板

晶圓翻面、背面建電源網：台積電 A16 Super Power Rail（2026Q4 量產）、Intel PowerVia（18A）、imec BPR＋nTSV。

為什麼三層要一起看：只有板級 VPD 而晶片仍是正面供電，電流到了封裝還得從正面金屬頂層往下鑽 15–20 層；只有 BSPDN 而板級仍是橫向，背面電源軌的大電流仍卡在載板與 PCB 的橫向電阻。兩端都垂直，大電流的物理傳輸距離才能從數十毫米縮到數十至數百微米。這也是為什麼 Edgewater 在通路訪查裡把「VPD 與 IVR 因阻抗問題成為未來關鍵技術」並列。

2.3 系統端的配合：48V 與 800V 把「上游電流」先壓下來

垂直供電解決的是「最後一吋」；上游的機櫃與托盤靠提高匯流排電壓降電流。Google 於 2016 年率先在資料中心採用 48V 並推進 OCP 標準化，48V 相對 12V 電流降為 1/4、銅損降為 1/16（SemiAnalysis 公開段落，2023-08）。NVIDIA 的 Rubin Ultra / Kyber 世代則往 800V HVDC 走，2H27 規模化。這些上游升壓並不取代 VPD：不論匯流排是 48V 還是 800V，最後一段降到 sub-1V 的巨大電流仍必須在離核心最近處產生，上游電壓越高，反而越凸顯最後一級「放在哪裡」的問題。

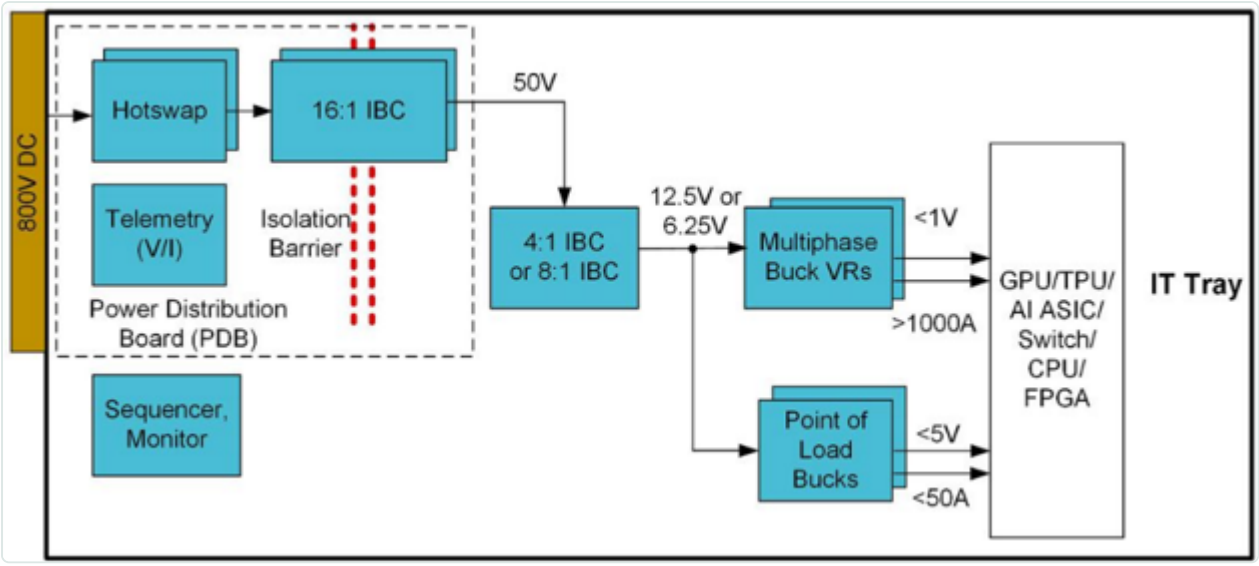


圖 2-2 800V DC 到晶片的轉換鏈。Hotswap → 16:1 IBC 降到 50V → 4:1 / 8:1 IBC 降到 12.5V 或 6.25V → 多相 buck VR 降到 <1V、>1,000A 供 GPU / TPU / ASIC。垂直供電討論的就是最右邊「多相 buck VR → 晶片」這一段的擺位與形態。來源：電源供應與管理產業簡報，2026-07-03。

第 3 章 板級：離散 VPD 模組（目前唯一量產落地的形態）

板級 VPD 模組是把開關元件、驅動、控制與（多數情況下）磁性元件整合成低剖面封裝，貼在 PCB 背面、處理器腳位正下方。它做不到 on-die 方案的極限寄生，但在效能、彈性與可製造性之間取得平衡：BGA 可客製成與該顆 xPU / ASIC 的 pin-map 對齊、需要更多電流就多顆並聯（tiling），不必重新設計架構。這是它能先於封裝級、晶片級方案落地的原因。

3.1 兩派拓樸：48V 直達的電流倍增 vs 48V→IBC→多相 buck

面向	A 派：Vicor Factorized Power（FPA）	B 派：多相 buck 模組（Infineon / MPS / Delta / Flex / Renesas / ADI）
轉換級數	單級 48V→sub-1V。PRM（前置穩壓，ZVS buck-boost，峰值效率可達 99%）輸出「分比匯流排」，VTM / MCM / GCM（固定比例正弦振幅轉換器 SAC）在負載端做變壓與電流倍增，效率可達 97%，瞬態亞微秒級、輸出阻抗極低	兩級：48V→12V 或 48V→中間電壓（IBC，4:1 / 8:1；GaN LLC 或混合開關電容），再由多相 buck 模組降到 sub-1V。MPS 公開方案第一級 MPC12106（4:1，800W） / MPC42013（1.3–1.6kW）＋第二級 Intelli-Module
為什麼能垂直	PRM 不必靠近晶片（高壓低電流），VTM / GCM 體積小、可放到晶片正下方；GCM 把電流倍增器與旁路電容堆疊、pin-map 對齊處理器 BGA	把 2 相或 4 相的 DrMOS＋電感＋電容壓進 8×8 到 10×9mm²、高度 4–8mm 的模組，背面陣列平鋪；靠交錯相位把電感、電容做小才塞得進背面
均流與擴充	SAC 固定比例，天然均流，多顆並聯即可擴流（一組 MCD4609＋2×MCM4609 公開規格 650A 連續 / 1,200A 峰值）	由數位多相控制器（Infineon XDP、MPS MP29816 類 16 相雙迴路可堆到 48 / 96 相、Renesas RAA229 系列）主動均流；Flex 客製 VPD 可到 1–25 條電源軌、288 相
優勢	PDN 阻抗與損耗最低、省掉 IBC 一級；瞬態響應最快；頂層 100% 釋放	生態最成熟、多家第二供應商、PMBus / AVS telemetry 完整；每相均流與熱平衡控制成熟；TLVR 可再壓電容用量
劣勢	專利架構、單一供應商風險；GCM 高度客製、成本高；Vicor 在 H100 被 MPS 設計取代、與客戶訴訟糾紛（SemiAnalysis 2023-08）	多一級轉換的級聯損耗；12V 中間軌仍有上百安培橫向電流；模組厚度（含電感）對背面散熱與 Z 軸空間要求高
設計採用	Google TPU 早期世代、NVIDIA V100 SXM3 / A100（SemiAnalysis）；H100 起 NVIDIA 轉 MPS	Google TPU7 / TPU8 VPD brick（Infineon / Renesas / MPS）；Delta 以 Infineon 90A 功率級開發 VPD 模組（2025-08）；Flex＋Renesas 合作（2025-09）

3.2 FPA 的運作方式（為什麼叫「電流倍增」）

48V 匯流排
36–75V 寬範圍輸入

→

PRM 前置穩壓
ZVS buck-boost，輸出穩定的分比匯流排電壓 Vf；可遠離晶片放置

→

VTM / GCM 電流倍增
固定比例 K（如 1/32、1/48）的 SAC 正弦振幅轉換器；$I_{out} = I_{in}/K$，無大型儲能電感，MHz 級諧振、ZCS/ZVS

→

核心
0.8V、1,000–2,000A，直接由 BGA 正下方垂直注入

關鍵在於「規範與變壓分開」：規範（穩壓）在高壓側做，電流小、損耗小、位置自由；變壓（倍增）在負載端做，固定比例、無回授迴路、可並聯。若 K＝1/48，核心要 1,000A 時匯流排只需輸送約 21A，匯流排段的 I^2R 損耗按 K^2 縮小。這是 A 派能在 48V 直達下維持效率的原理，也是它專利壁壘所在。

3.3 公開 VPD 模組 / 功率級規格比較（原廠數字）

廠商 / 型號	形態	相數	電流	尺寸	電流密度	特點	公開日期
Infineon OptiMOS TDM2254xD	雙相模組	2	原廠：第一代雙相 VPD 模組（Delta 以 90A 整合功率級為基礎開發 VPD 模組）	10×9mm 級	—	OptiMOS 6、整合垂直磁性結構；Infineon－Delta 合作新聞圖即 TDM22544D	2024-02
Infineon OptiMOS TDM2354xD / T	雙相模組	2	最高 160A（待核）	8×8mm（待核）	1.6 A/mm²（待核）	T 版整合 TLVR 於模組內，搭 XDP 控制器可減輸出電容體積	2024-10
Infineon OptiMOS TDM2454xx	四相模組	4	**280A**	**10×9mm²**	**2.0 A/mm²**	「真正 VPD」：OptiMOS 6 trench、晶片嵌入式封裝、低剖面磁芯、內建嵌入式電容層、可平鋪（tiling）footprint	2025-03-10
Infineon TDA235E5 / E0	雙相智慧功率級（SPS）	2	**300A 峰值 / 120A TDC**	**6×6×0.8mm**	**＞2 A/mm²**	OptiMOS 6＋雙相驅動單封裝；同時支援橫向與垂直配置；接面到頂面熱阻低、為液冷設計；工程樣品已出	2026-09-07
MPS MPC24380-260	四相 Intelli-Module（DrMOS＋電感）	4	**260A**（每相 65A）	**9×10×5mm**，LGA-54	約 2 A/mm²（依尺寸推算）	Vin 3—8V、Vout 0.5—2V、fsw 0.5—1.5MHz；Quiet Switcher 限制切換尖峰；Accu-Sense 電流感測；Pre-Release	產品頁 2026-10 擷取
MPS MPC22175-130 / 22157-130 / 22158-130	雙相 Intelli-Module	2	130A	8×8×4mm（22158）等	—	22175 為 TLVR 版；22157 / 22166-B 支援雙面散熱（Double-Side Cooling）	產品頁
Vicor MCD4609＋2×MCM4609	驅動＋電流倍增 ChiP-set	—	650A 連續 / 1,200A 峰值（一組）	45.7×8.6×3.2mm	—	48V 直達；可貼於封裝旁（LPD）或底部；GCM 為客製垂直版	Hydra II 公開資料

Vicor VLPD / VPD 設計點	FPA 架構	—	1,200A（10μΩ）；2,000A 峰值為典型需求	VTM 高 2.8mm	—	見 2.1 節四段分法	Vicor 技術文章
AmberSemi PowerTile	DC–DC 轉換器	—	1,000A；可組合 >10,000A	20×24×1.68mm	—	超低剖面、支援背面安裝與液冷	PEN 2026-05
ADI LTM3360B μModule	BGA 模組（含電感、電容）	1（可並聯 12 相）	33A（12 相> 1,000A）	6.55×5mm	1 A/mm²	設計放在處理器 power pins 下方的「die 陰影區」	PEN 2026-05
Lotus Microsystems LSC0580（vStrata）	9×9mm PSiP，矽中介層基板	—	—（高電流轉換器）	9×9mm，目標 < 1mm	—	Vin 2–5V→Vout 0.5–1.2V，峰值效率 96%；Power Interposer（矽）＋ LTG 熱導結構；被動元件全整合；樣品 2026Q3	PEN 2026-08
Flex Power Modules 客製 VPD	背面 BGA 模組	最多 288 相	1–25 條電源軌	客製	—	BGA 對齊 xPU pin-map；與 Renesas 合作導入其 SPS 與數位控制器	Flex 官網 / PEN
Google TPU8 VPD brick（通路口徑）	模組	每 brick 24 相	每顆 TPU 4–6 brick	—	—	Infineon / Renesas / MPS 三家合格；MPS 兼賣 IC 與完整模組（模組約 IC content 2 倍）	Edgewater 2026-06-18

「待核」＝agy 搜尋摘要之 Infineon 2024-10 新聞稿數字，本次未開原文核對；其餘 Infineon / MPS / Empower / Ferric / Murata / Wiwynn 數字皆為原廠頁面親讀。



圖 3–1 Infineon OptiMOS TDM2454xx 四相 VPD 模組（圖為 TDM24545S）。金屬屏蔽蓋下為四相功率級與低剖面磁芯，中央開孔為散熱 / 對位，10×9mm² 可承載 280A，可在 ASIC 背面平鋪。© Infineon Technologies，新聞稿 INFPSS202503-073，2025-03-10。



圖 3–2 Infineon OptiMOS TDM22544D 雙相模組。兩顆直立磁性元件罩殼明顯較高，是第一代 VPD 模組；Delta 的 VPD 模組即以 Infineon 90A 整合功率級為基礎開發。© Infineon Technologies，新聞稿 INFPSS202508-138，2025-08-28。

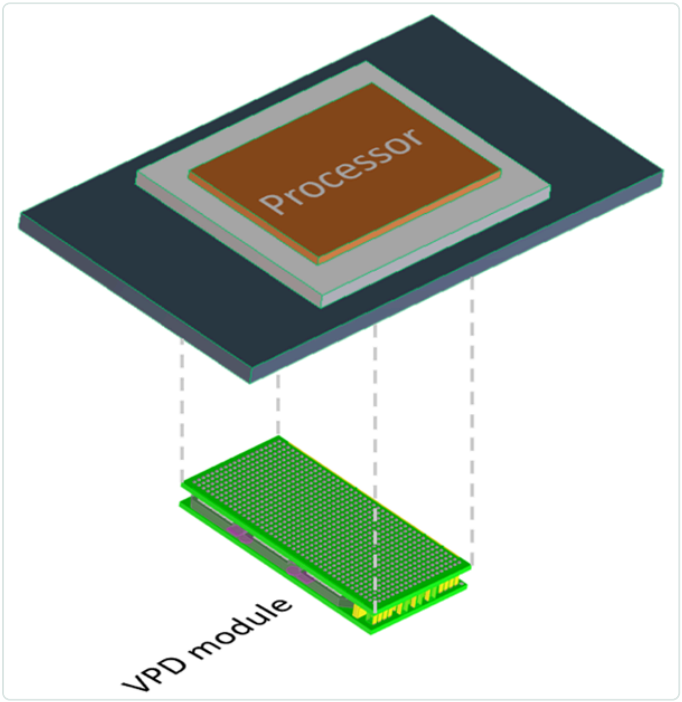


圖 3–3 VPD 模組與處理器的相對位置。模組置於主機板背面、處理器正下方，BGA 直接對齊處理器電源腳位。© Flex Power Modules，Vertical Power Delivery 產品頁，2026-10 擷取。



圖 3–4 Flex 客製 VPD 模組實物。上層為陣列排布的功率級與電感，下層為對接處理器的 BGA 載板；Flex 公開其客製方案可達 1–25 條電源軌、288 相。© Flex Power Modules。

3.4 為什麼主流模組是 2 相或 4 相、再陣列平鋪

- **單相塞不進背面**：1,000–2,500A 若用單相，電感體積與飽和電流做不小。2 相或 4 相交錯讓等效開關頻率成倍、輸入輸出漣波互相抵消，電感與電容才能縮到模組厚度 5mm 以下。

- **Tiling 是 VPD 模組的設計語言**：Infineon 直接把「可平鋪 footprint、改善電流流動」寫進 TDM2454xx 的賣點；TPU8 用 4–6 顆 24 相 brick 拼出千安培級。單顆模組不追求極限電流，而是追求「電流密度 × 可堆疊性」。
- **電流密度 2 A/mm² 是 2025–2026 年的業界基準線**：Infineon TDM2454xx 與 TDA235E5 都以此為標題數字，MPS MPC24380-260 依尺寸推算亦在此量級；IVR 陣營（Ferric 4.5 A/mm²、Empower ＞5 A/mm²）則是下一個量級，但它們算的是矽面積而非模組面積，不能直接相減。
- **功率級本身也在變薄**：Infineon 2026-09 的 TDA235E5 把雙相 SPS 做到 0.8mm 厚、300A 峰值，並明寫「同時支援橫向與垂直配置」，顯示 2026 下半年的新料號已把 VPD 模組當成預設客戶。

3.5 板級 VPD 模組的優劣總結

優點	缺點 / 風險
• PDN 阻抗與 I^2R 損耗顯著下降（Vicor 模型 70→10μΩ）；Infineon 估垂直模組較橫向離散方案每機櫃三年省 150 噸 CO_2 • 釋放處理器周邊頂層空間給 HBM、PCIe、CPO 高速訊號 • 模組化、可並聯擴充、可返修（SMT 層級），開發週期短 • 多供應商（Infineon / MPS / Renesas / Delta / Flex / Vicor）	• 背面模組與散熱路徑衝突，必須搭配 Cavity PCB 與雙面冷板（第 4 章） • PCB 板厚 2.5–4mm 的通孔仍有寄生，不開腔效果打折 • 模組高度 4–8mm，與 1U / 2U 托盤 Z 軸空間、鎖附應力、翹曲互相牽制 • BGA pin-map 客製，換一顆 ASIC 就要改模組；Vicor 路線另有單一供應商與專利風險 • 多相 buck 路線的 12V 中間軌仍有上百安培橫向電流，級聯效率約 85–88%（第一級 ~98% × 第二級 ~89%）

第 4 章 機構配套：Cavity PCB、背面安裝與雙面水冷

4.1 「電從下面進、熱要從下面出」

AI GPU 的主流散熱是 direct-to-chip 液冷，最佳熱路徑是晶片正背面；VPD 把功率元件塞到正下方，直接與散熱搶位。更麻煩的是背面模組自己也發熱：即使模組效率 90—92%，供 1,000—2,000A 的模組群仍會釋放 100—200W 以上的集中熱量，而 FR-4 基板的熱導率只有約 0.3 W/m·K，正面冷板根本抽不到背面的熱。這是 VPD 最核心的物理矛盾，也是它從 2016 年 Google 就開始用、卻直到 2025—2026 才成為全產業路線的主因。

4.2 Cavity PCB：把模組「沉」進板子裡

- **縮短通孔**：AI 伺服器 PCB 常達 24—36 層、板厚 2.5—4mm，直接在背面表貼模組，電流仍要穿過整段通孔。用控深銑削或雷射在背面正對晶片處掏出凹腔，模組下沉後通孔長度可縮 50—70%，壓降與振鈴同步下降。
- **解 Z 軸干涉與共面性**：模組內電感高 3—7mm，若凸出板面會撞到背面冷板與鎖附機構；開腔讓模組與板面齊平，冷板才能平貼。
- **代價**：凹腔深度公差嚴（±20—50μm）、非對稱結構受熱翹曲劇烈、腔內錫膏印刷難檢、不良難返修。AT&S 的 2.5D / Semi-flex Cavity 技術是公開的工法參考。
- **業界實例**：緯穎在 Computex 2026（2026-05-26）展出「6kW 雙面冷板＋液態金屬 TIM」，明寫整合 Cavity PCB 架構以支援 VPD、縮短供電路徑，宣稱供電效率提升超過 80%、液態金屬 TIM 帶來 30% 以上熱效率增益（原廠新聞稿口徑，效率提升基準未說明）。

4.3 雙面水冷板：VPD 的必要配套

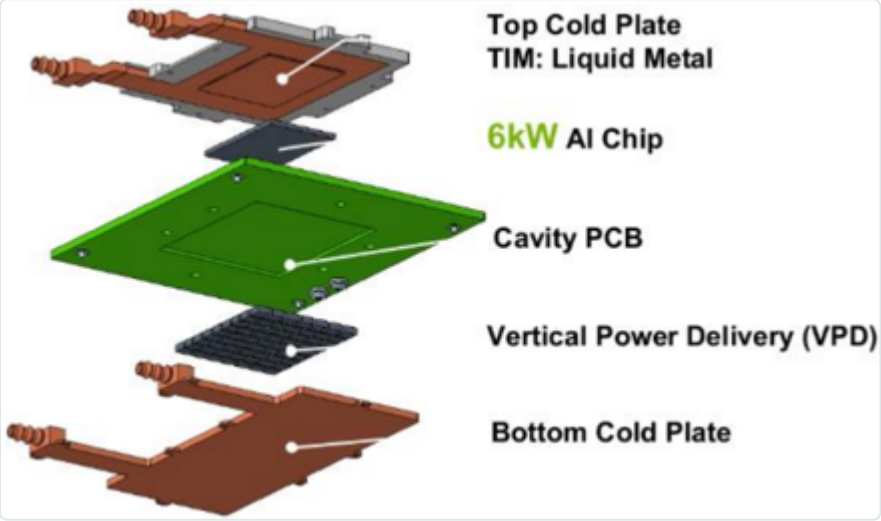


圖 4-1 雙面水冷板爆炸圖。由上而下：Top Cold Plate / TIM：Liquid Metal / 6kW AI Chip / Cavity PCB / Vertical Power Delivery（VPD） / Bottom Cold Plate。VPD 模組沉在 Cavity PCB 內，由底部冷板帶走熱。來源：緯穎、中信投顧整理，2026-09-17。

項目	內容	來源
熱負載	業界方案已支援 4kW 以上，朝 6kW 發展；緯穎展品標示 6kW AI 晶片	中信投顧 2026-09-17；Wiwynn 2026-05-26
結構挑戰	有限空間整合正反兩側流道；兼顧散熱效率、流量、壓降、結構強度；精確控制冷板平整度、鎖附應力與熱膨脹，避免載板翹曲與封裝可靠度問題	中信投顧
ASP	約傳統單面方案 1.5–2 倍	中信投顧供應鏈調查
客戶進度	AWS、AMD 等終端客戶推進高階液冷架構，市場開始出現 VPD 搭配雙面水冷板設計；越來越多客戶進行評估驗證	中信投顧
第二來源	奇鋐法說 checks 顯示已有數個平台的雙面水冷板方案處於研發階段	Citi，2026-09-17
TIM	背面模組與冷板之間需高導熱 TIM；正面則走液態金屬	Wiwynn

4.4 載板 / SMT 的連帶要求

中信投顧指出，VPD 對封裝與製造提出三項更嚴的要求：**雙面元件配置、高密度微盲孔（micro-via）、載板翹曲控制**。這三項與雙面冷板的鎖附應力互為因果：冷板平整度與鎖附力控制不當會回頭造成載板翹曲，良率爬坡速度可能牽制 VPD 放量節奏。因此看 VPD 的落地，不能只看電源 IC，要同時看 PCB 開腔、載板翹曲控制與雙面冷板的成熟度。

第 5 章 封裝級：IVR 與嵌入式被動元件

封裝級的目標是把最後一級穩壓或至少去耦與儲能元件搬進封裝載板，讓供電點離 die 只剩幾百微米到幾毫米。這一層分兩條支線：**IVR（整合式電壓調節器）**把整個轉換器做進封裝；**嵌入式被動**則先把電容、電感埋進載板或模組基板，轉換器本身仍可留在板上。後者是「準垂直」，門檻低、落地快；前者是「真垂直」，但散熱與認證門檻高。

5.1 IVR：把轉換器做進封裝

方案	關鍵規格（原廠公開）	整合位置	狀態
Empower Crescendo（FinFast 技術）	可擴充至 ＞3,000A 供電域；總電源密度 ＞5 A/mm²（整合進處理器時）；比傳統轉換器高 20 倍頻寬，可省掉 PCB 上高頻去耦電容與處理器陰影區的電容庫；總方案密度 5 倍；高度 1mm 或 2mm；供電損耗降 ＞10%（10 萬顆 CPU 的資料中心省 ＞8MW）	處理器正下方的關鍵區域（真垂直供電）	2024–10 OCP 首展；通路：ADI 已收購 Empower，其 3.3V 輸入（一般 IVR 1.8V）領先但未經驗證（Edgewater 2026–06）
Ferric Fe1766	160A / 35.5mm² 矽面積，電感完全整合（薄膜磁性電感做在 CMOS 後段）；小到可直接放進處理器封裝；支援可擴充的垂直 PDN 架構達 kW 級	四種整合方式：Back Side PCB Attach、Land Side Package Attach、Substrate Embedded、Die Side Package Attach	2025–08–25 發表；2025–06 與 Marvell 宣布 IVR 合作
Intel FIVR（歷史參照）	Haswell（2013）起把功率 FET、控制與去耦做在 22nm die 上，電感用封裝內空心電感；切換頻率 140MHz、峰值效率約 88–90%、最多 31 個獨立電壓域（Intel APEC 2014 論文，agy 摘要）	On-die＋封裝	Skylake 時曾因熱而移出，後以 DLVR 形式回歸：是「IVR 熱集中」風險的最早實證
AMD 導入時程（通路）	MI355 每顆 GPU 需 26 個 VRM 模組（TDP 1.4–1.5kW）；AMD 試圖把 IVR 從 MI600 提前到 MI500	—	Edgewater 2026–06–18



圖 5-1 Empower Semiconductor Crescendo 垂直供電平台（示意）。單一薄型封裝（右為底部焊墊面）即是一組 IVR，貼在處理器正下方取代電容庫；Empower 宣稱 1–2mm 高度內實現真垂直供電。© Empower Semiconductor 新聞稿，2024-10-02。

IVR vs 多相 DrMOS：優劣對照

面向	IVR（封裝級）	多相 DrMOS VRM（板級）
切換頻率	數十到 140MHz 級	0.3–1.5MHz，AI VR 朝 1–2MHz
瞬態與去耦	奈秒級；可省掉大部分外接去耦電容（Empower：省掉 PCB 高頻去耦）	微秒級；仰賴 MLCC / 聚合物電容庫
電流密度	Ferric 4.5 A/mm²（矽面積）；Empower >5 A/mm²	模組級 2 A/mm²（Infineon / MPS 2025–2026）
單體效率	高頻下閘極損耗與電感交流損耗較高，單體效率通常低於板級；但系統端到端因省掉傳輸損耗而淨賺（Empower：損耗降 >10%）	單體峰值 93–96%（低頻、大電感）
散熱	**最大缺點**：轉換損耗被搬進封裝，直接吃處理器熱預算；Intel Skylake 移出 FIVR 即為此	熱分散在板上，獨立散熱片 / 冷板
認證	需晶圓廠（如台積電）將其納入 GPU 製造流程認證；超大規模業者對近期商用化不信服（Edgewater）	平台參考設計成熟，認證週期短
成本	先進 CMOS / FinFET 矽面積＋磁性薄膜後段＋3D 封裝，每安培矽成本高	成熟 BCD / 功率 MOSFET 製程，便宜

判讀

IVR 的技術數字（頻寬、密度、省電容）很漂亮，但它把「熱」與「認證」兩個最難的變數綁進處理器本身；Edgewater 的通路訪查直接寫「IVR 是很好的投資故事但很難真正交付」。可追蹤的轉折點有三個：ADI 整合 Empower 後的首個 AI 客戶、Marvell－Ferric 合作的首顆客製 ASIC、AMD MI500 是否真的導入 IVR。

5.2 嵌入式被動：先把電容、電感埋進基板

嵌入式被動的邏輯是「不動轉換器、先縮路徑」：把去耦電容與功率電感從表面貼裝移到載板或模組基板內部，電流在基板內用貫孔垂直直通，ESL 與 IR drop 同步下降，同時釋放表面給晶片或讓模組變薄。Murata iPaS 是目前公開資料最完整、也最接近量產的方案。

Murata iPaS（Integrated Package Solution）

類型	結構	規格與用途
Capacitor iPaS	用導電高分子鋁電解電容技術做成 **0.3–0.35mm** 厚的薄片，內部有貫孔（through-hole），上下平面銅電極可打雷射盲孔，壓進多層基板	內部貫孔把電流路徑縮到最短、ESL 壓低；承載高電流，適合 ＞100A 的 AI 處理器封裝載板與電源模組基板；可陣列化，阻抗、尺寸、佈線、footprint 皆可客製
Inductor iPaS	把螺線管線圈「攤平」成平面線圈陣列埋進基板，閉磁路設計、漏磁小	可承載 ＞10A 的功率電感；IC 可直接貼在基板上，做出低剖面模組；適合高度受限的 AI 加速器與光收發模組的電源模組基板
路線	目前電容型與電感型分開開發，未來目標整合在同一片基板；2023 FLEX Japan 首展樣品，ECTC 2024 展示用 iPaS 的電源模組「表面貼裝電容減少 60% 以上、電壓波動特性相當」	
量產與目標	The Elec 2026-09-10 報導：Murata 計畫 **2027 年量產**，客戶鎖定開發 AI 晶片的大型科技公司（超大規模業者）；高單價、用於高階 AI 加速器而非通用晶片；目標量產後 **18 個月內年營收 500 億日圓**（約為 FY2025 電容營收 9,364 億日圓的 5%）	

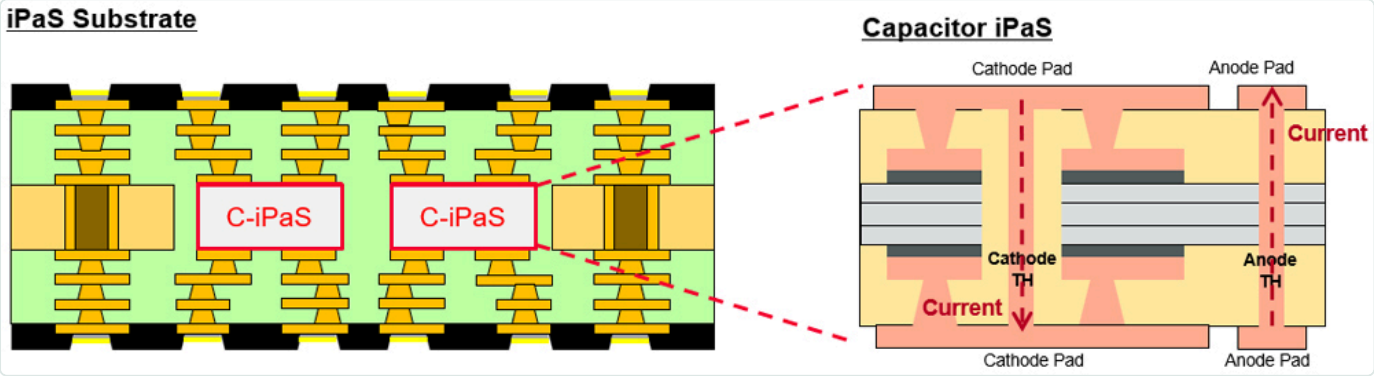


圖 5-2 Capacitor iPaS 的剖面。左：C-iPaS 薄片電容嵌在基板中層，上下各一層 RDL 以雷射盲孔連接；右：電容內部的陰極貫孔（Cathode TH）與陽極貫孔（Anode TH）讓電流垂直穿過電容本體，這是它 ESL 低、能走大電流的關鍵。© Murata Manufacturing，iPaS 技術頁，2026-10 擷取。

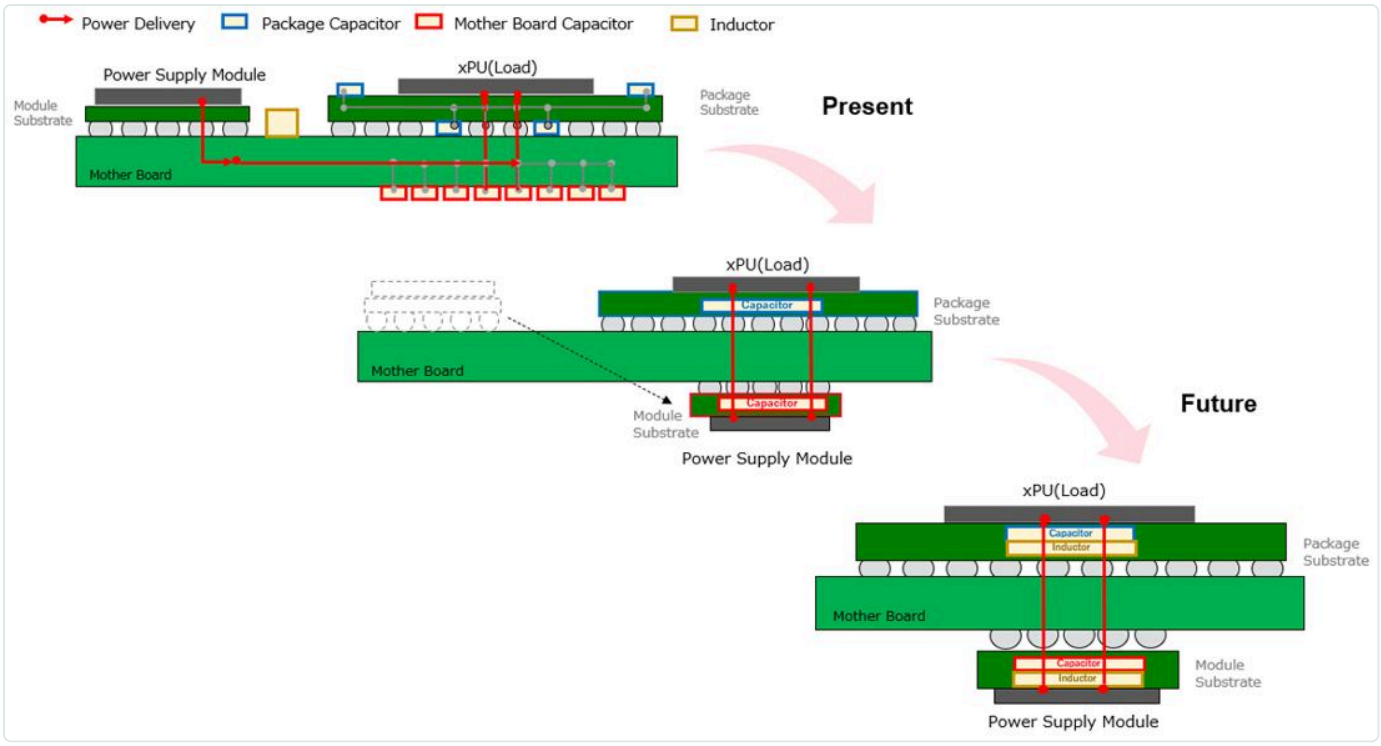


圖 5-3 Murata 描繪的供電封裝演進三階段。Present：電源模組在旁、電容分散在封裝載板與主機板背面，電流橫走；中間：電源模組移到主機板背面、電容嵌入封裝載板與模組基板（即 VPD＋Capacitor iPaS）；Future：電容與電感都嵌入封裝載板與模組基板，電流全程垂直。© Murata Manufacturing。

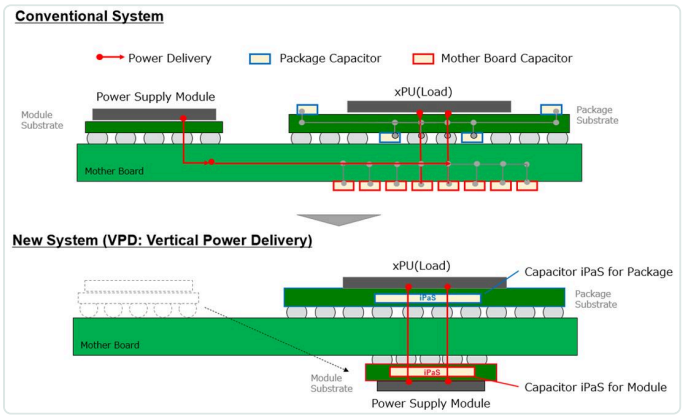


圖 5-4 Capacitor iPaS 在 VPD 系統中的兩個位置。上：傳統系統，封裝電容與主機板電容分散、電源模組在旁；下：VPD 系統，Capacitor iPaS 同時用於封裝載板（Package）與背面電源模組基板（Module），主機板背面的電容陣列消失。© Murata Manufacturing。

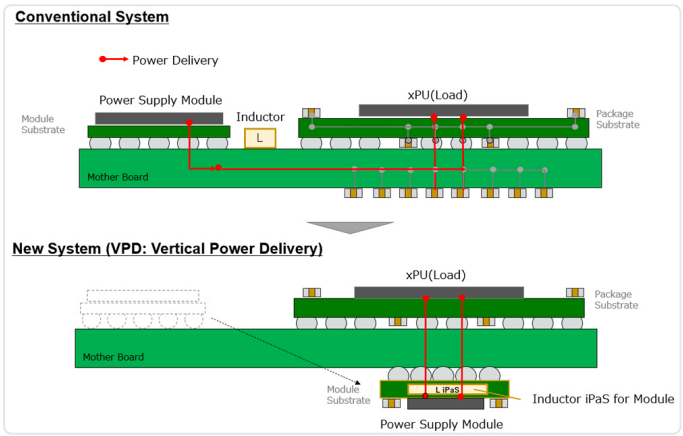


圖 5-5 Inductor iPaS 用於背面電源模組。平面線圈陣列埋進模組基板（L iPaS），SMD 電感消失，模組高度下降，才放得進 PCB 背面與冷板之間。© Murata Manufacturing。

矽電容（Si-Cap / 深溝槽電容）：封裝內去耦的高密度路線

廠商 / 型號	關鍵規格（原廠公開）	位置	意義
Samsung Electro-Mechanics（2026-06-17 產品公告）	4 款量產＋5 款樣品。LSC（land-side）款厚度 **60–70μm**，如 SCBCAP305L95：1.26×1.03mm、68μm、3,000nF、4 條電源軌、1.2V；ESL **＜1pH**；耐 250° C。Embedded 款厚 738μm，8.8–35μF（2×2 到 4×4mm）	封裝底面（LSC）、嵌入式基板或封裝模組內	把高頻去耦貼到 die 正下方，ESL 比 MLCC 低一到兩個數量級；SEMCO 另於 2026-09 發布「1MW 機櫃的電容方案」與「低剖面 / 嵌入式 MLCC」，顯示被動元件廠已把 VPD 當產品線
愛普 S-SiCap（IPC / IPD / LSC 三形態）	IPD 為分離式矽電容，主戰場是 embedded substrate，**單一機板需近百顆**；2Q26 SCCAP 營收 NT$6.4 億、需求能見度到 2028；與力積電 / 日月光簽長約鎖產能	中介層內建、嵌入載板、封裝底面	台廠矽電容切入 AI 封裝去耦的實例；力積電以 DRAM 溝槽式製程代工，電容密度達邏輯廠數百倍（庫內法說紀錄）
Empower E-CAP（agy 摘要，待核）	深溝槽矽電容，密度約 MLCC 5 倍、厚度可到 50μm、ESL ＜5pH、0 DC bias 衰減；EC2005P 9.34μF（2×2mm）、EC2006P 36.8μF（4×4mm）	載板內埋或 die-side / land-side	與 Crescendo IVR 同屬「寬頻寬電容」拼圖
台積電 DTC（3DFabric）	深溝槽電容做在矽中介層或 SoIC 內（agy 摘要：密度約 340nF/mm²，待核）；A16 SPR 配套 3D MIM 電容（VLSI 2026）	中介層 / 晶背	把去耦推到距電晶體最近的位置，與 BSPDN 同層

三種電容路線的取捨

路線	優點	限制	在 VPD 中的角色
表面貼裝 MLCC（含低剖面 / 逆幾何）	成熟、便宜、可返修、供應鏈完整；SEMCO 0.20mm 厚逆幾何 MLCC 可塞進極限空間	DC bias 下容量衰減 50–80%；佔面積；via 寄生仍在	仍是中頻儲能主體，但處理器陰影區的大電容庫會被 VPD 模組取代
矽電容 / IPD	ESL ＜1pH、厚 60–100μm、無 DC bias 衰減、耐高溫	每 μF 成本遠高於 MLCC；後段切割挑揀為產能瓶頸（庫內微矽電子口徑）	die 正下方與載板內的高頻去耦；IVR 的關鍵配件
嵌入式電容基板（iPaS 等）	路徑最短、面積最小、可承載 ＞ 100A；省 60% 表面電容	內埋後不可返修；層壓公差、良率疊乘；單價高、客製	封裝載板與 VPD 模組基板的「地基」

5.3 台廠切入點：恆勁 3D FOPLP 與功率載板

- 恆勁科技 2026Q1 法說：C2iM 載板以 molding compound 取代玻纖樹脂、可做任意形狀的 **70μm 厚銅柱**、可埋晶片或被動元件；現已量產 12V→GPU 低壓段的雙向 100A SPS 與雙向 180A 電源模組（三層 ALF 載板＋SiP）；在 AI 伺服器 400V 電源架構滲透率約 30%。
- 公司明確描述 3D FOPLP 的應用情境：「AI 伺服器 GPU 尺寸日益增大，供電架構將從水平走向垂直供電（在 GPU 下方的 PCB 上直接垂直供電）」，與策略客戶共同開發堆疊 4–5 片晶片的 3D FOPLP，**目標把電源轉換損耗從 10% 降到低於 2%**。線圈載板（微型電感，用於 GPU DC-DC）與微流道散熱載板則在客戶認證中。
- 這與 Murata「電容＋電感埋進模組基板」、Lotus「矽中介層當電源基板」是同一個方向的三種材料路線：有機增層（Murata）、molding compound＋厚銅柱（恆勁）、矽中介層（Lotus）。

第 6 章 晶片級：晶背供電 BSPDN

最徹底的垂直化發生在晶圓內部。傳統晶片的電源與訊號共用正面 10–20 層金屬，電源要「從上往下」穿過整個 BEOL 才到電晶體，而正面金屬最細的 M0–M3 線寬只有十幾奈米、電阻極高；Intel 估計電源線佔走正面佈線資源達 20%。BSPDN（Backside Power Delivery Network）把電源網搬到晶圓背面：晶圓翻面、磨到剩極薄的矽，從背面以奈米矽穿孔（nTSV）或直接接觸把電源送進電晶體源汲極，正面只剩訊號。

6.1 三種實現方式與公開數字

方案	連接方式	公開 PPA / 電性數字	量產時程	來源
台積電 A16 Super Power Rail（SPR）	背面**直接接觸**（backside direct contact）：背面接點直達電晶體源汲極磊晶下方，搭配正 / 背面金屬與 3D MIM 電容；保留 N2P 閘極密度與 NanoFlex DTCO 彈性	較 N2P：同功耗速度 **+8–10%**，同速度功耗 **−15–20%**，晶片密度 **+8–10%**	VLSI 2026 論文 T1.5：**2026Q4 量產**；A12 延續採用，N2 / A14 不採用（庫內野村）	SemiWiki 2026-07-10；庫內台積電技術論壇、Citi 2026-05
Intel PowerVia	背面電源通孔穿矽接到正面接觸層（非直接接觸 S/D）；背面 4 層粗金屬＋RDL	Blue Sky Creek 測試晶片（Intel 4 電晶體＋PowerVia，E-core）：**＞5% 頻率提升、＞90% 標準單元利用率**；電源線原佔正面佈線達 20%；雙面製程反而更便宜（簡化正面 BEOL）；熱未見明顯局部過熱	原規劃 20A（2024），後聚焦 **18A**（Panther Lake / Clearwater Forest）	Intel 新聞室 2023-06-05；VLSI 2023
imec BPR＋nTSV	埋入式電源軌（BPR）先做在 STI 內、電晶體接點就近接 BPR；背面薄化到 SiGe 停止層，nTSV 由背面落在 BPR 上	imec 文章（agy 摘要，待核）：BPR 單獨改善動態 IR drop 約 26%，BPR＋BSPDN 改善約 7 倍；nTSV 200nm pitch；TTV ＜ 40nm；標準單元高度可從 6T 壓到 4–3.5T	研究平台：A14（2026）、A10（2028）、A7 CFET	imec 技術文章

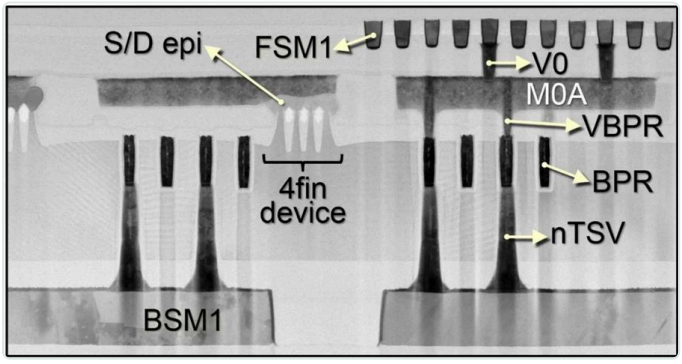


圖 6-1 BPR＋nTSV 電子顯微剖面。由上而下 FSM1（正面金屬）→ V0 / M0A → VBPR → BPR（埋入式電源軌）→ nTSV → BSM1（背面金屬）；4-fin 元件與 S/D 磊晶在正面，電源自背面經 nTSV→BPR→VBPR 送達。© 2024 TSMC；庫內半導體特化產業報告，2026-07-17。

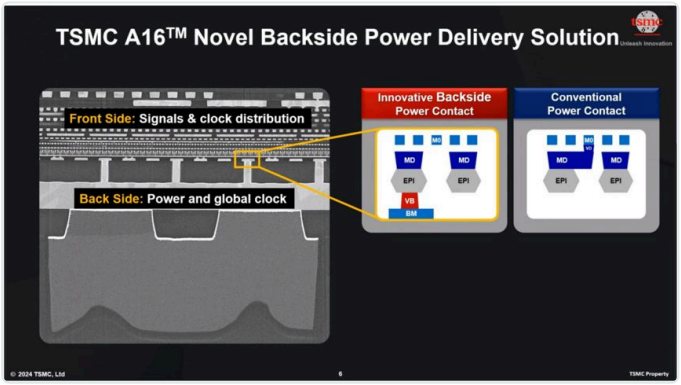
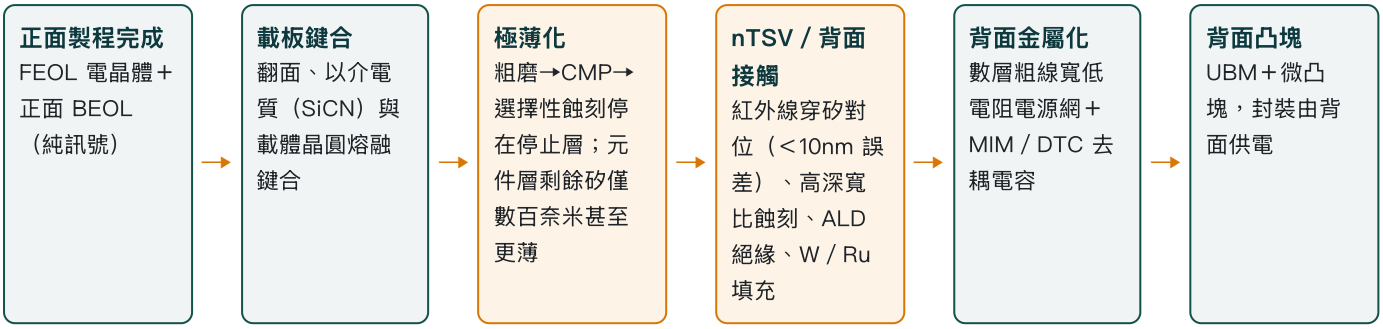


圖 6-2 台積電 A16 Super Power Rail。Front Side 跑訊號與時脈、Back Side 供電與全域時脈；右側比較「創新背面電源接觸」（VB 從背面金屬 BM 直接接到 EPI 下方）與傳統正面接觸。© 2024 TSMC；庫內半導體特化產業報告，2026-07-17。

6.2 製程流程與難點



- **薄化均勻性**是良率核心：直接接觸路線要把電晶體下方的矽幾乎磨光，TTV 與應力控制比 PowerVia 路線（保留數百奈米矽）更嚴。
- **耗材放大**：野村（2026-05-21，庫內）估 BSPDN 每顆晶片需 2 片晶圓（訊號載板＋電源載板）、CMP 步驟 ＋20–30%、2030 年對全球 12 吋矽晶圓需求貢獻低個位數百分比。
- **熱路徑改變**：原本矽背面兼作散熱面，現在電晶體被夾在中間；Intel 在 Blue Sky Creek 上驗證「沒有明顯局部過熱」，但高功率 AI 晶片的雙面散熱設計仍需重新評估。
- **測試與除錯**：電晶體不再暴露在最底層，Intel 稱重建除錯方法是「最難的部分」。

6.3 BSPDN 與板級 / 封裝級 VPD 的疊加

> **端到端垂直供電導管：**主機板 48V（低電流）→ 晶片正下方 VPD 模組 / IVR 降到 sub-1V → 垂直凸塊 → 晶背去耦電容（DTC / MIM）→ 背面電源網 → 電晶體；正面微凸塊與混合鍵合觸點 100% 留給 HBM、die-to-die 與 3D 堆疊訊號。「正面專司資料、背面專司能量」是 CoWoS / SoIC / CFET 時代的分工，BSPDN 是這條導管最後一段，也是 CFET（nMOS / pMOS 上下堆疊）在正面接腳塞死後的必要前提。

第 7 章 元件層：功率級、電感、電容、寬能隙與 BOM

7.1 VRM BOM 結構與量價變化

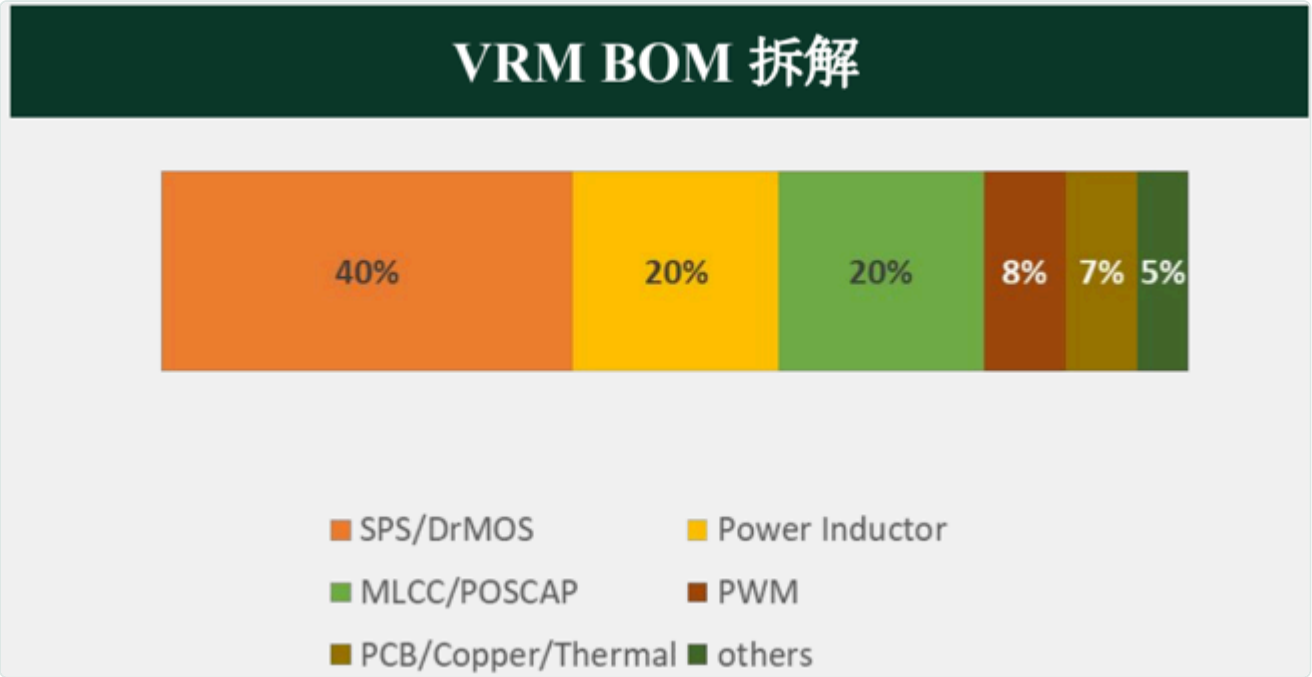
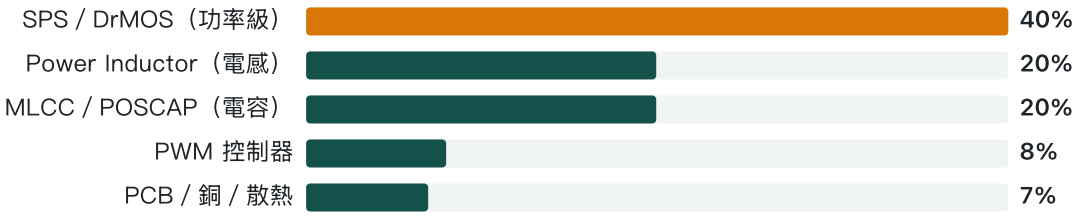


圖 7-1 VRM BOM 拆解。SPS / DrMOS 40%、Power Inductor 20%、MLCC / POSCAP 20%、PWM 8%、PCB / 銅 / 散熱 7%、其他 5%。來源：電源供應與管理產業簡報，2026-07-03。



量價訊號	數字	來源
VR200 SPS 報價	~$1.20 / 顆（原預期 $0.80–0.90、近期 ~$1），CY26 鎖定、2027 初可能再漲	Edgewater 2026-06-18
VR200 VRM content vs GB300	＋20–40%（視 SKU / TDP）；MS 估 VR200 power supply BOM $76,000 vs GB300 $57,600（＋32%）	Edgewater；Morgan Stanley 2026-05-20
Google TPU8 VRM 半導體 content	~$140（TPU7 $50–60）；hot-swap FET 14 顆 / 板（TPU7 4 顆）	Edgewater
VPD 模組溢價	MPS 完整 VPD 模組售價約 IC content 的 2 倍	Edgewater
NVIDIA VR200 VRM 供應商	MPS 主供、Infineon 與 Renesas 合格、TI / onsemi 送驗中；Renesas SPS 5 倍擴產到 1Q27 100M / 季	Edgewater

7.2 功率級：DrMOS / SPS 90A→110A→雙相 300A

- **整合度與電流密度是主軸**：單相 SPS 由 50 / 60 / 70A 推向 90A＋（Renesas ISL99390 90A、Infineon TDA21490 90A 峰值、MPS MP87xxx 90–100A，5×6mm PQFN 級，agy 摘要）；2026-09 Infineon

TDA235E5 直接做成雙相 300A 峰值、6×6×0.8mm，並把「接面到頂面熱阻」列為規格，意即功率級已為液冷冷板直貼設計。

- **VPD 改變的是功率級的「形態」而不是「有無」**：VPD 模組內仍是 DrMOS＋電感＋電容（MPS 直接把 Intelli-Module 定義為「DrMOS＋Inductor」），所以功率級的總電流需求不減；變的是從「板上幾十顆分立 DrMOS」變成「模組廠採購薄型雙相 SPS 做進模組」，決定權從 ODM 板廠移向模組廠與 IC 廠自己（MPS 兼賣模組）。
- **熱通量**：每相 70–100A 集中在 20–30mm²，必須靠冷板或均溫板；這也是雙相 0.8mm 薄型 SPS 興起的原因。

7.3 電感：TLVR、模壓 vs 鐵心、嵌入式線圈

選項	原理 / 規格	優點	缺點	VPD 關聯
分立功率電感	一體成型金屬粉芯，70–200nH 級，DCR 可到 0.1mΩ 級（Vishay IHSR 等）	成熟、低 DCR、軟飽和	瞬態靠 PWM 輪流觸發，需大電容庫	板級 LPD 主體
TLVR 耦合電感	每相電感改為 1:1 變壓器，所有二次側串成一個迴路（加補償電感 Lc 限制環流）；任一相切換，能量經耦合逼所有相同時出力（ADI Analog Dialogue 2023-02）	負載瞬變時全部相位同步響應，輸出電容可大幅減少；Rubin 主板＋PDB 每套 60 顆以上（日電貿 2026-07）	二次側環流帶來額外銅損 / 鐵損；Lc 取值在瞬態與漣波間取捨；佈線要串過所有相	Infineon TDM2354xT、MPS MPC22175 已把 TLVR 做進 VPD 模組；ADI 提出變壓器式 VR＋TLVR 可省掉 Lc
鐵心組合式 vs 模壓成型 TLVR	三集瑞（2026-09-15 法說）：鐵心組合式 2027 預判缺貨、交期已到 16 週；模壓成型已接單出貨、2027 放量	模壓型可承受更高電流密度、適合薄型模組	磁材與模具門檻	VPD 模組要薄，模壓型與低剖面磁芯（Infineon「low-profile magnetic design」）是方向
嵌入式 / 薄膜電感	Murata Inductor iPaS 平面線圈陣列（>10A / 顆）；Ferric 薄膜磁性電感做在 CMOS 後段；恆勁線圈載板	高度趨近零、可直接讓 IC 貼在上面	每顆電流有限、靠陣列並聯；磁材耐溫與飽和限制	封裝級 VPD 的電感形態

7.4 電容：聚合物、MLCC、高壓諧振 MLCC、矽電容

類型	角色	VPD 帶來的變化
聚合物鋁電容（POSCAP / SP-Cap）	VR 輸出端中頻儲能，無 DC bias 衰減、1mm 低高度、ESR 數 mΩ	仍需要，但位置從處理器陰影區移到模組內或板邊；Murata 的 Capacitor iPaS 本質上就是「做成薄片埋進基板的聚合物鋁電容」
MLCC（0201 / 0402 高頻去耦）	die 正下方與載板底面的高頻去耦	IVR / 矽電容 / 嵌入式電容會吃掉一部分用量（Murata ECTC 2024 示範省 60%）；但低剖面 / 逆幾何 MLCC 仍是封裝底面標配
高壓諧振 MLCC	48V / 54V→12V 的 LLC 或諧振式 IBC 的諧振電容需 630V–1kV C0G，無 DC bias 衰減、無壓電嘯叫、低 tanδ	日電貿（2026-07-08）：VPD 需求特別來自 ASIC 客戶，VRM 輸出端用到 **1210 10–33nF 1kV** 與 **1206 4.7–10μF X6/X7 100V**；禾伸堂法說亦提及同規格
矽電容（Si-Cap / IPD / DTC）	ESL <1pH、厚 60–100μm，封裝底面與載板內	IVR 與 BSPDN 的配套；SEMCO、Murata、愛普 / 力積電、台積電 DTC 四條供給線

7.5 寬能隙元件：GaN 在 48V 段、SiC 在 800V 段

VPD 模組本身仍以矽 MOSFET（OptiMOS 6 trench、MPS 單晶片製程）為主，因為 sub-1V 大電流端看的是導通電阻與成本；寬能隙的戰場在上游。48V→12V 的 IBC 以 GaN LLC 或混合開關電容拓樸把切換頻率推到 MHz 級、效率 97–98%（EPC 1kW 48V→12V LLC 參考設計峰值 98%，agy 摘要）；NVIDIA 12kW DC/DC brick 的提案中約 80% 採 GaN（Edgewater）。800V HVDC 的整流與 SST 則是 SiC 的場域（庫內 HVDC 主題）。對 VPD 的意義是：上游用 GaN / SiC 把中間電壓做得更穩、更近，末級模組的輸入（MPS MPC24380 的 3–8V、Lotus 的 2–5V）就能越來越低、模組越做越薄。

第 8 章 路線總比較：誰適合選什麼

8.1 七條路線的多維比較

路線	代表	供電點到 die 距離	電流密度	瞬態	末級效率 / 系統損耗	散熱衝突	可返修 / 多供應商	成熟度（2026-10）
LPD 多相 buck（現役）	MPS / Infineon / Renesas DrMOS＋TLVR	數公分	低	μs，靠電容庫	單體 93–96%，但 PDN 損耗隨 I^2 爆增	無	最佳	量產主體（NVIDIA GB / VR 世代）
LVPD / VLPD 混合	Vicor 電流倍增器側邊＋底部	側邊數公分＋底部數毫米	中	亞 μs	PDN 損耗降 4–8 倍	中（底部需散熱）	Vicor 單源	量產（早期 TPU、V100 / A100）
板級 VPD：多相 buck 模組	Infineon TDM2454xx、MPS MPC24380、Delta、Flex	PCB 板厚（開腔後 1–2mm）	2 A/mm²（模組）	μs 級，TLVR 版更快	兩級級聯約 85–88%，PDN 損耗大降	高，需 Cavity＋雙面冷板	SMT 可返修；多供應商	**量產（Google TPU7 / 8）**；Meta 評估、NVIDIA Feynman
板級 VPD：48V 直達 GCM	Vicor GCM	同上	高	亞 μs	單級、PDN 電阻降 50 倍	高	客製、單源	客製案
封裝級：嵌入式被動	Murata iPaS、矽電容、恆勁 3D FOPLP	載板內（< 1mm）	—（被動）	ESL 大降	縮短 PDN、省 60% 表面電容	低	不可返修、客製基板	樣品→2027 量產（Murata）
封裝級：IVR	Empower Crescendo、Ferric Fe1766	land-side / 載板內 / die-side（百微米級）	4.5–5＋A/mm²（矽）	ns 級，省電容庫	單體較低、系統損耗降 >10%	**最高**（熱進封裝）	不可返修；需晶圓廠認證	樣品 / 設計導入期；AMD MI500 觀察
晶片級：BSPDN	TSMC A16 SPR、Intel PowerVia	晶背（奈米級）	—	晶內 IR drop 大降	速度＋8–10% 或功耗－15–20%	需重評雙面散熱	製程層級	Intel 18A 已出貨；A16 2026Q4 量產

8.2 平台選擇矩陣（公開與通路資訊）

平台	目前供電形態	下一步	依據
Google TPU	48V 直供傳統（2016 起）；早期 Vicor FPA；TPU7 起多相 VPD brick（Infineon 初期獨供，後加 Renesas / MPS），背面安裝＋專屬冷板	TPU8 VPD 三家合格、每顆 4–6 brick×24 相；TPU9 先走 ±400VDC（4Q27）	SemiAnalysis 2023-08；Edgewater 2026-06
NVIDIA	V100 / A100 用 Vicor，H100 起 MPS 多相 LPD；GB300 / VR200 仍 LPD（MPS 主供、IFX / Renesas 合格）	最快 Feynman 導入 VPD；Rubin Ultra / Kyber 2H27 轉 800V HVDC	SemiAnalysis；Edgewater；庫內 Feynman 頁
AMD	MI355 每顆 26 個 VRM 模組（1.4–1.5kW）；Helios 機櫃 ORW 開放架構	試圖把 IVR 從 MI600 提前到 MI500；中信：AMD 推進高階液冷、評估 VPD＋雙面冷板	Edgewater；中信 2026-09-17
Meta MTIA	—	gen4 評估 VPD，尚未定案	Edgewater
AWS（Trainium）	—	中信：AWS 推進高階液冷架構，市場出現 VPD＋雙面水冷設計	中信 2026-09-17
Marvell 客製 ASIC	—	2025-06 與 Ferric 宣布 IVR 合作	Ferric 新聞

判讀：為什麼是 ASIC 先、GPU 後

日電貿與 Edgewater 的口徑一致：VPD 需求特別來自 ASIC 客戶。原因有三：①自研 ASIC 的板與封裝由 CSP 自己定義，可以為 VPD 客製 BGA pin-map 與 Cavity PCB，GPU 商用卡則受 OAM / SXM 規範與 ODM 量產慣性牽制；②TPU 類晶片走 48V 直供、液冷早、對 PUE 敏感，VPD 的效率紅利直接變成電費；③NVIDIA 的多相 LPD 生態（MPS 參考設計）極成熟，換架構的機會成本高，所以要等到 Feynman 世代電流再上一階才動。

第 9 章 導入時程與驗證訊號

時間	事件	層級	狀態
2016	Google 率先採 48V 資料中心並推動 OCP 標準化	系統	已發生
2018—2020	NVIDIA V100 SXM3 / A100 採 Vicor 48V FPA；Google TPU 同期採 Vicor	板級（LVPD）	已發生
2022—2023	H100 由 MPS 取代 Vicor；Vicor 對競爭者提告	板級	已發生
2024-02 / 10	Infineon TDM2254xD、TDM2354xD / T 雙相 VPD 模組	板級	已發表
2024-10	Empower Crescendo 於 OCP 首展	封裝級 IVR	已發表
2025-03	Infineon TDM2454xx 四相 280A、2 A/mm²	板級	已發表
2025-06 / 08	Marvell－Ferric IVR 合作；Ferric Fe1766（160A / 35.5mm²）	封裝級 IVR	已發表
2025-08	Infineon－Delta 擴大合作，Delta 以 OptiMOS 90A 功率級開發 VPD 模組	板級	已發表
2025-09	Flex Power Modules－Renesas 合作 VPD；Intel 18A PowerVia 產品放量	板級 / 晶片級	進行中
2026-05	Wiwynn Computex 展 6kW 雙面冷板＋Cavity PCB＋VPD	機構	展示
2026-06	Edgewater：TPU8 VPD 三家合格；Meta gen4 評估；NVDA Feynman 最早；AMD MI500 拉 IVR	全層級	通路口徑
2026-07	台積電 VLSI 2026 公布 A16 SPR 2026Q4 量產	晶片級	已公告
2026-09	Infineon TDA235E5 雙相 300A / 0.8mm SPS 樣品；Murata 宣布 iPaS 2027 量產；三集瑞預判 TLVR 鐵心式 2027 缺貨；中信 / Citi 確認雙面冷板多平台研發	元件 / 封裝 / 機構	已公告
2026Q3—Q4	Lotus LSC0580 工程樣品；A16 量產；VR200 出貨（仍 LPD）	—	進行中
2027	Murata iPaS 量產；TPU8 放量；Rubin Ultra / Kyber 800V HVDC（2H27）；Google TPU9 ±400VDC（4Q27）	—	預期
2028—2029	NVIDIA Feynman 世代導入 VPD（通路口徑）；AMD MI500 / MI600 IVR；A12 延續 SPR	—	預期

驗證清單

追蹤指標	為什麼重要	看哪裡
TPU8 VPD brick 的三家份額與 MPS 模組 / IC 比例	驗證「模組售價 2 倍 IC」的價值分配是否成立	Edgewater 類通路、MPS 法說
Meta MTIA gen4 與 NVIDIA Feynman 是否確認 VPD	VPD 從單一客戶走向平台標配的拐點	OCP 規格、參考設計
雙面冷板量產平台數與 ASP 倍數是否維持 1.5–2 倍	VPD 放量的機構前提	奇鋐 / 雙鴻法說
Murata iPaS 2027 量產客戶與 500 億日圓目標進度	嵌入式被動從樣品到量產的指標	Murata 財報、The Elec
AMD MI500 是否導入 IVR；ADI / Empower、Marvell / Ferric 首個量產案	IVR 是否跨過「熱＋晶圓廠認證」門檻	AMD 路線圖、ADI 法說
A16 SPR 2026Q4 量產與首批 AI 客戶	晶片級垂直化啟動	台積電技術論壇、法說
TLVR 鐵心組合式缺貨與模壓型切換速度	電感是 VPD 模組薄型化的瓶頸元件	三集瑞、乾坤、Vishay / TDK
VR200 SPS 報價與 2027 續漲	元件層量價先行指標	通路訪查

第 10 章 供應鏈與台股映射

功率 IC / 模組

MPS（VR200 主供、TPU8 IC＋模組、ZPD Intelli-Module）

Infineon（TDM 系列、TDA235E5；供 Delta 90A 功率級）

Renesas（TPU8 合格、SPS 5 倍擴產、與 Flex 合作）

Vicor（FPA / GCM）

ADI（μModule；收購 Empower）

onsemi / TI（VR200 送驗）

模組組裝 / 電源系統

台達電 2308（Infineon 90A 功率級 VPD 模組；乾坤磁性元件供 Hopper / Blackwell 核心電感與 TLVR）

Flex Power Modules（客製 VPD、288 相）

光寶科 2301（電源架構）

封裝級 / 載板

恆勁 6920（3D FOPLP、70μm 銅柱、線圈載板）

日月光投控 3711（SiP / TDK SESUB 合資）

Murata（iPaS 2027 量產）

AT&S（Cavity PCB / ECP）

Lotus（矽中介層電源基板）

被動元件

愛普 6531 / 力積電 6770（矽電容 IPD）

SEMCO、Murata（矽電容、低剖面 MLCC）

三集瑞 6862、臺慶科 3357（TLVR 電感）

禾伸堂 3026、日電貿 3090（1kV 諧振 MLCC、100V X6/X7 通路）

Vishay、TDK、Cyntec 乾坤（TLVR / 耦合電感）

機構 / 散熱

奇鋐 3017、**雙鴻 3324**（雙面水冷板，ASP 1.5–2 倍）

健策 3653（封裝散熱結構）

緯穎 6669（6kW 雙面冷板＋Cavity PCB 系統）

晶片級 BSPDN

台積電 2330（A16 SPR）、Intel（PowerVia）

中砂 1560、頎勝 7768（CMP 耗材＋20–30%）

環球晶 6488（2 片晶圓）、昇陽半 8028（薄化）

10.1 受惠層次與投資含義

層次	環節 / 標的	投資含義	信心
直接受惠（VPD 放量＝新品項）	雙面水冷板：奇鋐、雙鴻；VPD 模組：台達電（＋乾坤）；嵌入式基板：恆勁；矽電容：愛普 / 力積電	VPD 帶來的是「新品項、新 ASP」而非舊品漲價：雙面冷板 ASP 1.5–2 倍、VPD 模組售價約 IC 2 倍、矽電容單板近百顆、3D FOPLP 把損耗 10%→＜2% 的價值直接體現在載板單價	中高
間接受惠（量增但形態改變）	SPS / DrMOS：MPS、Infineon、Renesas；電感：三集瑞、臺慶科、乾坤；高壓 MLCC 通路：禾伸堂、日電貿	功率級與電感總需求隨電流上升，VPD 只改變採購主體（模組廠 / IC 廠）與規格（薄型雙相、模壓 TLVR、1kV 諧振）；短期量價雙升（SPS $1.20、TLVR 缺貨）	高
長期受惠（晶片級）	台積電 A16 客戶群；中砂、頎勝、環球晶	BSPDN 是製程級變數，與 VPD 疊加；耗材與矽晶圓增量 2027–2030 逐步顯現	中
結構受壓	橫向 LPD 的「顆數邏輯」：矽力-KY 6415 等以板上分立 DrMOS 為主的供應商；Vicor 單源風險	短中期出貨主體仍是 LPD（VR200 仍橫向），但 Feynman / TPU / MTIA 走 VPD 後，分立 DrMOS 的板上顆數會被模組吸收；關鍵是能否進模組廠 BOM	中

10.2 風險與反證條件

- **VPD 放量慢於預期**：若 Meta gen4、NVIDIA Feynman 最終維持 LPD＋更多相數，VPD 仍是 Google 單一客戶的題材；雙面冷板停留在少數平台。
- **IVR 跳過板級 VPD**：若 AMD MI500 / Marvell ASIC 直接以 IVR 落地且散熱可解，板級 VPD 模組的窗口會被壓縮；反之若 IVR 因熱與認證再延，板級模組受益期拉長。

- **機構良率**：Cavity PCB 翹曲、雙面冷板鎖附應力若拖累封裝可靠度，放量節奏會被良率牽制（中信已點名）。
- **專利與供應商集中**：Vicor 對競爭者的訴訟、MPS 在 TPU8 同時賣 IC 與模組的垂直整合，都可能改變模組廠的利潤分配。
- **數字口徑**：Wiwynn「供電效率提升 80% 以上」、Vicor「電阻降 50 倍」皆為原廠對比口徑，基準不同，不可直接橫比。

來源清單

來源	日期	本報告引用內容
Vicor，Ajith Jain〈Vertical power delivery enables cutting-edge processing〉（vicorpower.com）	擷取 2026-10-03	LPD / LVPD / VLPD / VPD 四段分法、70μΩ / 45W、10μΩ / 14.4W、50 倍、10 倍、2,000A、FPA
Infineon 新聞稿 INFPSS202503-073 / INFPSS202508-138 / inftn202609-136	2025-03-10 / 2025-08-28 / 2026-09-07	TDM2454xx 280A / 10×9mm / 2 A/mm²；Delta 合作與 90A 功率級、150 噸 CO_2；TDA235E5 300A / 120A / 6×6×0.8mm
MPS 產品頁 MPC24380-260 及 Intelli-Module 系列	擷取 2026-10-03	260A 四相、3–8V、9×10×5mm、QST、TLVR 版、雙面散熱版
Empower Semiconductor 新聞稿	2024-10-02	Crescendo / FinFast：＞3,000A、5 A/mm²、20× 頻寬、5× 密度、1–2mm、損耗 ＞10%
Ferric 新聞	2025-08-25 / 2025-06-17	Fe1766 160A / 35.5mm²、整合方式四種、Marvell 合作
Murata iPaS 技術頁；The Elec〈Murata to Mass-Produce iPaS for AI Chips Next Year〉	擷取 2026-10-03；2026-09-10	電容片 0.3–0.35mm、貫孔、＞10A 線圈、＞100A 應用、2027 量產、500 億日圓、ECTC 2024 省 60%
Samsung Electro-Mechanics〈Introducing the Silicon Capacitor Lineup〉	2026-06-17	矽電容型號、60–70μm、＜1pH、250° C
Wiwynn Computex 2026 新聞稿	2026-05-26	6kW 雙面冷板、液態金屬 TIM、Cavity PCB＋VPD、效率 ＞80%
Power Electronics News〈Discrete Vertical Power Delivery Solutions for High-Current AI Loads〉 / 〈Lotus Microsystems Moves Power Conversion Under AI Processors〉	2026-05-08 / 2026-08-24	離散 VPD 概念、PRM 99% / VTM 97%、Flex 288 相、AmberSemi PowerTile、ADI LTM3360B、Lotus LSC0580
SemiWiki〈TSMC A16 Backside Power at VLSI 2026〉	2026-07-10	SPR 直接接觸、＋8–10% / －15–20% / ＋8–10%、2026Q4 量產、3D MIM
Intel 新聞室〈With PowerVia, Intel Achieves a Chipmaking Breakthrough〉	2023-06-05	Blue Sky Creek、＞5% 頻率、＞90% 利用率、20% 正面佈線
Analog Dialogue〈Transformer-Based Voltage Regulators with Flexible TLVR Structure〉	2023-02	TLVR 原理、Lc 環流、變壓器式 VR
SemiAnalysis〈Energizing AI: Power Delivery Competition Heats Up〉（公開段落）	2023-08-01	48V 歷史、Vicor 設計案（V100 / A100 / TPU）、H100 轉 MPS

agy 網路搜尋摘要（Infineon 2024-10 新聞稿、imec 文章、Intel APEC 2014、Empower E-CAP、EPC、TI、Vicor Hydra II）	2026-10-03	標示「待核」或「agy 摘要」之數字
中信投顧〈AI 功耗突破極限，散熱材料與架構等同步演進〉（鄭子凡）	2026-09-17	水平供電三瓶頸、I^2R 圖、VPD 示意、雙面冷板 4–6kW / ASP 1.5–2 倍、AWS / AMD、奇鋐 / 雙鴻
Citi 散熱產業（奇鋐 / 雙鴻）	2026-09-17	數個平台雙面冷板研發中
Edgewater Research〈AI Datacenter Power Semis Demand and Pricing Continue Higher〉	2026-06-18	TPU8 VPD brick、三家合格、MPS 模組 2 倍、Meta / NVDA / AMD 進度、SPS $1.20、$140、IVR 看法
Morgan Stanley Rubin 機櫃 BOM	2026-05-20	VR200 電源 BOM ＋32%、Rubin Ultra 600kW
恆勁科技 2026Q1 法說	2026-05-26	C2iM / 3D FOPLP、70μm 銅柱、損耗 10%→＜2%、SPS 100A / 180A 模組
日電貿 / 禾伸堂 / 三集瑞 / 廣閎科法說紀錄	2026-07～09	VPD 來自 ASIC、1kV / 100V MLCC 規格、TLVR 60 顆 / 套與缺貨、BPU 路線
電源供應與管理產業簡報	2026-07-03	VRM BOM 拆解、800V 到晶片轉換鏈
野村半導體文藝復興、福邦特化耗材、台積電技術論壇、Citi 台積電	2026-03～05	BSPDN 2 片晶圓、CMP ＋20–30%、A16 PPA、A12 延續

本報告由知識庫整理與公開網路資料編寫，供研究參考，不構成投資建議。原廠圖片版權屬各公司所有，僅作技術說明引用。