

半導體測試硬體全景

當測試從成本項變成良率保險——AI 晶片如何把探針卡、測試座、分選機與熱控推上策略層

2026 年 7 月 26 日 | 資料基礎：野村證券《Advanced Semi Testing: Chip upgrade; testing ahead》(2026-07-24, 171 頁) 結合本研究資料庫既有券商報告、法說與產業訪查紀錄

涵蓋：測試流程與設備解剖 · 四大測試介面市場 · CPO 測試新增量 · 台廠分工與估值分歧 · 投資追蹤框架

三十秒摘要

- 需求來自「時間」而非單價：以 NVIDIA AI GPU 為例，最終測試 (FT) 時間 Hopper 指數 1 → Blackwell 4 倍 → Rubin 約 7 倍；系統級測試 (SLT) 1 → 1.5 → 2.5 倍；老化測試 (BIT) Blackwell 到 Rubin 約翻倍。測試內容成本占晶片總成本比重由 1.9% → 2.5% → 3.3%。
- 測試左移的數學基礎是良率懸崖：10 顆單晶粒良率 90% 的晶片組成的模組，最終良率跌破 35%——一顆壞晶粒報廢整個先進封裝，逼出「已知良品 (KGD)」的嚴格篩選。
- 市場結構：測試介面 (探針卡 + 測試座 + 介面板) 2025 年逾 55 億美元，2028 年估 80 億美元。探針卡成長最快 (2025–30 年複合成長率 11.1%)，測試介面板最慢 (4.9%)。
- 台廠正在拿市占：旺矽自製 IC 探針卡全球第 4、非記憶體第 3；穎崴非記憶體探針卡排名四年內由第 19 名升到第 5；鴻勁在 FT 分選機、致茂在 SLT 分選機各自主導。
- CPO 是選擇權不是現金流：測試流程多出 4 段插入測試，但供應商與流程皆未定案，2027 年後才有實質貢獻。

一、為什麼測試突然變成主角

過去十年，測試在晶片成本結構裡是個被壓縮的項目：製程微縮讓單位晶粒面積下降、測試機時費率被嚴格控管，晶片廠的目標是「用最短時間判定好壞」。AI 世代把這個邏輯整個翻轉——當一顆封裝件的材料成本以千美元計，測試不再是成本項，而是保護昂貴封裝的良率保險。

1.1 測試時間的指數化

晶片變複雜，測試時間就自然拉長。以 NVIDIA AI GPU 為基準做指數化（Hopper = 1）：

測試站點	Hopper	Blackwell	Rubin
最終測試 FT	1	4x	約 7x
系統級測試 SLT	1	1.5x	2.5x
老化測試 BIT	—	1	約 2x

測試時間拉長，加上高階機台的機時費率更高，兩者相乘讓測試內容成本（FT + BIT + SLT 合計）占晶片總成本比重由 1.9% 升到 3.3%。占比看似不高，但分母（晶片本身成本）在同一期間也大幅上升，實際金額是倍數成長。

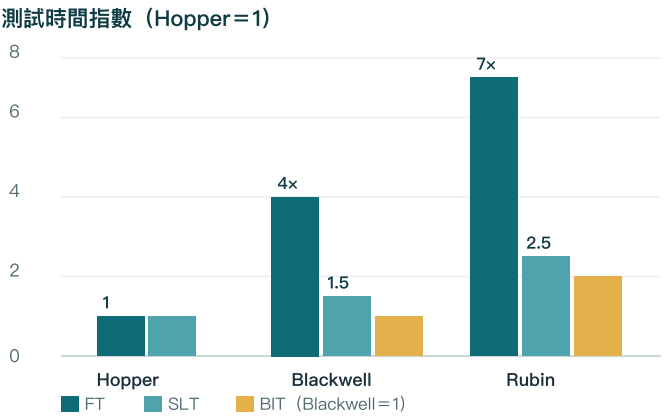


圖 1：測試時間指數化。資料：野村證券估計（2026-07-24），本報告重繪。

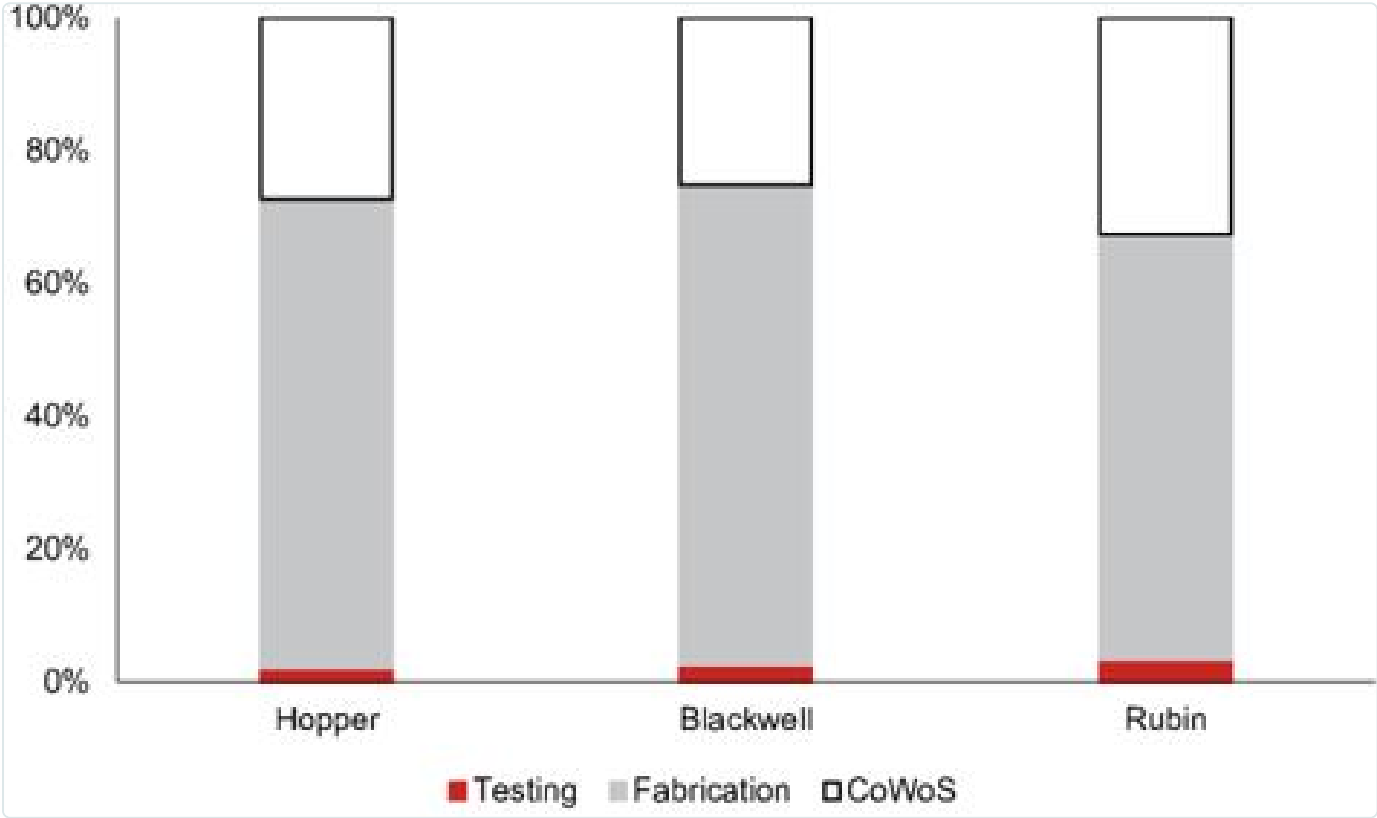


圖 2：NVIDIA AI GPU 邏輯製造成本結構。三根堆疊柱分別為 Hopper、Blackwell、Rubin，由下而上為測試（紅色薄層）、晶圓製造、CoWoS 先進封裝。可看到 Rubin 的晶圓製造占比明顯低於前兩代，先進封裝與測試占比擴大——價值正在從前段往後段移動。來源：野村證券，2026-07-24。

1.2 良率懸崖：測試左移的數學基礎

先進封裝與多晶片模組的模組良率是各晶粒良率的乘積。兩顆 90% 良率的晶粒相乘只剩 81%；十顆 90% 的晶粒疊起來，最終模組良率跌破 35%——意思是一顆壞晶粒就報廢整個要價數千美元的封裝。

這就是「測試左移 (shifting left)」的根本原因：晶圓針測 (CP) 階段必須用前所未見的嚴格度與高密度介面硬體，把所有邊際不良品在進封裝前攔下，只讓已知良品進入組裝。

但左移不等於犧牲最終測試。單顆晶片的功能、速度、公差、耗電、電磁輻射與散熱仍必須在封裝層級驗證，晶粒之間的互連也需要額外測試——不良百萬分率 (DPPM) 在晶粒級與封裝級都要看。這是理解整條供應鏈的關鍵：探針卡與測試座 / 分選機同時受惠，不是此消彼長。

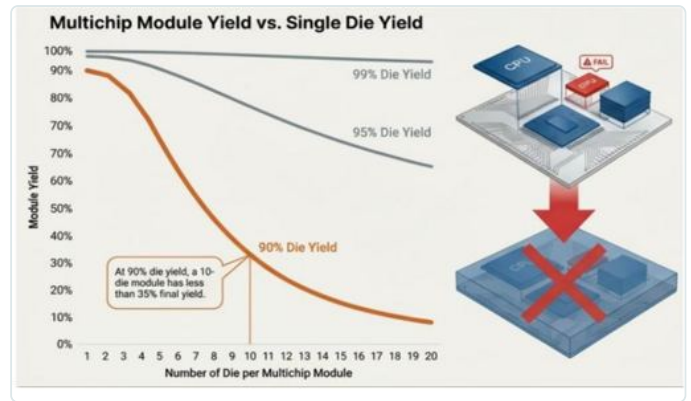


圖 3：多晶片模組良率 vs 單晶粒良率。橫軸為每個模組的晶粒數（1—20），三條曲線分別對應單晶粒良率 99% / 95% / 90%。圖中文字框標註「90% 單晶粒良率下，10 顆晶粒的模組最終良率低於 35%」；右側示意一顆標示 FAIL 的晶粒導致整個模組報廢。來源：Delphon Industries / 野村證券，2026-07-24。

1.3 三維堆疊讓探針「碰不到」關鍵互連

台積電的系統整合晶片 (SoIC) 把關鍵的晶粒對晶粒互連埋在矽層深處，傳統探針在物理上無法接觸，因此測試必須更往前移到鍵合前的晶圓級測試以保證已知良品；堆疊同時造成極端熱密度瓶頸與結構應力，迫使測試系統採用更複雜甚至雙面探測，並即時監控溫度。台積電的鍵合間距路線為：N7 對 N7 的 9 μ m（2023 年起量產）→ 6 μ m（2025 年起量產）→ N2 對 N2 的 6 μ m（2028 年）→ A14 對 A14 的 4.5 μ m（2029 年）。NVIDIA 預計自 Feynman 平台導入業界首見的 GPU 疊 GPU 三維堆疊。

二、一次測試到底動用了什麼硬體

測試不是單一機台，而是一個緊密整合的「測試單元 (test cell)」，由三個主角與數個配角組成。理解這個分工，才能判斷哪一環在 AI 世代被迫升級、誰因此有定價權。

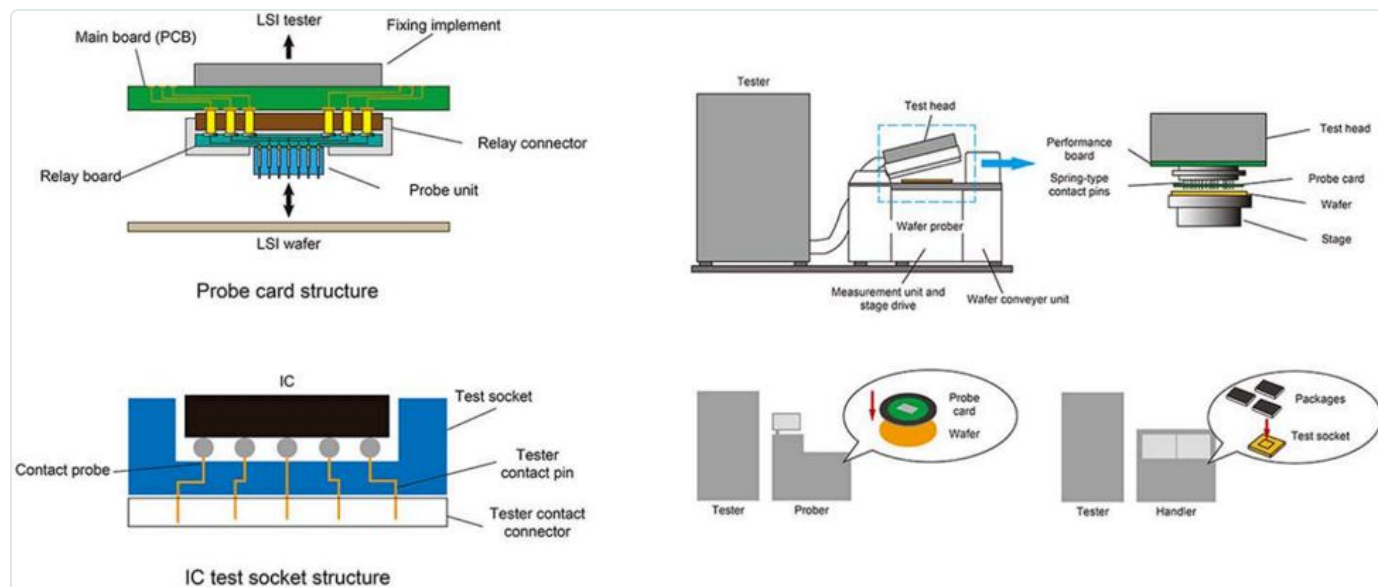


圖 4：晶圓針測與最終測試的設備與介面總覽。左上為探針卡結構（主板 PCB / 中繼板 / 中繼連接器 / 探針單元對 LSI 晶圓）；左下為 IC 測試座結構（測試座 / 接觸探針 / 測試機接觸針 / 測試機接觸連接器）；右上為測試機 + 晶圓探針台 + 測試頭，標示效能板、彈簧式接觸針、探針卡、晶圓與載台；右下對比「測試機搭探針台（探針卡對晶圓）」與「測試機搭分選機（封裝件對測試座）」兩種組態。來源：野村證券，2026-07-24。

① 測試機 (ATE)

測試單元的核心工作站。送出精確電性刺激（電壓、電流、高頻波形）到待測晶片並監看回應，與設計規格比對找出不良品。主機箱放電源、中央冷卻與系統控制器，測試頭放測試介面。全球由日商愛德萬（Advantest）與美商泰瑞達（Teradyne）雙雄主導。

② 探針台 / 分選機

機械自動化臂。探針台用於晶圓針測，處理未切割晶圓，由下往上把晶圓載台頂上去接觸靜止探針；分選機用於最終測試與系統級測試，從料盤取出封裝件、由上往下壓入測試座，再依判定結果分類。

③ 測試介面

電性與實體的「橋樑」，依晶片布局與封裝客製。晶圓階段用探針卡（搭彈簧針或細間距的微機電探針）；封裝階段用載板（load board）搭測試座。這一層是耗材，也是本報告的主角。

2.1 配角同樣關鍵

- **熱載台 (thermal chuck)**：晶圓針測時真空吸附晶圓的金屬平台，內建加熱元件與冷卻通道。必須在極端溫度擺盪下維持極致平整度，否則接觸不良、甚至被探針壓裂晶圓。
- **主動溫控系统 (ATC)**：整合在分選機內，偵測晶片熱狀態並即時調整冷 / 熱，抵銷測試中的內部功率波動。這是 AI 測試設備 ASP 升級的主要載體（見第六章）。
- **儀器模組**：測試機本質是模組化機箱，需要超出內建範圍的量測時可加掛專用儀器。CPO 光電同測就是靠外掛高頻 / 光學儀器補足。

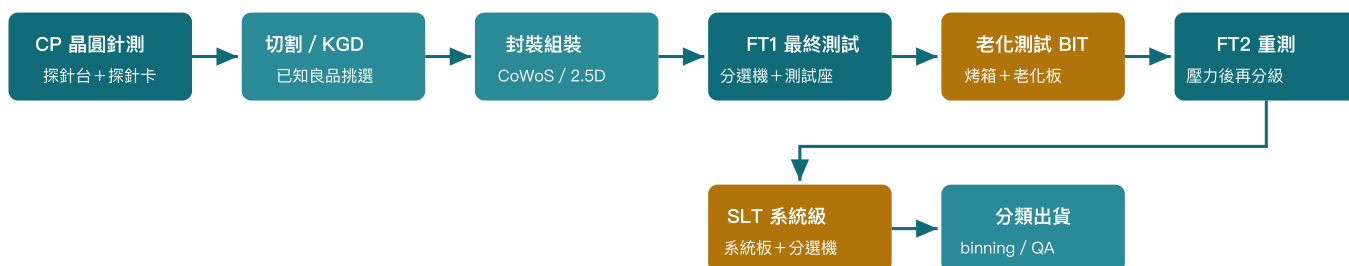
2.2 訊號路徑與「空間轉換」

訊號從測試機到待測晶片依序經過：測試機內部儀器卡產生 / 量測訊號 → 測試頭介面針座內數千根雙頭彈簧針 → 高度客製化的印刷電路板扇出（晶圓階段是裝在探針台上的探針卡 PCB、封裝階段是與分選機對接的載板）→ 高階晶圓針測再經空間轉換器（多層有機或多層陶瓷基板）大幅縮小繞線間距 → 最終接觸元件。

每一層結構的共同目的都是空間轉換：把測試機粗糙的毫米級針陣列，收斂到晶粒錫墊間距（約 40—100 μm ，作為對照，人的頭髮直徑約 70 μm ）或封裝球間距（100 μm 以上），同時嚴格維持訊號完整性與供電效率。這個「從毫米收斂到微米」的任務，就是測試介面產業存在的理由。

三、測試流程的全部站點

半導體測試流程與對應硬體



深青＝必經站點 | 琥珀＝可選但採用率快速上升的站點 (AI / HPC 幾乎已成標配)

圖 5：測試流程全站點與對應硬體。本報告依野村證券流程描述與資料庫既有製程頁重繪。

3.1 最終測試 (FT)：強制站點與三段濾網

FT 在封裝完成後進行——封裝件能承受比裸晶更大的電壓與電流。目的是判定功能（通過 / 失敗）並依等級分類（binning），且必須在最短時間內完成（通常數百至數千秒），因為晶片廠要控制以機時費率計價的測試費用。依客戶設計可能有兩次以上：NVIDIA 的 AI GPU 就需要兩次 FT，一次在老化測試前、一次在後。

順序	項目	內容
1	直流測試	三段中最短。量測穩態電性、確認實體矽結構完好：開短路測試（每支腳是否正確連接、有無意外短路）、漏電流、功耗、輸出電壓位準。不驗證邏輯或速度。
2	功能測試	灌入預先編寫的二進位測試向量，比對輸出與預期真值表。在保守的標稱時鐘下執行，把純邏輯錯誤與高速時序異常分離。
3	交流測試	引入「時間」維度，在動態高頻條件下檢查輸出波形，量測次奈秒級時序參數（傳播延遲、建立與保持時間、上升下降時間、最高頻率）。也是分級（binning）的基礎。

3.2 老化測試：把「以後才壞」逼成「現在就壞」

老化測試是可靠度篩選：在 100°C 以上高溫與高於標稱的電壓下運作數小時，加速老化、把潛在製造缺陷在出貨前逼出來。核心邏輯是——早期失效的定義就是「現在好、以後壞」，任何測試覆蓋率都無法偵測「還沒發生的缺陷」，唯一解是用壓力讓它提前發生。高階 GPU 需要數小時老化，而 FT 以秒計。

兩大驅動力：**記憶體**（一顆高頻寬記憶體堆疊十幾層晶粒、數萬個鍵合界面，一次早期失效就報廢整個先進封裝模組，因此篩選往前推到晶圓級老化，使用專用探針卡）；**資料中心加速器**（以數萬顆為叢集運作，單一早期失效就中斷整個訓練任務，運營商容忍度趨近於零）。

3.3 系統級測試：抓「只有真的跑起來才會現形」的缺陷

系統級測試把晶片插進晶片廠指定的系統測試板（真實商用主板的修改版，配有記憶體與周邊），開機跑完整作業系統與重負載非同步軟體，量測系統穩定性、工作負載吞吐、熱節流門檻與高速介面位元錯誤率。

為什麼不能只靠 FT？因為直流 / 功能 / 交流測試都是**決定性的**、在隔離條件下以固定樣式操作元件，擅長抓硬性靜態失效，卻不擅長間歇性、與工作負載相關或區塊互動層級的缺陷——這些只在多個電路區塊同時運作於真實功

耗、熱與時序壓力，或特定軟體極端情境下才會現形。異質整合、多核一致性與更高速介面讓這類「測試漏網」占客戶退貨的比重上升，把系統級測試從車用 / 行動的小眾實務，推向運算、AI 加速器與網通的普遍採用。

站點	平行度	每站成本	測試時間
最終測試 FT	約 1 站平行	\$\$\$\$	< 5 分鐘
系統級測試 SLT	約 6–132 站平行	\$\$	約 30–120 分鐘
老化測試 BIT	約 112 站在烤箱內	\$	3–8 小時 (量產)

表：三站點的平行度與成本結構對照。資料：Advantest / 野村證券。

成本悖論與「智慧型 SLT」

系統級測試不需要數百萬美元的測試機，單價低於 FT，但**極度耗時**（每顆數分鐘至數小時）。高量產下吞吐量會成為採用瓶頸。

因此產業走向自動化 SLT 分選機內的平行測試，並開始導入機器學習支撐的**自適應測試**：只把有風險的晶片導向延長測試，其餘走縮短或標準流程，在保留大部分篩選效益的同時控制測試時間與成本。這種做法正成為封測代工廠與整合元件廠在品質與單顆測試成本上的差異化來源。

四、測試介面市場：四類產品、四種速度

測試介面（業界也稱測試連接 / 測試耗材）是介於測試機與待測晶片之間、負責電性連接與訊號傳遞的元件，三大類為探針卡、測試座、裝置介面板。這是一個規模不大但成長確定、且高度分散的市場。

市場	規模	成長（2025–30 年）	結構特徵
測試介面總市場	2025 年逾 55 億美元 → 2028 年估 80 億美元	—	探針卡逾 40%、測試座約 36%、介面板約 17%
探針卡	2025 年約 28 億美元 → 2030 年逾 45 億美元	11.1%（四類最高）	微機電探針卡占約 70%（約 20 億美元）
測試座 + 老化測試座	2025 年約 19–20 億美元 → 2030 年約 24 億美元	約 5%；高效能座 9%	測試座約 70%、老化座約 30%；傳統座持平或衰退
測試介面板	2024–25 年約 9–10 億美元（2020 年為 5 億美元以上）	4.9%（四類最低）	單價最高（頂規載板達六位數美元）
測試硬體總支出	2025 年逾 150 億美元 → 2029 年逾 200 億美元	約 10%	高階效能封裝測試成本約占總測試成本 10–15%

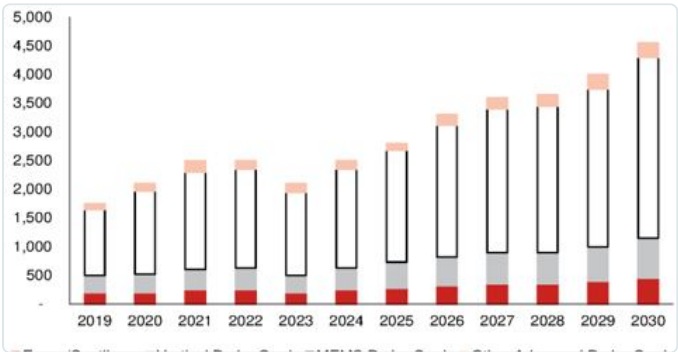


圖 6：全球探針卡營收 2019–2030 年（百萬美元，縱軸 0–5,000）。由 2019 年約 15 億美元逐年成長至 2030 年約 45 億美元；每根柱由下而上分為環氧 / 懸臂式、垂直式探針卡、微機電探針卡（占最大部分）與其他先進探針卡。來源：TechInsights / 野村證券，2026–07–24。

為什麼探針卡跑得最快

因為它直接對應「測試左移」。良率懸崖讓晶圓針測從「找出壞晶粒」升級為「保證只有已知良品進入封裝」，而封裝越貴，這一步的價值越高。相對地，測試介面板成長最慢（4.9%），因為板卡數量與晶片設計案數掛鉤，而非與測試時間掛鉤。

前置期：這條鏈是 AI 專案的領先指標

探針卡是設計對單一晶片的客製品：晶片流片（tape-out）前 1–2 季就要接洽探針卡廠，流片後 3–4 個月出工程樣品；測試硬體整體約在晶片量產前 12 個月開始出貨。這意味著測試介面廠的營收，比終端晶片的放量新聞早整整一年。

4.1 探針卡的解剖與價值分配

層	功能	價值 / 規格
探針頭	探針+陶瓷導引板，直接接觸錫墊或凸塊	占探針卡價值 40—50% 以上；3—4 萬針以上的高腳數產品可超過整卡一半
空間轉換器	多層有機或多層陶瓷基板，把測試機組間距轉換成裝置細間距	類 ABF 基板；間距轉換的關鍵層
探針卡 PCB	承接測試頭針座並扇出訊號	典型 40—70 層，工程 / 極少量專案可超過 100 層

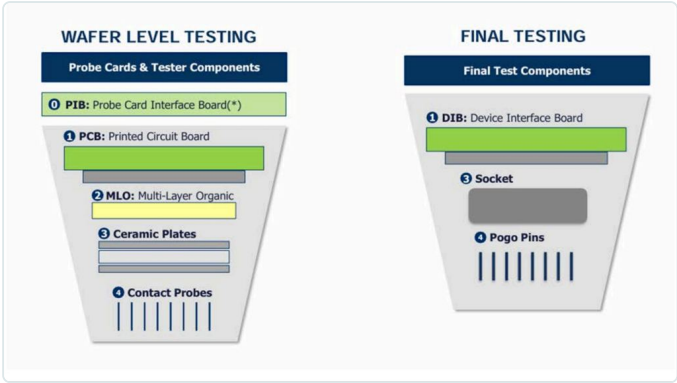


圖 7：測試介面板在測試流程中的位置。左側「晶圓級測試」由上而下為探針卡介面板、印刷電路板、多層有機基板、陶瓷板、接觸探針；右側「最終測試」由上而下為裝置介面板、測試座、彈簧針。來源：Technoprobe / 野村證券，2026-07-24。

4.2 間距決定一切：為什麼微機電探針無可避免

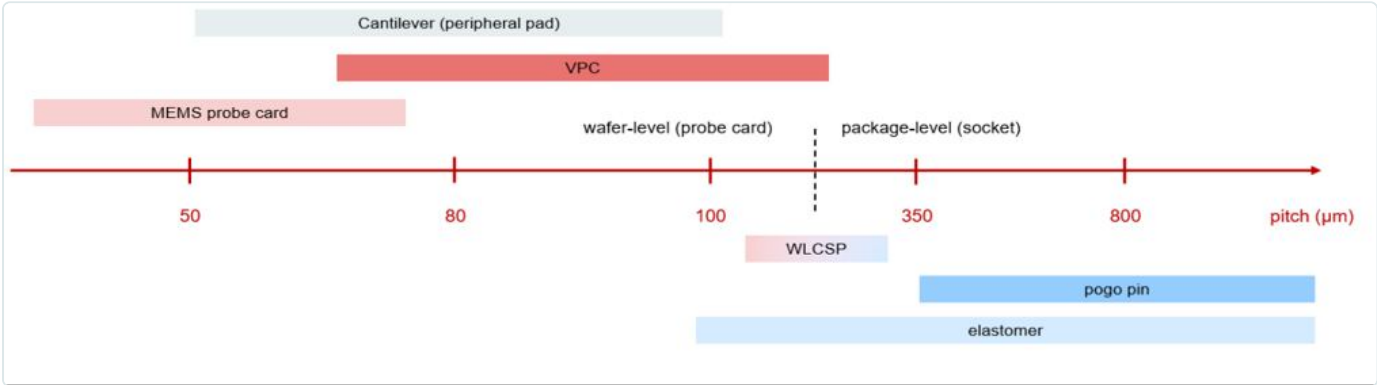


圖 8：間距區間與對應的測試介面方案。橫軸為間距（50 / 80 / 100 / 350 / 800μm）。微機電探針卡色帶落在最細間距端（約 50μm 以下延伸至 75μm 左右）；懸臂式（周邊錫墊）與垂直式探針卡色帶落在約 80μm 以上；虛線左側標註為晶圓級（探針卡）、右側為封裝級（測試座）；晶圓級晶片尺寸封裝小色帶在 100μm 附近，彈簧針與彈性體色帶落在 350μm 以上。來源：野村證券，2026-07-24（示意圖，非特定公司或專案）。

間距區間	可用方案	針數與力學
60—100μm（周邊錫墊）	懸臂針即足夠	針數低；靠彎曲樑與刮擦動作破除原生氧化層；成本低、易維修，是類比 / 功率 / 成熟元件的標準選擇
80—150μm（面陣列、覆晶凸塊）	轉向眼鏡蛇針 / 垂直挫曲樑針	大型邏輯晶粒針數跳到 1—5 萬針，總接觸力達數十公斤，需要巨大加強環；挫曲機制在不平整晶圓面上仍能給出均勻接觸力且不傷錫球——目前覆晶 CPU / GPU / SoC 測試的主力
低於 50μm（如高頻寬記憶體微凸塊 40—55μm）	只有光罩定義的微機電探針	能守住數微米的針尖位置預算；平行度與針數推到極致，是唯一可行方案

客戶端導入現況：目前先進手機應用處理器凸塊間距約 80μm、高效能運算 / AI 晶片約 100μm，因此垂直式探針卡仍被廣泛採用，但趨勢明確往微機電走。NVIDIA 的 AI GPU / CPU 與網通產品已採微機電探針（尖針尖接觸錫墊），**遊戲繪圖 GPU 仍用眼鏡蛇針**（平針尖接觸凸塊）；AI 特殊應用晶片視各設計公司決策逐步遷移，針數由 2—2.5 萬（垂直式）→ 3—4 萬（微機電）一路往 **9—10 萬針以上** 推進。也有混合式探針卡：細間距訊號用微機電、周邊電源訊號用眼鏡蛇針，平衡成本與效能。

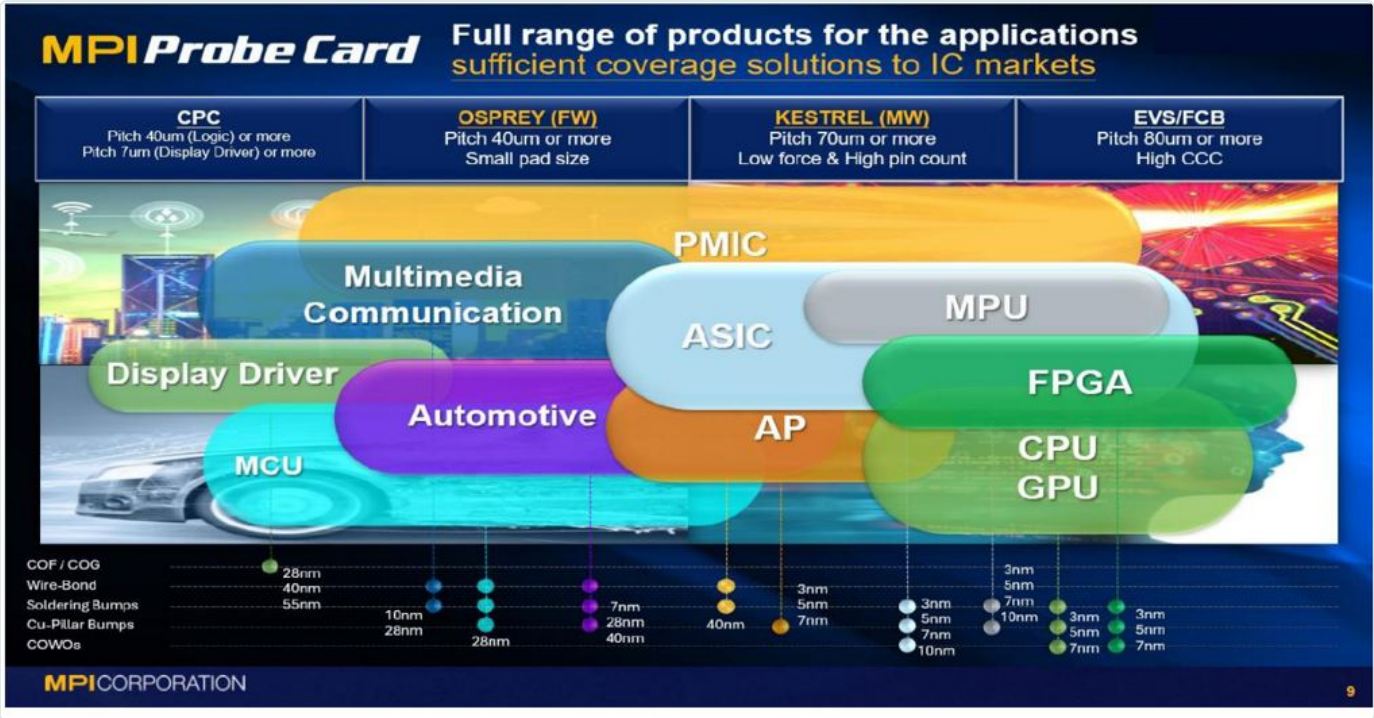


圖 9：台廠旺矽（MPI）的探針卡全產品線與應用對照。四大產品線標示各自間距能力：CPC（邏輯 40μm 以上 / 顯示驅動 7μm 以上）、OSPREY（40μm 以上、小鏢墊尺寸）、KESTREL（70μm 以上、低作用力高針數）、EVS/FCB（80μm 以上、高載流能力）；對應顯示驅動、微控制器、車用、多媒體通訊、電源管理、特殊應用晶片、應用處理器、微處理器、可程式邏輯閘陣列與 CPU/GPU 等應用；下方標出各封裝製程（覆晶薄膜 / 玻璃、打線、錫球、銅柱凸塊、CoWoS）對應的製程節點（3nm 至 55nm）。來源：旺矽 / 野村證券，2026-07-24。

4.3 全球競爭格局

廠商	2025 探針卡市占	定位
FormFactor（美）	23%（6.38 億美元）	含記憶體總市場第一。某記憶體大客戶占其 2026 年首季營收約 30%，NVIDIA 首度超過 10%（網通應用）。已開始出貨 CPO 第一段插入測試系統並上調 CPO 營收指引
Technoprobe（義）	約 17%	排除記憶體後居首。自有微機電廠，2024 年在 9.37 億美元的微機電邏輯探針卡市場拿下 60%；不只賣整卡，也外售探針
Micronics Japan / JEM（日）	—	專攻記憶體：前者高階記憶體 / 高頻寬記憶體，後者偏 NAND
旺矽 6223	約 10%（2023 年約 6%）	自製 IC 探針卡全球第 4（2021 年第 5、2023 年起第 4）、非記憶體第 3；懸臂式與垂直式市占領先，積極擴微機電產能
穎崙 6515	—	非記憶體探針卡排名由 2021 年第 19 名躍升至 2025 年第 5 名（主要靠遊戲繪圖晶片需求）；微機電探針外購 Technoprobe
精測 6510	—	探針卡占營收 65%，強項為高階客製板卡與自有製造深度
雍智 6683	—	探針卡占 36.5%，採無廠模式（製造外包），強在研發資源整合

前五大合計約占 73%（2025 年）。資料：Yole / TechInsights / 野村證券整理。

資料庫交叉比對：非記憶體誰居首有兩種說法。摩根大通（2026-06-22）認為全球非記憶體探針卡由 FormFactor 以 35% 領先、Technoprobe 居次；野村引用 Yole / TechInsights（2026-07-24）則認為排除記憶體後由 Technoprobe 領先。兩者統計口徑與資料來源不同，本報告並列保留，不判定何者為準——但兩套口徑下旺矽都是非記憶體第 3 名。

五、測試座：分散市場裡的 AI 贏家

測試座位於待測晶片與載板之間，在最終測試、老化測試、系統級測試三個站點都會用到。它把電性、機械與熱三種需求壓進單一結構：既要精準的接觸電阻與屏蔽效果，也要能承受分選機反覆壓接與高功耗晶片的熱負載。

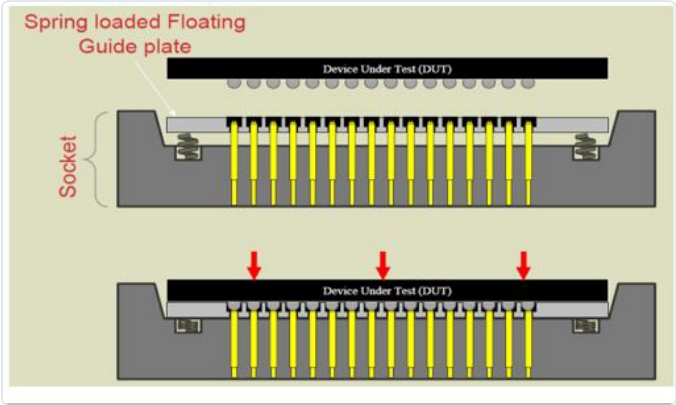


圖 10：測試座典型結構剖面。上圖標示測試座本體與彈簧浮動導引板，待測晶片位於上方、下方為黃色彈簧針陣列；下圖為施加下壓力（紅色箭頭）後待測晶片壓入接觸的狀態。來源：PTSL / 野村證券，2026-07-24。

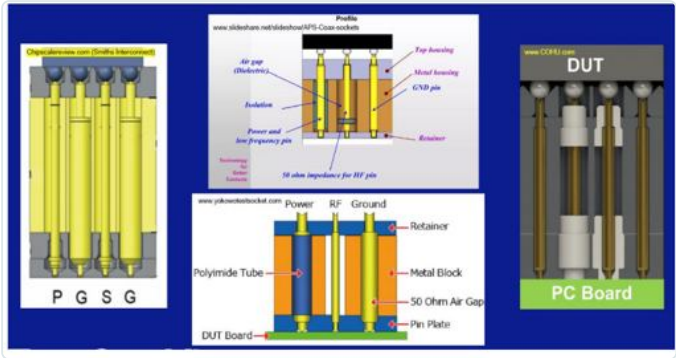


圖 11：同軸測試座結構。左為針組剖面標示電源 / 接地 / 訊號 / 接地配置；中上剖面標示空氣間隙（介電）、隔離層、上殼、金屬殼、接地針、扣件與高頻針的 50 歐姆阻抗設計；中下為另一家廠商結構，標示聚醯亞胺管、金屬塊、50 歐姆空氣間隙、針板與待測板；右為待測晶片與電路板之間的針組立體圖。來源：Smiths Interconnect / Yokowo / Cohu / 野村證券，2026-07-24。

5.1 兩大接觸元件與同軸結構

項目	彈簧針（pogo pin）	彈性體（elastomer）
結構	柱塞＋套筒＋彈簧；受壓時彈簧壓縮、柱塞在套筒內移動	不導電矽膠基材內埋導電粒子，壓下時粒子互相接觸形成垂直導電路徑
訊號路徑	較長	短，訊號完整性佳，適合高頻 / 射頻 / 毫米波
機械傷害	有壓痕風險	應力均勻分布，幾近零機械損傷
壽命維護	壽命長，可單支更換	壽命較短，需整層更換
現況	AI 晶片目前最主流	高頻與特定應用

同軸是結構而非接觸元件類別：每一根訊號針被介電材包覆，再走在接地金屬屏蔽層內部，藉此抑制串音與雜訊並匹配阻抗（高頻針採 50 歐姆設計）。主要 AI 加速器與 CPU 現在以同軸架構為主，且同軸測試座幾乎 100% 使用彈簧針。台廠穎威的自有產品 HyperSocket 即為彈簧針與彈性體的混合方案。

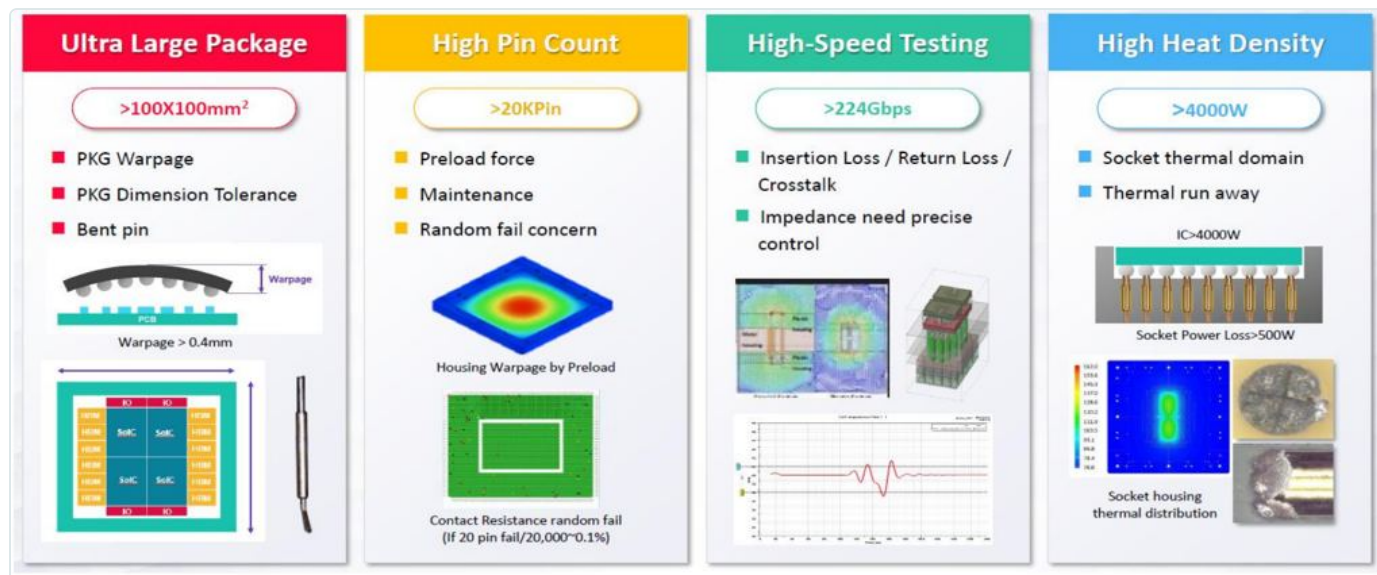


圖 12：先進封裝測試的四大挑戰（測試座視角）。① **超大封裝**（大於 100×100mm²）：封裝翹曲、尺寸公差、彎針，圖示翹曲大於 0.4mm；② **高針數**（大於 2 萬針）：預載力、維護、隨機失效（若 20 針失效 / 2 萬針即 0.1%），圖示預載造成的殼體翹曲；③ **高速測試**（大於 224Gbps）：插入損耗 / 回波損耗 / 串音，阻抗需精確控制；④ **高熱密度**（大於 4,000W）：測試座熱域與熱失控，圖示測試座功率損耗大於 500W 與殼體熱分布。來源：穎威 / 野村證券，2026-07-24。

5.2 為什麼測試座是「市占可搶」的市場

測試座市場極度分散：前段班每家市占僅 5—15%，老化測試座每家 10—20%，**沒有單一主導者**。因此贏得關鍵專案的廠商可在一年內大幅拉高營收與市占——測試介面通常在晶片量產之前出貨，一個 AI 設計案可以改變一家廠商的規模。

排名為何每年洗牌

兩個因素主導：2023 年消費 / 手機下行，與隨後的 AI / 高效能運算熱潮。日商 Yamaichi 深耕記憶體 / 手機 / 消費，2023 年受創；韓商 LEENO 靠韓國記憶體生態撐住並在 2023 年登頂，2024–25 年高頻寬記憶體回升後再度居首。日商 Yokowo 2022 年還排第 4，2023 年起掉出前五；Cohu 因車用 / 工業曝險由第 3 掉到第 5。

AI 贏家：穎威與 Smiths

兩家定位高效能 AI 加速器 / 高效能運算測試座，單顆測試座含金量（大封裝、多腳位、高功率高頻寬）遠高於消費產品，排名逐年上升。反觀老化測試座市場異常穩定——同一批名字幾乎年年出現、只有順序變化，因為資格認證週期、可靠度要求與長期客戶關係形成黏著度。

5.3 主要廠商定位

廠商	定位	重點
穎崴 6515	邏輯測試座、AI 高效能座贏家	測試座占 2025 年營收 56%；高密度同軸座專長；與美系繪圖晶片大廠關係緊密
Yamaichi（日）	測試座與老化座雙強	細間距彈簧針專長，與整合元件廠 / 車廠關係深；透過高頻寬記憶體切入 AI；客戶含台積電、Apple
LEENO（韓）	垂直整合	100% 自製帶來業界領先獲利與最短交期；偏測試座、老化曝險低
Enplas（日）	高度偏老化座	自有微細加工技術；由 GPU 擴至 AI 特殊應用晶片，並把系統級測試視為新戰場
Yokowo（日）	微精密加工	自售測試座，同時外售探針給穎崴等廠；也供射頻用高電流彈簧針給探針卡廠
Molex（原 Smiths）	同軸座	2010 年 Smiths 併購 IDI，2025 年 Smiths Interconnect 部門售予 Molex；關鍵 GPU 與特殊應用晶片廠供應商

六、分選機與主動溫控：機構換機的兩個物理門檻

6.1 門檻一：封裝尺寸跨過 JEDEC 料盤標準

最終測試分選機的機構重新設計門檻，取決於「一個矩陣料盤能裝幾顆封裝件」。料盤是把封裝件排成剛性行列的塑膠載具，分選機的機械手臂用真空吸嘴從進料盤吸起未測晶片、放進測試座。

規格	尺寸
現行標準料盤	135.9 × 322.6 mm (若封裝件為 120×125mm，一盤只裝得下 2 顆)
JEDEC 新增巨型料盤 (一)	258 × 537.6 mm
JEDEC 新增巨型料盤 (二)	380 × 387.6 mm

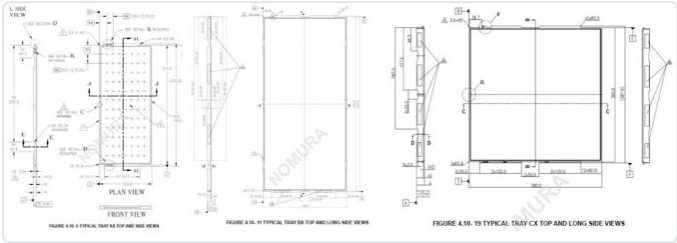


圖 13：JEDEC 三種料盤工程圖。左為現行標準料盤的俯視、正視與側視尺寸標註；中、右分別為新增的兩款巨型料盤（BX 與 CX）的俯視與長邊側視尺寸圖。來源：JEDEC / 野村證券，2026-07-24。

封裝橫向擴張的驅動力來自 AI 加速器：NVIDIA 由 Ampere / Hopper（皆 2 倍光罩尺寸中介層）→ Blackwell（2024 年，兩顆光罩級運算複合體 + 8 顆高頻寬記憶體，3.3 倍中介層）→ Rubin（2026 年，兩顆運算複合體 + 兩顆輸入輸出晶粒 + 8 顆記憶體，5 倍中介層）。台積電的 CoWoS 路線圖續推大中介層：5.5 倍於 2026 年量產（良率逾 98%）、9.5 倍含三維堆疊與 12 顆記憶體於 2027 年、14 倍（20 顆記憶體）2028 年、超過 14 倍（24 顆記憶體）2029 年。

台廠鴻勁精密的路線：規劃 2026 年下半年出貨可處理大於 120×150mm 封裝的機台、2027 年下半年推 250×250mm 封裝方案，同時增加天車與自主移動機器人等自動化功能以對接無人化廠房。以中介層面積回推，120×150mm 封裝約可容納 10—11 倍光罩的中介層，對應台積電 2027—28 年路線——但供應鏈訪查尚未看到這麼大的 AI 晶片在開發中，屬提前備料的規格競賽。另一個變數是英特爾的嵌入式多晶粒橋接技術：部分 AI 特殊應用晶片客戶因擔心台積電產能不足而評估此方案，若 Google 次世代張量處理器採用，可能打開另一個大晶片測試窗口。

6.2 門檻二：主動溫控的瓦數賽跑

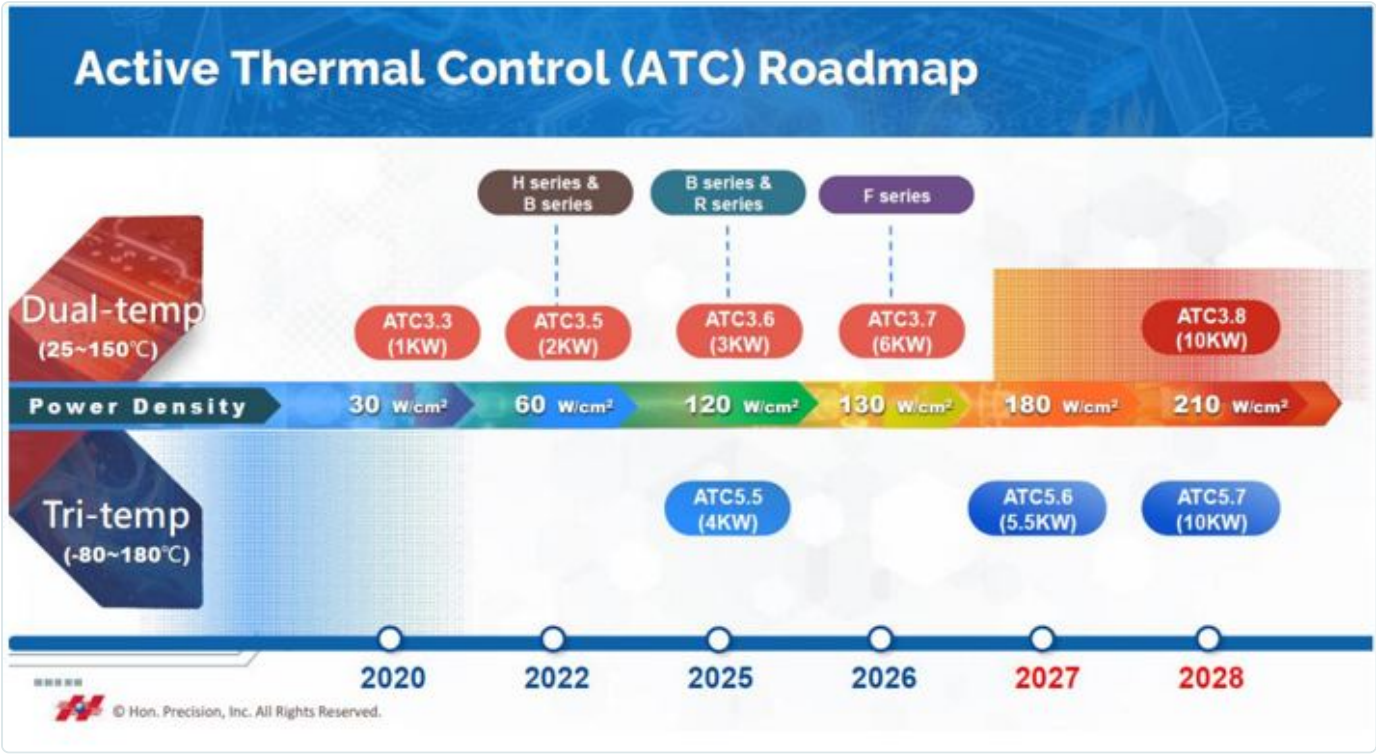


圖 14：主動溫控（ATC）世代路線圖。雙溫域（25~150°C）列出 ATC3.3（1kW，2020）、ATC3.5（2kW，2022，對應 H 與 B 系列）、ATC3.6（3kW，2025，對應 B 與 R 系列）、ATC3.7（6kW，2026，對應 F 系列）、ATC3.8（10kW，2027—2028）；中間功率密度帶標示 30 → 60 → 120 → 130 → 180 → 210 W/cm²；三溫域（-80~180°C）列出 ATC5.5（4kW，2025）、ATC5.6（5.5kW，2027）、ATC5.7（10kW，2028）。來源：鴻勁精密 / 野村證券，2026-07-24。

對照晶片端：Blackwell Ultra（B300）最大熱設計功耗 1,400W，可由 ATC3.5（冷卻能力達 2,000W）支援；Rubin（R100）熱設計功耗預估自 1,800W 起跳，餘裕不足因而觸發升級到 ATC3.6（達 3,000W）；Feynman 的 GPU 疊 GPU 三維堆疊則指向 ATC3.7。

判讀提醒：拿熱設計功耗直接對比主動溫控的最大冷卻能力，有時比用「功率密度」（熱物理上的熱通量）更容易偏誤——熱設計功耗只說明「產生多少熱」，功率密度才說明「熱點多集中、熱傳導多快」。這也是路線圖同時標示瓦數與 W/cm² 的原因。

6.3 為什麼專業分選機廠打得贏測試機大廠

理論上測試機龍頭有天然的既有裝機優勢（分選機與測試機搭配使用），這在記憶體測試成立——記憶體靠極端平行度與標準化介面。但在邏輯半導體，優勢完全消失：邏輯封裝種類遠多於商品化記憶體，實體尺寸與球數 / 間距各異，需要在新產品導入階段就深度協作，並與專用測試介面密切溝通才能做出客製機構；而分選機對測試機大廠只是「配角」（約占其總營收 1—2%），資源自然不會投入。這也解釋了為何泰瑞達在邏輯測試曝險很大，卻沒有自己的分選機事業。

6.4 最終測試與系統級測試分選機的分工

維度	最終測試分選機	系統級測試分選機
測試對象	相對標準化外型的封裝件	完整系統 / 模組層級的晶片
規格綁定	較穩定	測試座針數、板卡佈局、供電、熱負載全部綁定該世代模組組態
換機週期	較長	較短——每一世代都要與終端客戶重新做機構與熱介面的共同工程
台廠主力	鴻勁精密（占其分選機營收 70—80%）	致茂電子（占其半導體測試營收 60—70%）

兩家重疊小，但正在互相試探。致茂與鴻勁在最終測試與系統級測試都有溫控 / 分選機產品，但業務重疊有限。真正的變化是鴻勁往系統級測試滲透（AMD 為其長期客戶之一，且已與 NVIDIA 就次世代 AI GPU 的系統級測試分選機展開工程合作），而致茂可能拿下 AMD MI400 系列的系統級測試分選機。野村判斷鴻勁的增量主要落在特殊應用晶片客戶——這些客戶除強制的最終測試外，系統級測試採用率大幅上升。

主要邏輯晶片的測試平台分工

客戶	產品	測試機	FT 溫控 / 分選機	SLT 溫控 / 分選機
NVIDIA	AI GPU / 消費 GPU / CPU	Advantest	鴻勁	致茂
AMD	AI GPU / 消費 GPU	Advantest	鴻勁	鴻勁；MI400 系列致茂
Google	AI 特殊應用晶片 / CPU	Advantest	鴻勁	Broadcom 案無 SLT；聯發科案為鴻勁 / 致茂
AWS	AI 特殊應用晶片 / CPU	Teradyne / Advantest	鴻勁	美系廠商；CPU 無 SLT
Broadcom	網通	Teradyne、Advantest	鴻勁	無 SLT
Intel	CPU	Teradyne	Cohu、鴻勁（?）	AEM
Apple / 聯發科 / 高通	行動應用處理器	Advantest、Teradyne	鴻勁	鴻勁 / Teradyne

資料：野村證券整理（2026-07-24）。Google Axion 中央處理器專案的具體分工為：京元電承接最終測試（Advantest 測試機搭鴻勁溫控 / 分選機），系統級測試用致茂分選機。

七、CPO：測試流程多出四段，但變數仍多

矽光子與共同封裝光學（CPO）因省電與長距傳輸優勢，是先進封裝的下一個主戰場。NVIDIA 的乙太網路橫向擴展 CPO 交換器預計自 2026 年下半年隨 Vera Rubin 平台推出（首款 CPO 交換器已於 2026 年 3 月進入全面量產）。2026 年不會有顯著放量，但元件複雜度與高材料 / 生產成本抬高了失敗代價——這正是測試強度的核心驅動力。

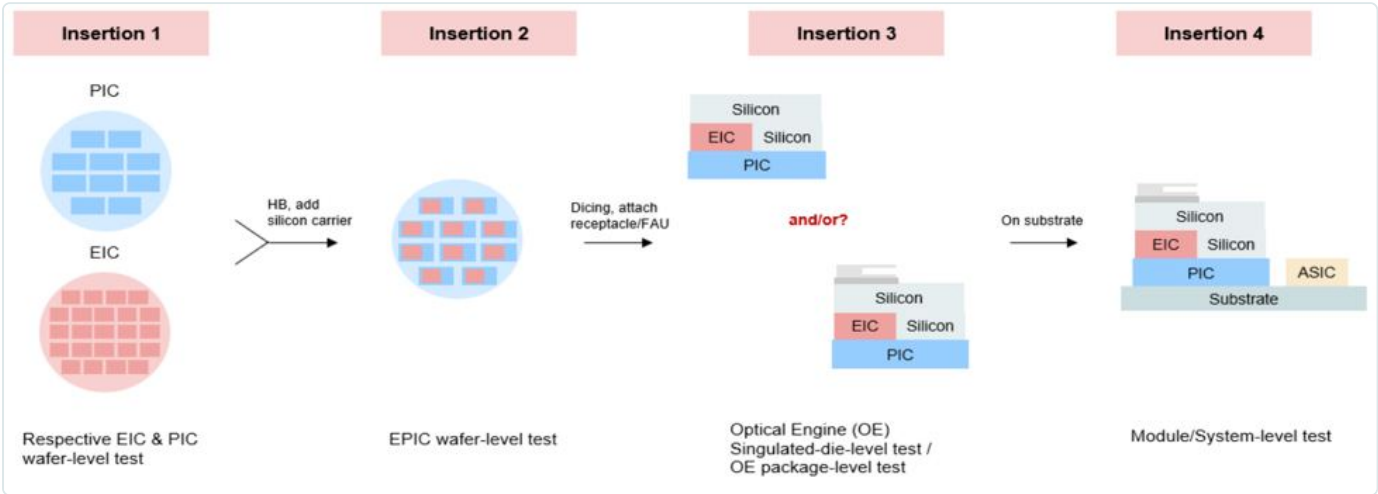


圖 15：CPO 四段插入測試流程。光子積體電路與電子積體電路晶圓各自晶圓級測試 → 混合鍵合並加矽載板 → 光電整合晶圓級測試 → 切割並貼光纖陣列單元 / 插座 → 光引擎單顆級或封裝級測試（圖上以紅字標註「and/or?」，代表兩者是否都做尚未定案） → 上基板與特殊應用晶片併排的模組 / 系統級測試。來源：野村證券，2026-07-24（概念示意，非特定公司或專案）。

站點	第一段	第二段	第三段（晶粒級）	第三·五段（封裝級）	第四段
地點	晶圓廠	晶圓廠	封測廠	封測廠	封測廠
製程	光子與電子晶圓各自單面測試	電子晶粒置於光子晶圓的雙面晶圓級測試	切割後單顆晶粒測試	光引擎封裝級測試	模組 / 系統級測試
測試機	Advantest / Teradyne / Ficontec / 致茂？	Teradyne / Advantest？	Advantest / Teradyne？	Advantest / Teradyne？	Advantest？ / Teradyne
探針台	FormFactor / 東京威力科創	Ficontec / 旺矽 / FormFactor	旺矽 / 東京威力科創？	—	—
探針卡	FormFactor？	旺矽 / FormFactor？	旺矽？	—	—
分選機	—	—	—	致茂 / Ficontec？	鴻勤、致茂
測試座	—	—	穎威？	穎威	穎威

問號代表報告原文標註供應商選擇未定案；橘字為台廠。資料：野村證券，2026-07-24。



圖 16：主動對位的兩個場景。左為「探測光子晶圓」（探針對光子晶圓針測，標示六自由度對位軸）；右為「雙面晶圓測試」（上方電性探針、下方光路）。分別對應上表的第一段與第二段插入測試。來源：穎威 CPO 論壇簡報，2026-05-14（本研究資料庫既有素材）。

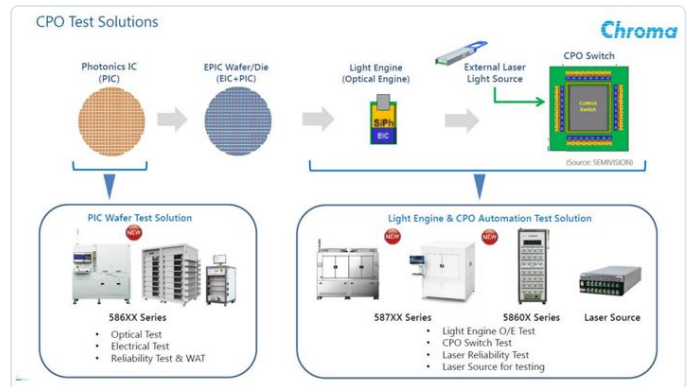


圖 17：致茂電子的 CPO 測試方案產品線。上排流程為光子積體電路 → 光電整合晶圓 / 晶粒 → 光引擎 → 外部雷射光源 → CPO 交換器；下方兩個方案框分別為「光子晶圓測試方案（586XX 系列：光學測試、電性測試、可靠度測試）」與「光引擎與 CPO 自動化測試方案（587XX、5860X 系列與雷射源：光電轉換測試、CPO 交換器測試、雷射可靠度測試）」，多台機型標示為新品。來源：致茂電子 / 野村證券，2026-07-24。

7.1 每一段在做什麼

- **第一段（各自晶圓測試）**：有時被稱為「只測光子晶圓」，因為電子晶圓測試早已成熟。此階段兩種晶圓各需自己的探針卡與探針台，測試為單面。FormFactor 已開始出貨此站點的測試系統。
- **第二段（光電整合晶圓雙面測試）**：電子晶圓先切割，良品晶粒以混合鍵合疊到光子晶圓上，同時加矽載板，接著做光電同測。**必須雙面測試——電性探測從上方、光學探測從下方**。因複雜度高、附加價值高，多家供應商投入；設備決定後才會跟著設計專用探針卡。
- **第三 / 三·五段（光引擎單顆與封裝級）**：鍵合後的堆疊切割成光引擎晶片。是否在貼光纖陣列單元 / 插座 / 結構補強件前先測，尚未定案。**從此階段起測試進入封測廠**；通常上表面做光學測試、下表面做電性測試。
- **第四段（模組 / 系統級）**：良品光引擎裝到基板（未來可能是中介層）上，與特殊應用晶片同一表面組成模組；此站點要確保整個模組運作正常、兩者通訊順暢。之後是否還要再上大板做系統級測試仍未定。

分工判斷：前兩段由晶圓廠處理（屬晶圓級製程且涉及晶粒堆疊）；**第三段起封測廠可以參與，初期主要服務商可能是矽品（日月光集團），量產放大或更多廠商加入新專案後其他封測廠亦可切入。**

五項未定變數：① 第二段雙面晶圓測試缺好方案；② 第三段是否封裝前後都測；③ 第四段後是否還需要系統級測試；④ 即使流程定了，良率是多少仍未知；⑤ 各站點供應商未定，而**設備選擇會連動測試介面的採用**。這五項決定了台廠可及市場的大小，也是本主題最重要的追蹤點。

八、台廠全景與估值

8.1 六家台廠的分工

公司	主戰場	差異化	野村評等 / 目標價
旺矽 6223	探針卡（占營收 72.2%） + 設備 26.1%	100% 自製探針與基板；客戶基礎廣（美系特殊應用晶片為主）；CPO 第二 / 三段設備	買進 / 8,000 元（首次評等）
穎崴 6515	測試座（56%） + 探針卡（29%）	高密度同軸座；探針卡錨定 NVIDIA；微機電探針外購 Technoprobe	買進 / 8,315 元（首次評等）
精測 6510	探針卡（65%） + 載板類（25%）	高階客製板卡與自有製造深度；統包方案進展是關鍵變數	未覆蓋
雍智 6683	載板類（61.6%） + 探針卡（36.5%）	無廠模式（製造外包），強在研發資源整合	未覆蓋
鴻勁精密 7769	最終測試分選機（分選機占營收約 80%）	主動溫控路線圖 + 逾 600 件專利 + 新產品導入深度協作；AI / 高效能運算占訂單 72–80%	買進 / 11,100 元（首次評等）
致茂 2360	系統級測試分選機 + 電源測試	NVIDIA 系統級測試地位；電源測試（高壓直流 / 固態變壓器）為第二引擎	買進 / 2,845 元（恢復覆蓋）

另有兩家封測代工是這些硬體的最終落地處：日月光投控 3711（全球最大封測廠，旗下矽品可能是 CPO 第三段起的初期主要服務商；野村估其扇出型晶圓級封裝產能可由 2025 年底約 5,000 片 / 月擴至 2026 年底約 25,000 片 / 月）與京元電 2449（全球前十封測廠，承接 Google Axion 中央處理器的最終測試，並已決定赴美設廠）。兩家在本報告中維持買進，目標價各為 730 元與 390 元。

8.2 台廠測試介面四強關鍵財務對照（2025 年實績）

項目	精測 6510	旺矽 6223	穎崴 6515	雍智 6683
營收（百萬元）	4,806	13,371	7,857	2,136
毛利率	55.5%	55.6%	45.3%	46.1%
營益率	24.8%	28.2%	26.3%	25.2%
每股盈餘（元）	30.41	33.49	46.93	15.42
微機電探針能力	自製	自製	外購	外購
產能規劃	板卡產能 2027 年首季較 2025 年底增至三倍，第三廠 2028 年放量	自有 PCB 廠 2027 年下半年放量；微機電探針月產能 100 萬 → 350 萬支（2025 年底 → 2026 年）	測試座產能 2026 年較 2025 年增加一倍以上	—
主要風險	統包方案進展不如預期	CPO 與特殊應用晶片遞延	關鍵專案遞延、獲利能力壓力	專案流失

8.3 產業整併：硬體從耗材變成策略層

時間	事件	意涵
2020	FormFactor 併購 Advantest 探針卡資產	提高 NAND 曝險
2023-08	Technoprobe 併購 Harbor Electronics（介面板廠）	把探針卡 PCB 平整度良率內部化
2023-11	Teradyne 投資 Technoprobe 5.16 億美元；後者收購前者的裝置介面方案業務 8,500 萬美元	測試機廠切割介面事業、換取深度協作
2025 初	Advantest 同時投資 Technoprobe 與 FormFactor（含技術與板卡製造合作）	超專業化＋生態綁定
2025-08	穎崴與 Yokowo 簽署合作備忘錄（外購部分測試座彈簧針）	供給吃緊下的外購常態化
2025-10	精測透過子公司與 Yokowo 互相投資各 200 萬美元	精測專攻微機電針、彈簧針靠外部夥伴
2025-12	Technoprobe 與穎崴簽五年協議（為其開發／製造測試方案並授權使用）	穎崴取得切入微機電探針卡所需的探針

解讀：測試機廠持續剝離周邊硬體、專注系統架構與軟體；介面廠專注微機械與冶金創新，形成「超專業化＋交叉投資」的共同工程格局。測試介面硬體已從耗材升級為需要被擁有或綁定的策略層。

8.4 券商估值分歧：本報告在四家台廠上普遍偏保守

標的	野村（2026-07-24）	資料庫既有其他券商	觀察
旺矽 6223	目標價 8,000 元；每股盈餘 2026-28 年 59.69 / 128.12 / 227.15 元（2027-28 年平均本益比 45 倍）	摩根士丹利 7,500 元（68.59 / 143.38 / 288.46）、Aletheia 10,000 元（75.08 / 186.50 / 286.50）	野村每股盈餘估計三家最保守
穎崴 6515	目標價 8,315 元；每股盈餘 88.32 / 185.76 / 333.86 元（32 倍）	高盛 13,000 元（95.94 / 197.73 / 369.29）、花旗 13,000 元、摩根士丹利 15,000 元	目標價明顯最低，倍數 32 倍 vs 同業 40-45 倍
鴻勁精密 7769	目標價 11,100 元；每股盈餘 134.40 / 218.84 / 336.59 元（40 倍）	高盛 12,000 元、花旗 11,000 元、摩根大通 8,000 元	與花旗最接近，評價基準年一致
致茂 2360	目標價 2,845 元；每股盈餘 43.59 / 65.56 / 84.23 元（38 倍）	摩根士丹利 2,800 元、花旗 2,500 元、Aletheia 4,000 元	居中且貼近市場一致預期

目標價與每股盈餘皆為各券商於報告日之估計值，非本報告推薦；資料整理自本研究資料庫既有各券商報告與本次野村報告。

九、投資框架：四個物理門檻與追蹤清單

這份報告最可操作的部分不是目標價，而是把「誰被迫升級規格、誰因此有定價權」拆成四個可觀察的物理門檻。當晶片跨過門檻，對應環節的換機或換料就不是選擇題。

門檻一：間距 (μm)

低於 50μm 只能用微機電探針。AI 特殊應用晶片針數由 2—2.5 萬 → 3—4 萬 → 9—10 萬以上，直接決定探針卡單價與自製探針者的毛利優勢。

門檻二：封裝尺寸 (mm)

跨過 JEDEC 標準料盤 (135.9×322.6mm) 承載能力，最終測試分選機必須機構換機。鴻勁 2026 下半年推大於 120×150mm、2027 下半年推 250×250mm。

門檻三：熱設計功耗與功率密度

1,400W (B300) → 1,800W 起 (R100) → GPU 疊 GPU，對應 ATC3.5 → 3.6 → 3.7。主動溫控是設備 ASP 升級的載體，分選機本體反而成長有限。

門檻四：插入測試次數

同一顆晶片要測幾次 (晶圓針測 → 最終測試 → 老化 → 重測 → 系統級，CPO 另加四段)，比單一設備規格更能解釋需求放大。

9.1 追蹤清單

追蹤指標	為什麼重要
測試介面廠的拉貨時點	測試硬體約在晶片量產前 12 個月出貨，是 AI 專案最早的實體訊號，比終端新聞早一年
CPO 第二段 (雙面晶圓測試) 方案由誰勝出	直接決定旺矽與國際對手在 CPO 最高附加價值站點的位置，以及認證時點
CPO 第三段是否封裝前後都測、第四段後是否加做系統級測試	決定穎崴 (測試座) 與致茂 / 鴻勁 (分選機) 的可及市場大小
鴻勁與美系繪圖晶片廠的次世代系統級測試合作	若轉為訂單，將挑戰致茂在系統級測試分選機的主導地位 (野村模型未計入)
貴金屬價格與外購探針配額	接觸元件普遍鍍金；外購針廠 (穎崴、精測) 在供給吃緊期受制於上游
台積電 CoWoS 中介層尺寸路線與封測廠委外擴產	中介層放大直接推動料盤規格與分選機換機，封測擴產則是設備採購的直接來源
穎崴估值倍數與同業差距是否收斂	本報告給 32 倍、其他券商 40—45 倍，差距收斂與否是評價重估的觀察點

9.2 反證條件：哪些訊號出現時要下修

- 雲端服務商資本支出下修或對 AI 的說法轉趨保守——這是整條鏈最上游的需求源。
- AI 需求整體放緩、變現進度令人失望，導致晶片專案延後或縮編。
- 新產品世代交替與升級週期放慢，限制單顆晶片的測試內容價值成長——測試硬體的成長靠「規格升級」而非「顆數」，世代放慢的殺傷力大於出貨量下修。
- 擴產計畫遞延或縮減：測試介面與設備的營收前置於量產，擴產遞延會直接讓前置訂單消失。
- CPO 流程長期無法定案：若第二段雙面測試遲遲沒有可量產方案，CPO 的選擇權價值會被推遲甚至重估。

結論

- 測試需求的驅動力是時間與插入次數，不是單價；因此「測試時間指數化」比任何單一設備規格更能解釋這一輪的成長。
- 測試左移與最終測試增加同時成立——探針卡與測試座 / 分選機都受惠，不是此消彼長。
- 台廠的市占轉移是結構性而非週期性：貼近關鍵設計公司、客戶本身在擴張的外溢效果、以及能提供現場即時支援，三個原因都不易逆轉。
- CPO 目前是選擇權而非現金流（2027 年後才有實質貢獻），流程定案才是重估催化劑。
- 本報告所依據的券商在四家台廠的每股盈餘估計普遍低於市場其他券商，可視為估值下緣的參考而非目標。

資料來源：野村證券《Advanced Semi Testing: Chip upgrade; testing ahead》（2026-07-24，171 頁），結合本研究資料庫既有之券商報告（摩根士丹利、高盛、花旗、摩根大通、Aletheia Capital、中國信託投顧、華南投顧等）、公司法說與產業訪查紀錄。市場規模引用 TechInsights、Yole Group、Bloomberg 等第三方機構統計。

本報告為研究整理與觀點歸納，所有目標價與每股盈餘預估均為各券商於其報告日之估計值，非本報告之投資建議；圖表均已逐張核對內容後標註圖說與出處。內容僅供研究參考，不構成任何買賣要約。