

先進封裝趨勢：die 間互連、RDL 與大面積封裝

互連方式 × RDL 底層製程 × 封裝巨大化與面板化 × 抗翹曲供應鏈 × 台股映射

報告日期：2026-07-26

資料基礎：SemiAnalysis (ECTC 2026 綜述 2026-07-02)、山太士技術論壇第一手簡報 (2026-06-16)、J.P. Morgan FCBGA/ABF 研討會 (2026-07-21)、群益×定錨 (2026-07-08)、穎崴 CPO 論壇 (2026-05-14, TSMC roadmap)、福邦投顧 (2026-03)、Semiconductor Engineering 系列 (2026-06/07)、TechNews / TrendForce / Counterpoint (2026-06)、材料世界網《工業材料》472 期等，經整理改寫。

本報告僅供產業研究參考，非投資建議。

本報告回答五個問題

1. 晶片之間的訊號怎麼連？RDL、矽中介層、矽橋 / 玻璃橋怎麼選？
2. RDL 是什麼、怎麼做？為什麼它是 CoWoS-R、WMCM、FOPLP 三條路線的共同底層？
3. 封裝為什麼一定越做越大？大到什麼程度？圓晶圓為什麼裝不下了？
4. 面積放大的代價（翹曲）有多嚴重？誰在哪個製程時點收費？
5. 台股供應鏈怎麼分層追蹤？哪些是「賺產能財」、哪些是「賺投片財」？

目錄

- 1 摘要：封裝世代交替快於製程節點
- 2 為什麼封裝成為主戰場
- 3 技術地圖：四軸框架與本報告範圍
- A die 間互連方式總覽：水平三路線、垂直階梯、介面標準
- B RDL——共同底層製程：疊構、四條應用路線、WMCM、SAP→damascene、有機 interposer
- C 大面積封裝：巨大化實例、圓變方經濟學、面板玩家、翹曲物理、抗翹曲軍備競賽、工程現實、載體之戰
- D 收尾：三層時程總表、台股供應鏈映射、驗證清單與反證、結論

1 | 摘要：封裝世代交替快於製程節點

一句話 Thesis

性能提升的重心已從「die 內微縮」轉到「die 之間的組裝」。封裝技術的世代交替（12–18 個月一輪）快於製程節點（2–3 年一輪），價值量隨之高頻重分配——這是台股設備、材料、OSAT 的機會與風險共同來源。

三個核心判斷：

- **RDL 是跨路線的共同底層**。CoWoS-R（去矽中介層降本）、WMCM（手機多 die 化）、FOPLP（面板化）三條路線都踩在同一套「介電+銅」交替疊構上。RDL 量增的引擎有兩個：AI 貢獻「單顆面積」，WMCM 貢獻「投片顆數」。
- **封裝巨大化是物理必然，面板化與玻璃化是它的兩個答案**。單 die 已貼死曝光機光罩（reticle）上限約 830mm^2 ，算力只能靠多 die+多 HBM 拼裝；封裝面積放大 → 圓晶圓邊角浪費爆炸（載體變方=面板化）+ 翹曲/剛性撞牆（載體變硬=玻璃芯）。
- **面積的罰款、耗材的紅利**。翹曲是大面積封裝的良率生死線，催生「隨投片 1:1 消耗」的抗翹曲新品類——成長斜率全產業最陡（平衡膜 TAM 2026 美元 4,500 萬 → 2029 2.78 億，隱含 CAGR 約 80%），但絕對金額小；小基數+陡斜率+認證鎖定=營收彈性最大的一群標的。

範圍註記：本報告聚焦「水平互連+RDL+大面積」。垂直堆疊（SoIC / HBM / 混合鍵合）僅在互連階梯一節帶過，留待下一份報告展開。

2 | 為什麼封裝成為主戰場

三個驅動力同時到位：

驅動 1

微縮放緩

電晶體成本下降曲線走平，先進節點單位成本反升——「更快」越來越難靠縮小電晶體取得。

+

驅動 2

單 die 撞牆

曝光機單次曝光上限（reticle）約 830mm^2 ，旗艦 GPU die 728– 750mm^2 已貼死上限，只能拆成多顆 die 拼裝。

+

驅動 3

記憶體牆

HBM4E 使 I/O 數倍增+提速，GPU↔HBM 之間需要的互連密度暴漲，封裝內走線成為頻寬瓶頸。

結果：晶片公司把「架構創新」搬進封裝——chiplet 拆分、2.5D 並排、記憶體堆疊、供電/散熱重新設計，全部發生在 die 與 die 之間。封裝從「保護晶片的外殼」變成「系統性能的決定者」。

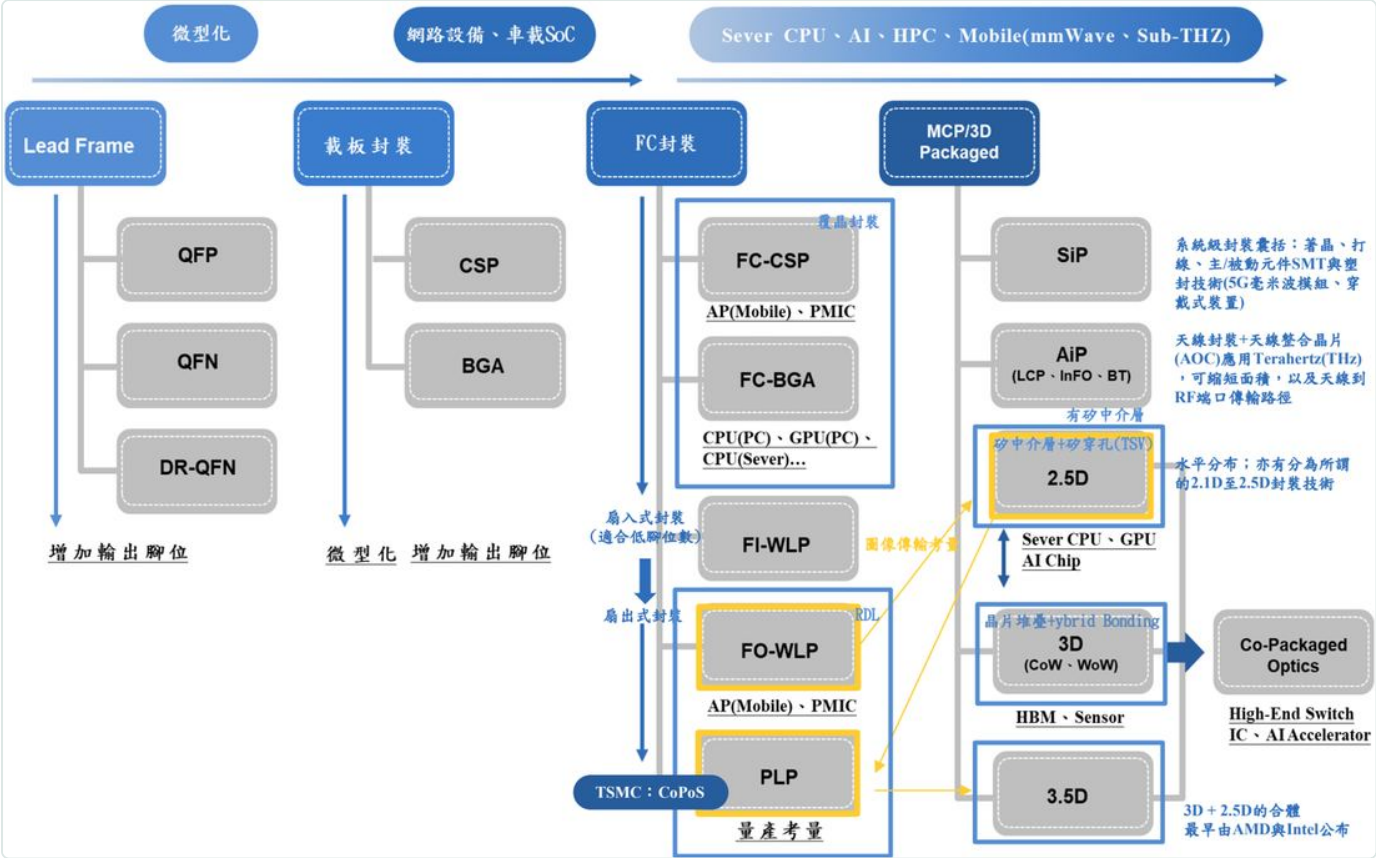


圖 1 | 封裝技術演進全景。從導線架（QFP/QFN）、載板封裝（BGA）、覆晶（FC-CSP/FC-BGA），一路演進到扇出（FO-WLP→PLP）與 2.5D/3D 異質整合；台積電 CoPoS 位於 PLP 分支。本報告的三個主軸（互連、RDL、大面積）貫穿右半場。來源：福邦投顧《2026 台灣半導體特化與耗材展望》，2026-03。

3 | 技術地圖：四軸框架

先進封裝的技術戰線可以整理成四個軸；彼此互鎖，單一戰線遞延會連鎖影響其他戰線：

軸	問題	代表技術	本報告
訊號怎麼走	die 間頻寬與延遲	RDL / 矽中介層 / 矽橋（水平）；TSV / 混合鍵合（垂直）	★ 水平＝本期主軸；垂直＝下期
電怎麼進	千瓦級封裝的供電路徑	垂直供電 VPD、橋內 TSV、矽電容	一句帶過
熱怎麼出	>1kW 封裝散熱	TIM 升級、無蓋化、晶內微流道	一句帶過
載體怎麼變	面積經濟與剛性	面板化（FOPLP/CoPoS）、玻璃芯基板	★ 本期主軸

A | die 間互連方式總覽

A1. 水平互連三路線：訊號怎麼在 die 之間走

路線	結構	強項	弱項	代表平台
有機 RDL	聚合物介電 + 銅線，做在封裝廠	成本低、可做大面積；每 lane 速度可勝（SerDes 場景）；介電損耗低	線寬較粗（2μm 級）、總線密度低	CoWoS-R、FOCoS、FOPLP
矽中介層	整片矽晶圓做細線路，die 全放其上	總頻寬壓倒性（10 倍以上），sub-μm 線寬	貴、需晶圓廠產能、尺寸受 reticle 拼接限制	CoWoS-S
矽橋 / 玻璃橋	只在 die 交界處嵌一小塊高密度橋	局部高密度 + 不佔全面積；可配大封裝	橋的埋入良率、bump 對位精度成新瓶頸	CoWoS-L、EMIB(-T)、FOCoS-Bridge

「矽橋比 RDL 快」是錯誤問法

比「每條 lane 的速度」，RDL 可以贏（SerDes 長距場景，低損耗介電有利）；比「總頻寬」，矽橋 / 矽中介層以 10 倍以上的線密度壓倒性勝出。**結構選擇由頻寬型態決定**：網通交換器吃每 lane 速度 → CoWoS-R；GPU↔HBM 吃總頻寬 → CoWoS-S/-L。不存在「誰比較快」的單一答案。

A2. 垂直互連：接點密度的演進階梯（下期報告主軸，此處速覽）

世代	典型 pitch	物理動作	代表應用 / 設備
C4 bump	~130—150μm	錫球回焊（mass reflow）	覆晶封裝；翹曲容忍度最差
Microbump + TCB	~40—50μm	熱壓鍵合：bond head 高溫下壓、強制壓平後固化	HBM 堆疊、CoWoS；ASMPT / Besi / K&S
銅柱（VCS）	~20—30μm	電鍍高銅柱直連，省中介凸塊	大封裝 die-die；巨量轉移路線發展中
混合鍵合（bumpless）	≤10μm 至 sub-μm	銅-銅直接原子接合 + 介電熔接；需 CMP 至 RMS<0.5nm	SoIC、HBM 20/24-hi；CMP 耗材/洗淨/ALD 鏈

每下一階：接點密度升一個量級、熱阻降、但對表面平整度 / 潔淨度要求指數上升——「翹曲控制」在垂直互連同樣是良率前提，與 Part C 同源。另一條值得記錄的垂直化訊號：Intel EMIB-T 把 TSV 埋進橋內，供電壓降 -68~80%——供電與訊號正走在同一條「水平→垂直」的演化路上。

A3. 介面標準：UCle 把互連「規格化」

UCle（Universal Chiplet Interconnect Express）是 chiplet 之間的標準介面。UCle 3.0 把速率推到每 pin 64 GT/s——速率越高，對中介層的訊號完整性（阻抗、損耗、串擾）要求越緊，直接收緊有機 RDL 的線寬/介電規格，是 RDL 從 2/2μm 走向 1/1μm 的需求側推力。

台股的驗證點：創意電子（GUC）與台積電在 8 層 CoWoS-R RDL 平台上實測 64-bit UCle-A：32 GT/s 眼寬 0.77 UI（模擬 36 GT/s 0.74 UI）——證明有機中介層可以滿足高速 chiplet 系統要求，為 CoWoS-R / 面板級 RDL 的長期地位背書。

B | RDL——共同底層製程

B1. RDL 是什麼：nP nM 的三明治疊構

RDL（Redistribution Layer，重佈線層）在晶片或載板表面重新佈線，把 I/O 從原始位置重分佈成封裝需要的陣列。本質是一個微縮版多層電路板：「一層感光介電（P）＋一層電鍍銅線路（M）」交替堆疊，介電層負責上下絕緣與應力緩衝，層間靠曝光顯影開出的 via 導通。業界以「nP nM」計層數：6P6M=6 層 RDL；AI 高階已推到 13P13M（山太士客戶第一手口徑）。

多層 RDL 疊構（示意）



線路密度由下往上遞減（fine→coarse）；每組 P+M＝一層 RDL。

一層 RDL＝一輪 7 步＋一個高溫 cycle（SAP 半加成法，現行 $\geq 2\mu$ m 主流）：介電成膜 → 曝光顯影開 via → 固化（170–230°C 醃亞胺化）→ PVD 種子層 → 微影定義線路 → 電鍍銅 → 去光阻＋種子層濕蝕刻。

山太士第一手的耐受條件表讓「一層」有了體感：濺鍍要 10^{-7} torr 高真空、電鍍要耐藥液不污染鍍槽、黃光烘烤 230°C × 3 小時算一個 cycle、蝕刻耐酸鹼。每加一層，就是把整片載板再折磨一輪——層數＝成本＝應力的直觀來源。

層數呈雙尾分布：Amkor 口徑「4 層良率 99%、未來數年 85% 需求 4 層可滿足」；但 AI 的 I/O 需求把高階推向 7、8、10 層以上，山太士客戶最高已做 13P13M——主流打住、高階狂飆，材料量增主力來自「面積 × 採用率」而非全面多層化。

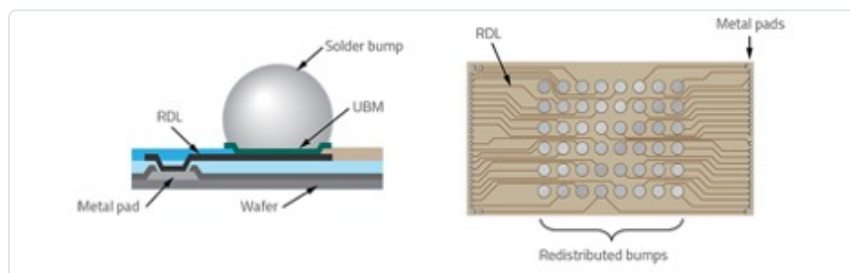


圖 2 | RDL 剖面（左）與俯視（右）。晶片原生 metal pad 經 RDL 銅線路重新佈線至 UBM＋solder bump，把 I/O 重分佈成面陣列。© Lam Research, via Semiconductor Engineering。

B2. 四條應用路線：同一套製程、四種生意

路線	做什麼	量增邏輯	狀態
CoWoS-R	用 RDL 中介層取代矽中介層	降本+大面積；吃網通/每 lane 頻寬場景	量產（台積電 8 層平台）
InFO → WMCM	手機 SoC 晶圓級 fan-out → 多 die 並排	iPhone 量級投片 = 「採用率」引擎	A20 世代導入（2026 秋驗證）
FOCoS	OSAT 版 fan-out（日月光），可嵌橋（FOCoS-Bridge）	ASIC 客戶去 CoWoS 化的替代選項	量產爬坡
FOPLP	把 fan-out 搬上方形大面板	面積經濟（詳 Part C）	低 I/O 已量產；高階 2027-28

Chip First vs Chip Last：線寬方向決定良率風險位置（山太士框架）

Chip Last (RDL First)：先做 RDL 再放 die，線路「粗→細」，最後 1μm 級對位接 die——風險集中在尾段，翹曲直接變成對位尺寸差。**Chip First**：先放 die 再逐層長線，線路「細→粗」，容受度稍大，但前段細線路若翹曲嚴重根本開不了工。高階 AI 封裝主流走 Chip Last：先把貴的 RDL 做好驗好，再放已知良品 die (KGD)，複合良率最優。

B3. WMCM：非 AI 的第二引擎

WMCM (Wafer-Level Multi-Chip Module) 是台積電把 InFO 推進到「多晶片並排」的路線：AP + 記憶體 + I/O 等多顆 die 用多層 RDL 平面互連——不靠大中介層、不靠 HBM，本質是「die 間組裝取代 die 內微縮」向手機端的擴散。投資意義：**RDL 量增的兩個引擎**——AI 端一顆 CoWoS-L 吃掉巨大 RDL 面積但顆數少；WMCM 單顆面積小但 iPhone 量級投片。驗證線：長興 LMC（獨供）月營收 = 高頻溫度計；2026 秋 iPhone A20 拆解 = 兌現檢查點。

B4. 微縮趨勢：SAP → Damascene，封裝廠長出 BEOL 能力

線寬路線：10/10 μm （2015）→ 2/2 μm （現況量產主流）→ 1/1 μm （下一目標）。sub-2 μm 後 SAP 的死穴出現：最後一道種子層濕蝕刻是等向性的，1 μm 線寬時側蝕約啃掉線體兩成，附著力劣化甚至倒塌。

Damascene（鑲嵌法）反過來：介電先開溝 → 填銅 → CMP 磨平，銅「嵌」在介電裡——無蝕刻步驟、Ti 阻障三面包銅、每層 CMP 重置平坦度（1 μm 解析度時曝光景深只剩 ~3 μm ，平坦度就是曝光良率）。代價：封裝廠要新增 **CMP 設備與耐磨低收縮介電材**——這正是「封裝廠長出 BEOL（晶圓廠後段）能力」的具體內容，也是台股新增採購項的來源（CMP 均豪、電鍍敘豐、PVD 友威科、介電材達興）。

各廠站位：**Amkor 最激進**——dual damascene 4 層 2/1 μm （ETR），via + 線路單一光罩、步驟減 40%；**ASE 雙軌避險**——量產守 SAP/mSAP（2/2 μm ），用 FOCoS-Bridge 嵌矽橋承載極細互連，damascene 列 sub-1 μm 備選；imec/Veeco/JSR 已 demo 300mm 全晶圓 1/1 μm （CD 1012nm、測試良率 100%）；Resonac 做到 320×320mm 玻璃面板 2/2 μm ——panel 級 damascene 與 CoPoS 2028–29 對齊。

能力邊界的第一手佐證（山太士）：「做到 1 μm 線路，連 OSAT 廠都吃不下來」——sub-2 μm 是 fab 級能力，呼應 C8「OSAT 蓋面板線 = 往 fab 級爬」。反面：4 層/2 μm 已滿足 85% 需求，damascene 放量只跟 AI 高階走，不是全面替換。

B5. 有機 RDL interposer 崛起

兩個訊號指向同一結論——有機 RDL 正在往「中介層」的位階爬：① 客製 HBM（cHBM）示範以**有機 RDL 中介層替代矽中介層**，base die 改用先進邏輯製程、host PHY 面積省 60%；② HDFO（高密度扇出）面板 RDL 規格已在走「3 層 → 9 層、線距 20 μm → 5 μm （量產）→ 2 μm （5 年內）」的量產路線圖。對 CoWoS-R 類平台與面板級 RDL 是長期利多；對矽中介層是天花板下移的訊號。

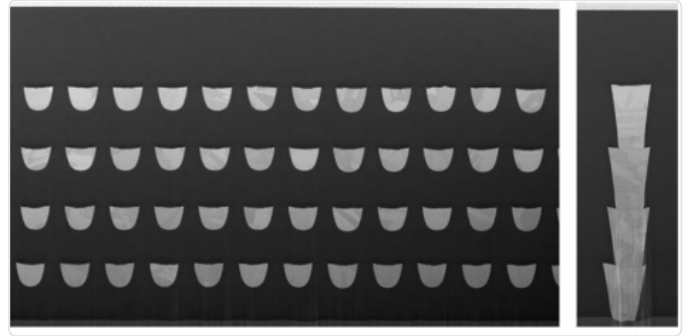
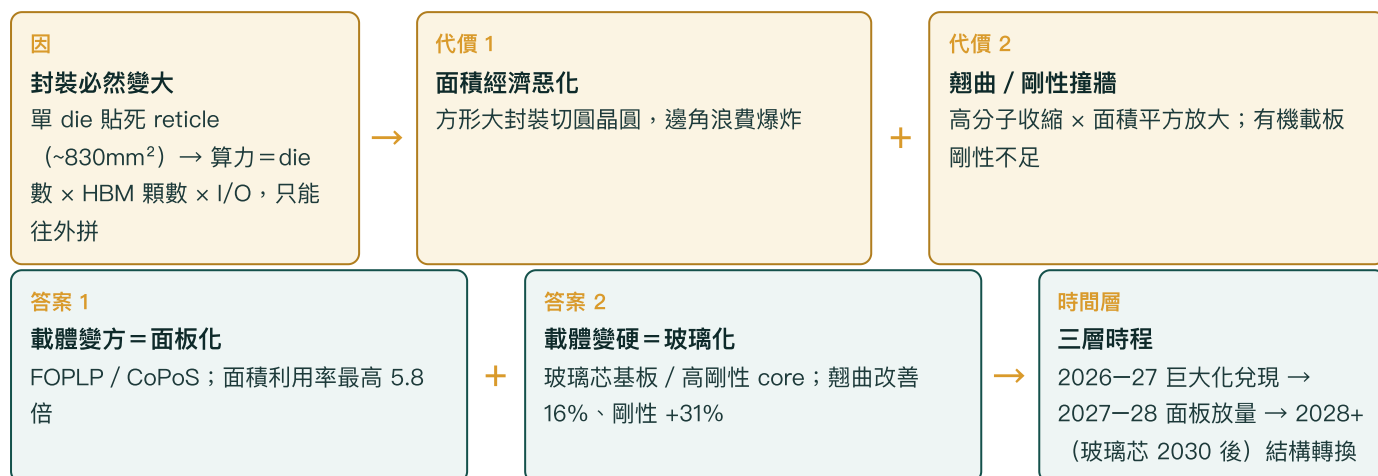


圖 3 | Amkor dual damascene 4 層 RDL 實體剖面。左：2/1 μm L/S 線路陣列；右：2 μm via stack。銅線嵌在介電層內、逐層 CMP 磨平——「填進去的銅」對比 SAP「長出來的銅」。© Amkor, via Semiconductor Engineering。

C | 大面積封裝

C1. 趨勢總覽：一條因果鏈



面板化與玻璃化各自有獨立存在的理由（低 I/O FOPLP 早已量產、與 AI 無關），但被「封裝巨大化」同一股力量推成主線。投資上三個時間層的標的名單不同，混用時程會套在估值高點。

C2. 用晶片尺寸和 die 數說故事

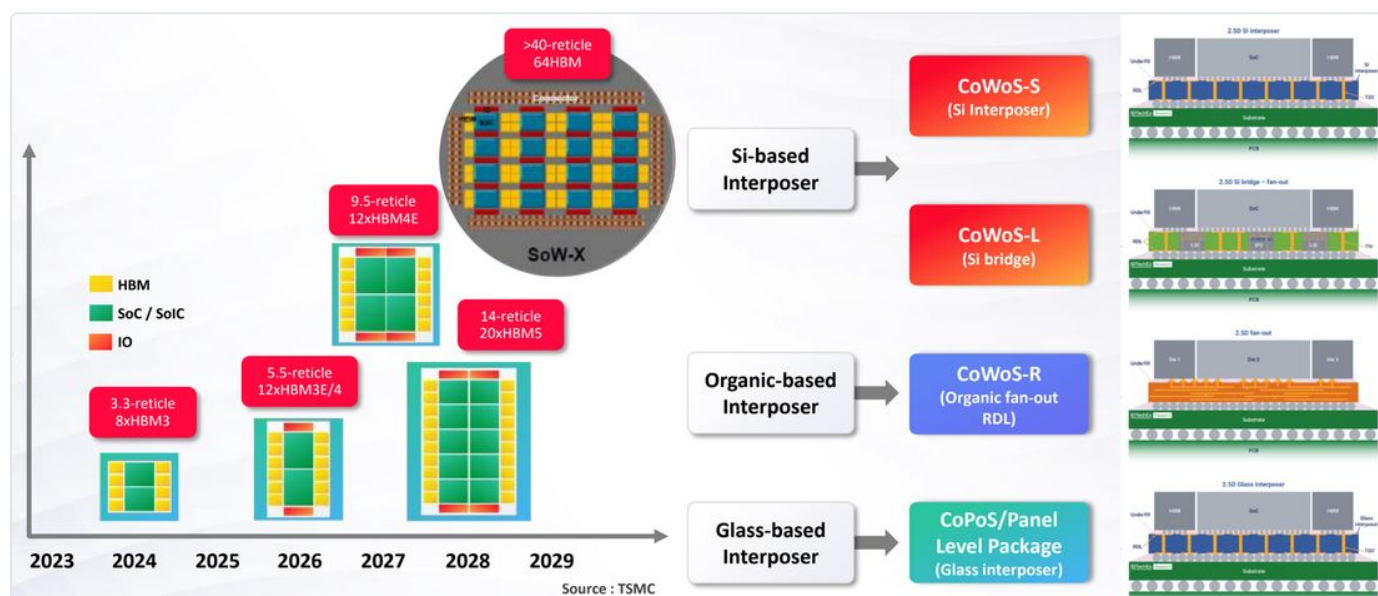


圖 4 | TSMC 官方封裝巨大化 roadmap (2023–2029)。3.3x reticle / 8 顆 HBM3 (2024) → 5.5x / 12 顆 HBM3E/4 (2026) → 9.5x / 12 顆 HBM4E (2027) → 14x / 20 顆 HBM5 (2028) → SoW-X 晶圓級系統 >40x reticle / 64 顆 HBM。右側為四條載體路線：矽中介層 (CoWoS-S)、矽橋 (CoWoS-L)、有機 RDL (CoWoS-R)、玻璃 (CoPoS/面板)。Source: TSMC，引自穎威 CPO 論壇簡報 (2026-05-14，IDTechEx 整理)。

維度	演進
單顆 GPU die	728—750mm ² (貼死 reticle) → 世代切換後單 die 縮小 (700 → 600mm ²) 但顆數翻倍 (×2/×4 → ×8) ——「拆小再拼多」是巨大化的實際路徑
HBM 顆數	8 → 12 → 20 → 24 顆 (2029 前)；每顆 HBM 都要一段高密度互連 = RDL/橋需求同步放大
中介層 (reticle 倍數)	3.3× → 5.5× → 9.5× → 14×；終局 SoW-X >40× (64 HBM+16 CoWoS 級、頻寬 100TB+ 的「超級交換器」概念)
封裝基板	85×85 → 110×110 → 130×140mm——基板越大、剛性要求越高，直接把高剛性 core / 玻璃芯從備選推成必要 (接 C9)

C3. 執行風險：官方 roadmap vs 訪查口徑（並列不裁決）

JPM SBR 研討會（2026-07-21，獨立訪查單一來源）給出保守版本

- CoWoS-S 實務上限 3.3×：矽中介層再放大，翹曲與銲接可靠度撐不住。
- CoWoS-L 5.5×（Rubin Ultra）導入評估不順；9.5× 的銲接問題已被列為 1H27 議題，「會非常難達成」。
- 若 9.5× 不成，封裝上限可能拖累 NVIDIA Feynman 世代（2029）時程。

另一組口徑衝突值得記錄：Yole（2025-07）稱 CoPoS 面板將先行支援 Rubin Ultra 9.5×；較新口徑（2026-07）為 CoPoS 2028H2-2029 量產、首客戶傳為 Feynman 世代。兩者不一致——追蹤「Rubin Ultra 封裝路線歸屬」即可判別，這同時是巨大化執行力與面板化提前與否的交叉驗證點。

C4. 圓變方：面積經濟學與 3.5× 門檻

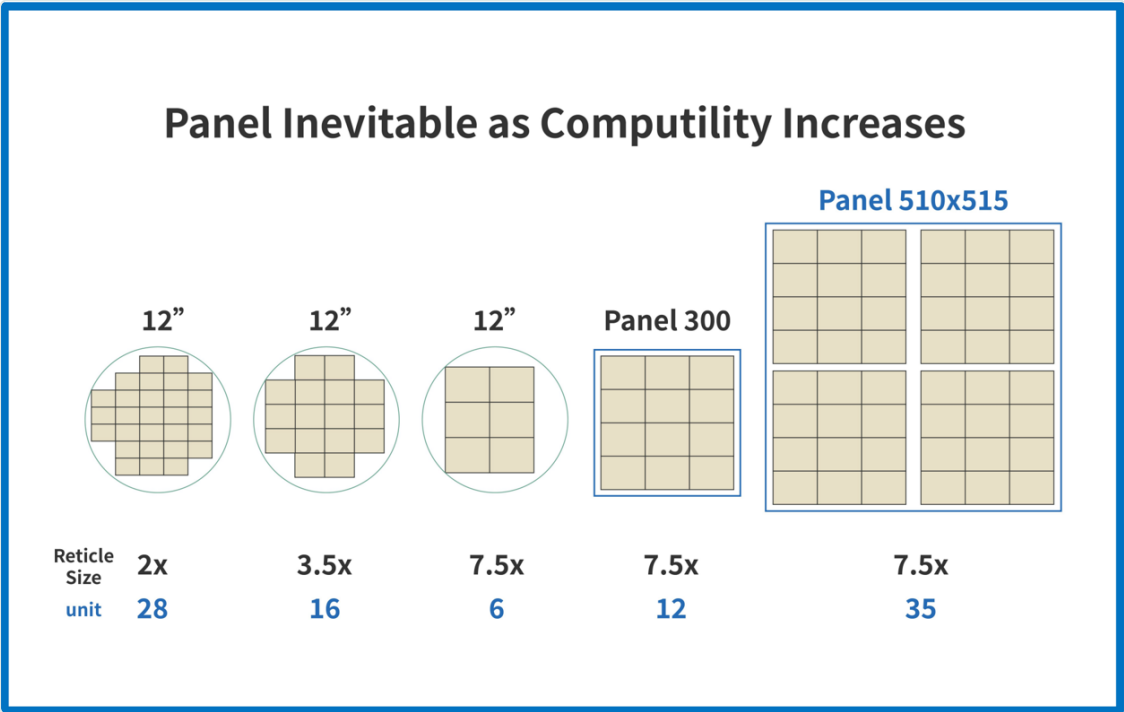


圖 5 | 「Panel Inevitable as Computility Increases」。同為 7.5× reticle 封裝：12 吋晶圓放 6 顆、Panel 300 放 12 顆、Panel 510×515 放 35 顆（5.8 倍）；封裝越大（2×→3.5×→7.5×），圓晶圓可放顆數從 28 → 16 → 6 快速塌陷——方形載體的優勢隨封裝尺寸放大而擴大。來源：群益證券 × 定錨產業筆記，2026-07-08。

- 經濟門檻有量化錨點：日月光 ECTC 2025 論文（310×310mm 面板測試載具）結論——封裝尺寸 >3.5× reticle 後，300mm 面板的面積利用率與 interposer 品質顯著優於 300mm 晶圓；3.5× 以下差異不大。面

- 板級是「大封裝專屬」的經濟學，不是全面替代——與 TSMC 口徑「面板與 CoWoS 互補而非取代」一致。
- 市場口徑（兩套並列，統計範圍不同不可直接比）：Yole 純 FOPLP 2024 美元 16 億 → 2030 約 70 億（CAGR 27.2%）；Counterpoint「FOPLP+玻璃基板」合計 2024 約 6.5 億 → **2030 突破 81 億（+1,146%）**，AI/HPC 屆時占 FOPLP 營收 45.6%，台日中合計占全球面板級產能 84.8%。

C5. 面板玩家與時程：低 I/O 是現在進行式、高階在 2027—28

廠商	面板尺寸	應用 / 客戶	時程
群創	620×750（3.5 代；另有 700×700 口徑）	PMIC / RF；SpaceX 星鏈地面接收 RF（證實）、NXP/ST 洽談中	2025Q2 已量產 ；2026 月出貨 YoY 約 10 倍、破千萬顆；產線滿載
日月光	310×310（高雄）+ 610×610 規劃	AMD / Qualcomm AI CPU	2025Q4 設備進駐； 2026 年底全自動線量產
力成	515×510	MTK / AMD（已預約 2027 產能）	P11 廠 2027H1 量產（初期月 6,000 片）；capex 拉高至 NT\$400 億+
台積電	310×310（CoPoS）	NVIDIA（首發世代口徑衝突，見 C3）	2026 年中材料設備認證 → 2027 pilot → 2028H2—2029 量產
恆勁	C3iM 基板延伸	車用（量產四年）、AI 電源模組	AI 應用 3—4 家客戶開發中

群創 spotlight：面板廠的降維打擊

用折舊完畢的 3.5 代面板線做低 I/O 封裝（PMIC/RF），成本結構對 OSAT 是降維打擊——Chip-First 產線單一客戶專案良率已達 9 成、多家國際 IDM 願付 NRE 共同開發。三階段路線：Chip-First（已量產）→ RDL-First（2025—26 送樣驗證）→ TGV 玻璃（2028—2030 商業化）。與 C4 的 3.5× 門檻合起來看：**面板化正從兩端夾攻——小晶片走成本優勢（現在進行式）、大封裝走面積門檻（2027—28 接棒）。**

校正媒體語境（山太士第一手）：其面板級封裝驗證客戶 9 家的 MP 時程全在 2028 年之後、2027—28 集中放量 4 家——「FOPLP 高階放量在即」的說法需要用這張表校時。面板尺寸規格不統一（700 / 650 / 600 / 515 / 310mm 並存）本身就是產業未定型的證據。

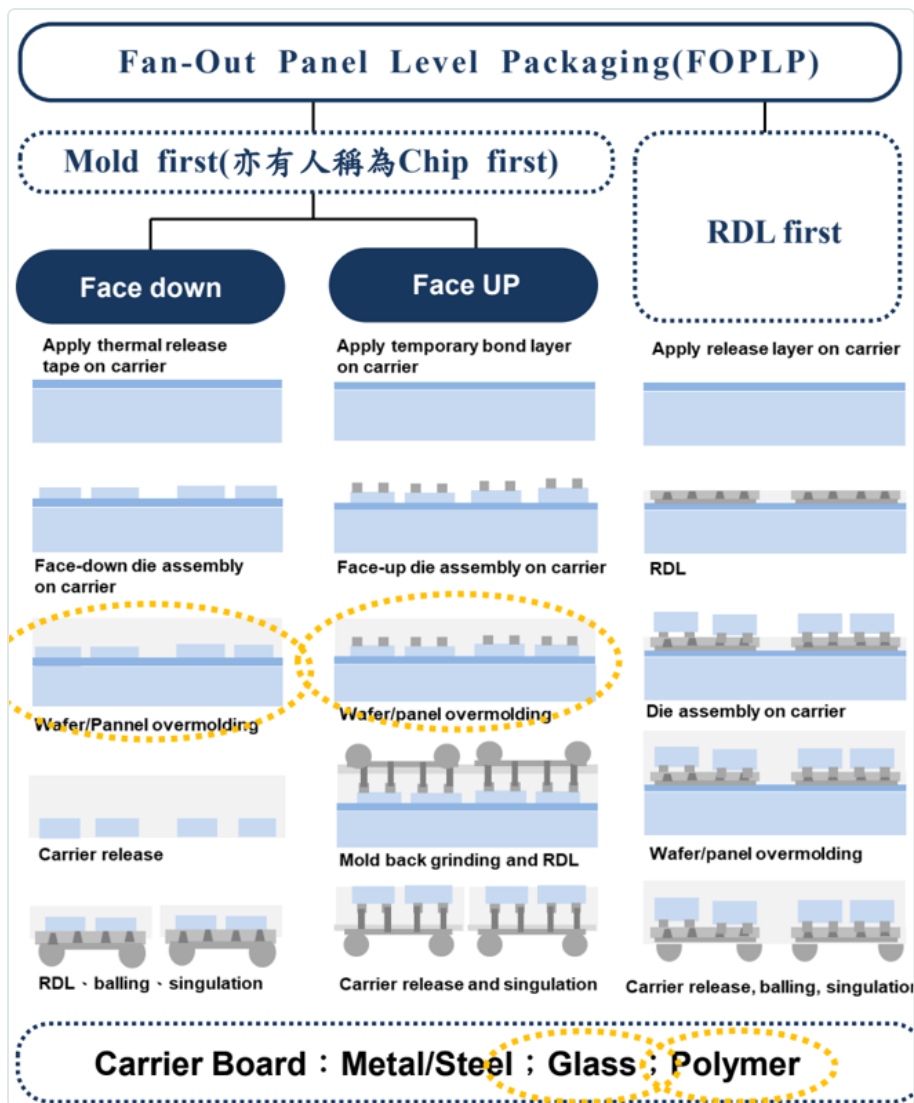


圖 6 | FOPLP 三條製程路線。Mold First (face down / face up) 先壓模再做 RDL，有 die shift 與翹曲問題；RDL First 先在載板上做好 RDL 再放晶片，為高階主流趨勢。載板材質：金屬 / 玻璃 / 聚合物。來源：福邦投顧，2026-03。

C6. 大面積的罰款：翹曲物理

為什麼以前不翹、現在會翹？傳統 12 吋晶圓製程用的全是無機材料（矽 CTE 2.8、銅 17 ppm/°C），基本不翹。先進封裝為了絕緣、模封、堆疊塞進大量高分子（EMC 環氧樹脂、PI 聚醯亞胺，CTE 幾十到上百、固化收縮大）——金屬與高分子交替堆疊，升降溫收縮不均產生彎矩。單一最大兇手是 molding 後的長時間高溫固化：環氧樹脂固化+大量收縮。

量級有多誇張？工研院合作實例：370×470mm 玻璃載板做 7 層 RDL，拿掉玻璃載板後翹曲最高 80mm——是毫米不是微米。而良率門檻是：300mm 重組晶圓 <0.5mm、單一封裝體 <0.1mm。中間差了兩個數量級，全靠工程手段填。

兩個放大器：① 面積——同樣曲率下翹曲量約隨尺寸平方（L²）放大，300mm 晶圓的問題到 600mm 面板變成 4 倍；② 層數——每層 RDL 累積殘留應力（但注意：層數增加同時提高疊構剛性，面外翹曲不一定變大，代價更多轉為分層、銅裂與良率）。

剛性硬扛有極限：2mm 厚玻璃載板照樣被高層數 RDL 拉彎；強行反向拉平會把中間層拉裂、層間分離——「很多客戶正在發生」（山太士）。物理槓桿用盡後，只能靠膜材與設備補償。

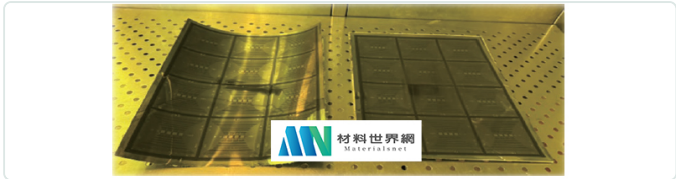
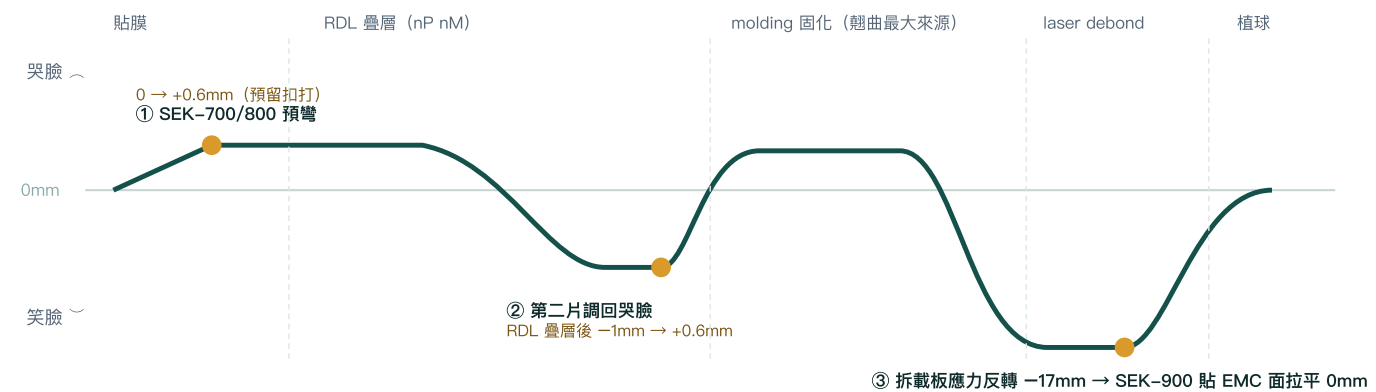


圖 7 | 同一批 370×470mm FOPLP 面板移除玻璃載板後。左：未貼平衡膜，嚴重翹曲彎起；右：貼平衡膜，維持平整。翹曲不是漸進劣化，而是 debond 瞬間的應力釋放。來源：山太士，《工業材料》472 期（2026-04），© 材料世界網。

CTE 對照 (ppm/°C)	
矽	2.8
玻璃（芯材）	3—9
FR4 / 有機載板	12—20
銅	17
有機介電 (PI/PSPI)	25—30+

C7a. 翹曲旅程：一片面板的一生（哭臉 / 笑臉時間軸）



自製示意（縱軸非等比）：正值＝哭臉（中凸）、負值＝笑臉 / 反翹。三個橘點＝平衡膜介入時點，數字為山太士第一手實測。

「製程走到 90%，沒整平最後 10% 就做不下去」

拆載板後的反翹（-17mm）發生在所有成本都已投入之後——RDL 全做完、molding 完成、載板拆除，只剩植錫球收尾。沒有把它拉回平整（0mm），植球做不了，整片報廢。SEK-900 那一貼卡在「成本全沉沒、良率一翻兩瞪眼」的位置，是三段裡議價力最強的一段。單一投片合計約用 3 張膜（2 張 700/800+1 張 900）；一張膜保證走 5 個 cycle（230°C×3hr），5 層以內不必換膜。

膜跟著製程段走，不跟著公司類型走：RDL 疊層是 fab 級製程（stepper、高真空、無塵室）→ 700/800 出貨到晶圓廠端；molding 之後是封測地盤 → 900 出貨到 OSAT 端。一家耗材商在製程上下游兩端各收一次費；而且不管客戶走 Chip First 還是 Chip Last、PCB 廠跨不跨進來，「對平衡膜的需求完全沒有影響」（山太士原話）——跨路線不敗是耗材邏輯的核心。

C7b. 抗翹曲軍備競賽：台股全景

先分清兩個戰場——同一個病因（CTE 失配 × 面積放大），兩種生意：**戰場一 | 製程中（面板級）** 對象是整片面板，翹曲以 mm 計，威脅「做不做得出來」（曝光對位、植球），解法全是暫時性手段（膜 / 載板 / 壓烤），切割成單顆後退場——跟著**面板化**走；**戰場二 | 成品級（封裝體）** 對象是切好的單一封裝，翹曲以 0.1mm 計，威脅「活不活得下去」（BGA 共面性、TIM 接觸、千次熱循環可靠度），解法必須永久黏在封裝上出貨（stiffener / lid / underfill）——跟著**封裝巨大化 + lidless 化**走（金屬蓋被拿掉後，stiffener 成為剛性的替代來源）。下表前五列屬戰場一、後兩列屬戰場二，量測回饋兩邊共用。

先定調：成長斜率最陡，但絕對金額小

平衡膜 TAM：2026 美元 4,500 萬 → 2029 約 2.78 億（隱含 CAGR 約 80%、2027 單年翻 3.6 倍）——比 FOPLP 整體（27—52%）、CoWoS 產能擴張（~50—60%）都陡，因為它是「三年前不存在、隨投片 1:1 消耗」的新品類。但 2.78 億美元對照載板 / CoWoS 設備是零頭。正確定位：**小基數 + 陡斜率 + 認證鎖定 = 營收彈性最大的一群標的**，不是金額最大的一塊。

製程時點	公司	產品 / 物理動作	著墨重點與驗證線
RDL 段支撐	辛耘	TBDB 暫時鍵合 / 雷射解鍵合機（50 片 / 時、耐 400°C）	可驗證需求 = CoWoS 中介層薄化 × SolC × 面板載板三軸（均發生在台灣）；台積電嘉義 AP7、日月光。註：HBM 堆疊的 TBDB 乘數主要落在韓系供應鏈（三雄廠內堆完才出貨 KGSD），美光台中為未驗證選擇權
	達興材料	TBM 暫時鍵合膠 + LRL 雷射釋放層 + PSPI	台系材料平台化；2026 量產放量（台積電/OSAT/群創）
RDL 段補償	山太士	SEK-700（拉伸回復） / 800（熱收縮）平衡膜，Fab 端	類獨佔（應力模擬客製 + 辛耘設備綁定 + 75 篇專利）；17 家驗證客戶、最快 MP 2026H2； 競品日東 / 三井 / LINTEC / 亞電在門口 ，用新產線認證歸屬驗證窗口期；2026E 推 TBDB Film 開第二成長曲線
molding / 固化段	印能科技	VTS 高壓真空除泡（全球市占 >80%） + WSAS 翹曲抑制（薄膜自適應加壓 + 動態壓制） + 壓力烘烤 0.5—1.0 MPa 均壓交聯	2026 年中試產單轉量產單；能見度 2027Q1；台積電 CoWoS/CoPoS、日月光、力成
	志聖 / 群翊	真空高壓壓烤 + De-Warpage 翹曲消除烘烤；VCO 垂直烘烤爐（熱場 ±1.5—2°C + 治具夾持）	志聖藉 G2C+ 整線卡位、2026-03 入股捷 10.82% 成最大股東；從固化源頭降應力
debond 段	山太士	SEK-900 貼 EMC 面拉平（-17mm → 0mm），OSAT 端、UV 解膠	全報告最強記憶點：90%/10% 良率生死點

成品結構	健策 / 一詮	Stiffener / IHS 均熱蓋：機械支撐＋熱擴散	一詮 stiffener 已占散熱元件營收約 40% (TPU/AWS/Broadcom)；△ 為「翹曲的既得利益者」，2028+ 若 TIM1 被晶圓級散熱取代有價值量重分配風險
貼合段	竑騰 / 萬潤	TIM1 / lid / stiffener 貼合：點膠→置片→壓合，控 BLT 厚度與壓合力	設備交期 >6 個月；lidless 化使 stiffener 貼合需求結構性上升（詳下方圖 9 與收費模式段）
量測回饋	由田 / 政美應用	翹曲 / 平整度檢測 (Shadow Moiré / DFP / DIC 類)	回饋環節、非抗翹曲製程本體；面板翹曲使光學量測失焦，吸平/自動對焦成 handling 核心

國際對照框：TOWA（壓縮成型）、Besi（TCB 動態力控）、EV Group（TBDB + Active Flatness Chuck，可處理 bow 7—10mm）、信越/Nagase/Resonac（低 CTE EMC，silica 85—90wt%、CTE 3—7ppm）、三井/LINTEC/日東/積水（平衡膜同類）——台股不是獨走，材料原理路線（低收縮 EMC）與物理補償路線（膜/設備）在全球並行。接合製程選擇同樣是翹曲工具：mass reflow（最差）→ TCB（強制壓平後固化）→ R-LAB/R-LTC（雷射局部加熱，Amkor 針對高翹曲大模組）。



圖 8 | 印能 LEAPSolve 平台演進 (戰場一代表)。從 VFS/VTS 除泡（第一、二代）→ Pioneer&PRO (RDL/Bumping 高壓真空固化，第三代) → RTS-chiplet 殘留物去除（第四代），右側 WSAS 即翹曲抑制系統（翹曲/退火/熱壓合退火）。產品線沿著「molding / 固化段」的翹曲物理逐代加碼。來源：玉山投顧，2026-07-06。

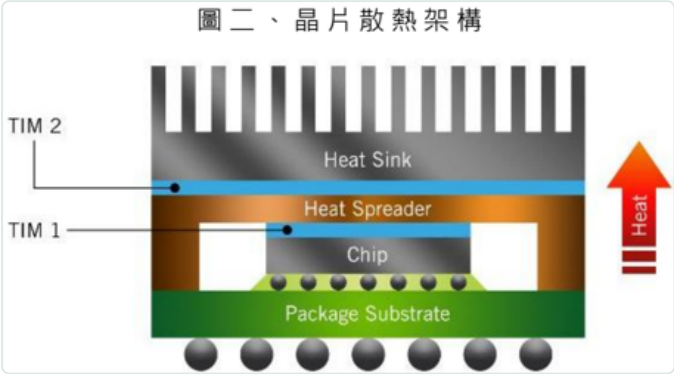


圖 9 | 封裝體散熱疊構 (戰場二的地形圖)。Chip → TIM1 → Heat Spreader (均熱蓋) → TIM2 → Heat Sink。竑騰設備聚焦精度要求最高的 Chip—TIM1—蓋/框 貼合段（點膠→置片→壓合一條龍）；stiffener 即在此層以金屬框提供剛性。來源：康和投顧，2026-05-21。

戰場二的兩種收費模式：健策/一詮賺「金屬件財」——stiffener/均熱蓋隨每顆封裝出貨（一詮 stiffener 已占其散熱元件營收約 40%）；竑騰/萬潤賺「貼合產能財」——設備隨 OSAT capex 週期（竑騰整合點膠、置片、壓合一條龍，通用平台換治具即可切換 Stiffener/鋼片/石墨烯，客戶涵蓋全球前七大封測廠、在手訂單破 50 億）。同一個時點、兩種現金流形狀，估值邏輯不可混用。

C8. 面板製造的工程現實：不是放大機台，是整線重新發明

製程	大面板瓶頸	解法方向與案例
塗佈	旋轉塗佈不適合方形，邊角堆積	Slot-die 狹縫式 / 噴塗；台廠自 PCB/面板技術延伸（志聖/群翊）
固化	大面板溫差 → 翹曲與應力集中	多區溫控 + 升降溫曲線 + 即時回饋（群翊 VCO ±1.5—2°C）
PVD 種子層	邊角鍍膜不均、膜厚一致性下降	AMAT Topaz（低溫 <120°C 低應力）、天虹 310mm 面板 PVD（自製率近 90%）
電鍍銅	邊角 vs 中心電流密度差、流場死角	多區獨立陽極 + 脈衝電鍍（目標 ±3%）； ACM 全球首創面板級水平電鍍 （mega pillar 速率 2 倍、均勻性 510×515 <7%）；Lam Durendal 解 megapillar doming；亞智 Omni ECD 2026-06 交付全球首台 310×310 量產機
檢測	疊層 via 品質 AOI 看不到（Amkor：每層都做 AOI 也攔不住，靠電測補）；600mm 面板 1μm 解析度單層 ~10 ¹² pixels；翹曲使高解析光學失焦	IR / X-ray 穿透檢測是缺口（台廠技術空窗）；檢測角色轉變：從 pass/fail 品管閘變成 adaptive lithography 的資料引擎 （die-shift 量測回饋逐 die 補償）

結論：面板化的本質是把晶圓廠 BEOL 能力搬到方形載體上重建一次——每個環節都要重新開發。這正是設備商機會的本質（G2C+ 一站式整線、單點設備各自卡位），也是 OSAT「往 fab 級爬」的具體內容：日月光、力成名義上是封測廠，蓋的面板線實際是 fab 級 RDL 產線，設備與材料商因此多了一批新買家。

C9. 載體之戰：玻璃的答案與代價

先分清楚兩個「玻璃」：**玻璃載體**（carrier，暫時性工具，TBDB/FOPLP 製程中撐住面板、最後拆掉）與**玻璃芯基板**（glass core，永久性結構材，取代 ABF 有機芯）。前者是面板化的配套、已在用；後者是獨立的結構轉換敘事、時程最遠。

CoPoS 三方分工首度公開（JPCA Show 2026-06） + 玻璃 vs ABF 首見量化

台積電公開 CoPoS 供應鏈分工：**群創**（玻璃芯基板加工 + TGV 微鑽孔，3.5 代玻璃加工與大面積平坦度 know-how）+ **Ibiden**（HDI 高密度互連與 RDL 線路）+ **台積電**（封裝架構整合與晶片驗證）。同場首度公開玻璃基板 vs 有機 ABF 量化效益：**封裝翹曲改善 16%、CTE 降 19%、剛性提升 31%、電阻降 27%、電感降 42%**（數據待核對）——「載體變硬」的答案第一次有了數字。

玻璃的代價：解了翹曲、換來脆性。表面微裂紋是應力集中點（濕蝕刻、熱循環、搬運都會延伸，往往到後段才爆）；TGV 銅裂（升溫銅脹>玻璃起裂、降溫銅回拉成環向裂紋，AMAT 低 CTE + 低模數 liner 模擬應力降 ~60%）；載板重複使用風險（ASE 實測邊緣 ~43μm 崩缺、韌性下降，量產尚無系統性篩檢）。TGV 四大挑戰：雷射能量穩定性→孔徑一致性、鑽孔微裂紋、蝕刻液難進 10μm 孔、量產動態對位。

時程判讀（本報告立場）：設備先行、載板遞延，兩個時間尺度不可混用。玻璃設備商 2026—27 先行（訂單已確認：鈦昇 TGV 雷射 2026Q3 新廠 + 2026H2—27 放量、台廠「雷射改質→蝕刻」兩階段鑽孔已過國際 IDM 驗證）；玻璃芯基板量產 TrendForce 口徑在 **2030 年之後**——載板廠的玻璃營收故事比設備晚一整個週期。過渡期並行方案：陶瓷 TCV（雷科，散熱驅動、直接雷射鑽孔 + 異形孔）在玻璃成熟前卡位散熱基板。

D1 | 三層時程總表

時間層	兌現內容	代表標的（節錄）
2026—27 兌現層	CoWoS 產能 160→250+ kwpm；WMCM 導入（A20）；群創低 I/O 面板已量產；山太士晶圓級 MP（2026H2）；玻璃/TGV 設備下單	弘塑、萬潤、穎威、日月光；長興；群創；山太士；鈦昇、辛耘、印能
2027—28 放量層	日月光 310 全自動線（2026 底）→力成 P11（2027H1）接棒放量；耗材驗證轉量產（2027—28 集中 4 家 MP）；EMIB-T 商業化、SoIC 耗材第二波	G2C+（志聖/均豪/均華/東捷）、天虹、由田、亞智；達興、三福化；中砂、頌勝
2028+ 結構層	台積電 CoPoS 量產（2028H2—29）；面板級 damascene；山太士面板級客戶 MP（9 家全在 2028+）；玻璃芯基板 HVM（2030 後）	盟立、均華；景碩、欣興、台玻（時程最遠、估值最需耐心）

D2 | 台股供應鏈映射：賺產能財 vs 賺投片財

分層	標的與環節	邏輯
抗翹曲鏈（斜率最陡）	山太士（膜）、印能（WSAS/VTS）、志聖/群翊（壓烤/烘烤）、辛耘+達興（TBDB）、竑騰/萬潤（貼合）、健策/一詮（stiffener）	隨投片 1:1 消耗 + 認證鎖定；詳 C7b
整線聯盟	G2C+：志聖（熱製程）+ 均豪（AOI/研磨）+ 均華（黏晶/Sorter）+ 東捷（雷射/TGV）；志聖入股東捷 10.82%	一站式整線覆蓋台積電/日月光/力成/群創；訂單能見度 1.5—2 年
單點設備	鈦昇（TGV 雷射）、天虹（面板 PVD/ALD）、弘塑/辛耘（濕製程）、盟立（AMHS+E-core 玻璃搬運聯盟）、由田/牧德（AOI）、亞智（ECD）、萬潤（點膠/P&P）	賺產能財：跟 capex 週期，時程風險大於耗材
Damascene 新增需求	均豪（CMP）、敘豐（電鍍）、友威科（PVD）、達興（低收縮介電）	「封裝廠長出 BEOL 能力」的新增採購清單
材料耗材	達興/永光/長興（正型 PSPI/LRL）、三福化（負型顯影）、勝一（清洗）、達邁（PI 膜）、長華科（金屬載板）、晶呈（TGV 特氣）、泓瀚（噴墨助焊劑）、台玻（玻纖布/玻璃基材）	賺投片財：隨面積 × 採用率 × 層數三軸放大

D3 | 驗證清單與反證條件

追蹤指標	為什麼重要
日月光 310mm 全自動線 2026 年底量產與否	高階 FOPLP 第一個開關；耗材放量斜率的起點
台積電 CoPoS 2026 年中材料設備認證名單	2028—29 量產鏈的入場券；山太士/達興/天虹等驗證歸屬
Rubin Ultra (5.5x) 封裝路線歸屬與 9.5x 銲接議題 (1H27)	巨大化執行力；CoWoS-L vs CoPoS 提前與否的判別點
山太士月營收、上櫃進度；平衡膜競品（日東/三井/亞電）認證消息	放量斜率＋類獨佔窗口是否關閉
長興 LMC 4Q26 營收佔比（目標 4—5%）＋2026 秋 A20 拆解	WMCM 非 AI 第二引擎兌現度
Amkor ETR (damascene) 客戶放量；panel 級 damascene 導入時點	SAP→damascene 轉換斜率；CMP/電鍍/介電材需求
JPCA 玻璃 vs ABF 量化數據（翹曲 16%/剛性 31% 等）第三方核對	玻璃芯必要性論述的數據基礎

反證條件（出現任兩項應下修主線）

① 台積電法說下修先進封裝 capex；② 日月光 310mm 量產跳票或 FOPLP 良率長期卡關 → 耗材放量斜率下修；③ 山太士以外對手拿下新產線認證 → 類獨佔敘事破功；④ 雲端 capex 下修 → 全戰線同步降溫；⑤ 玻璃芯時程若大幅提前 → carrier 型耗材（平衡膜/TBDB）邏輯部分改寫（目前判斷 2030+，壓力不大）。

D4 | 結論

把三個主軸收攏成一句話：訊號在 die 之間怎麼走（互連）決定了封裝的結構，結構踩在哪套製程上（RDL）決定了材料與設備的需求形狀，而封裝物理尺寸的放大（大面積）決定了這一切發生的載體與代價。

- 互連層面：不存在單一贏家路線——頻寬型態決定結構選擇，有機 RDL 與矽橋將長期並存，UCIe 標準化持續拉高 RDL 規格。
- RDL 層面：量增雙引擎（AI 面積 × WMCM 採用率）確定性高於單押層數暴增；SAP→damascene 轉換＝封裝廠長出 BEOL 能力，新增採購項受惠確定性高於押注單一封裝形式。
- 大面積層面：巨大化是物理必然，但執行有變數（3.3x/5.5x/9.5x 口徑分歧）；面板化從低 I/O（現在）與大封裝（2027—28）兩端夾攻；玻璃芯是 2030 後的結構層故事。
- 投資主線：「面積的罰款、耗材的紅利」——翹曲控制與隨投片消耗的品類是全產業成長斜率最陡的一群；封裝端賺產能財、耗材端賺投片財，後者的營收品質與能見度更優。

主要來源：SemiAnalysis ECTC 2026 綜述（2026-07-02）；山太士技術論壇簡報（2026-06-16，第一手）；J.P. Morgan FCBGA/ABF 基板研討會（2026-07-21）；群益 × 定錨產業筆記（2026-07-08）；穎威 CPO 論壇 / TSMC roadmap（2026-05-14）；福邦投顧（2026-03）；Semiconductor Engineering（FOPLP 系列 2026-06/07、RDL/翹曲系列 2026-07）；TechNews / TrendForce（2026-06-17）、Counterpoint（2026-06-23）；材料世界網《工業材料》472 期（2026-04）；日月光 ECTC 2025 論文。產能與時程數字多為券商/媒體口徑且彼此分歧，重大決策前需回原始來源核對。本報告僅供產業研究參考，非投資建議。