

先進封裝技術發展方向全景

水平互連 × 垂直堆疊 × 面板化 × 玻璃基板 × 垂直供電 × 晶內散熱 × 光互連 × 記憶體整合
—— 八條戰線的技術細節、量產時程與台股供應鏈全映射

Part 1 為什麼封裝成為主戰場（結構性論述與資本支出）

Part 2 水平互連：RDL / 矽橋 / 中介層與 CoWoS 平台

Part 3 垂直堆疊：TCB / 混合鍵合 / SoIC / HBM4

Part 4 結構外擴：面板化、玻璃基板與載板戰場（含 CoWoP）、垂直供電、微流道散熱、CPO、SoW

Part 5 台股供應鏈全映射與投資結論

為什麼封裝成為半導體主戰場

電晶體微縮的三個物理極限同時撞牆，性能提升的重心從「die 內」轉移到「die 之間」——封裝從後段代工變成系統架構的定義者。

858mm²

單次曝光 reticle 上限
單晶片面積的天花板

+80%/yr

先進封裝資本支出增速
半導體資本支出中最快的分項

~50% CAGR

台積電先進封裝營收
未來五年成長率 (UBS)

+93% YoY

2027 全球 CoWoS 需求
2,694k 片 (MS 2026-06)

×10/層

跨互連層級的通訊能耗差
die 內→3D→橋→基板→跨封裝

三個撞牆的物理極限

- ▶ **微縮經濟性**：N3→N2 每電晶體成本下降趨緩，GAA / 背面供電 (PowerVia、A16 SPR) 延命但代價高昂。
- ▶ **SRAM 停止微縮**：cache 面積佔比失控 → 把 SRAM 拆出去疊 (3D V-Cache、Feynman SRAM 堆疊)。
- ▶ **Reticle limit**：AI 晶片需求面積遠超 858mm² → 只能切成 chiplet 再用封裝拼回來；中介層 2025 ~3.3× 光罩 → 2027F ~9×。

需求端：AI 是唯一引擎

- ▶ **AI 資料中心 capex 獨撐**：2026 設備支出 ~\$165.9B (+23%，SEMI)；台積電 capex \$60-64B、2027/28E 上修至 \$78/82B (GS)。
- ▶ **CPU 也開始吃 2.5D**：NVIDIA Vera 5.75mn 顆、AMD Venice 6.75mn 顆 (2027，首顆 CoWoS CPU) ——先進封裝需求從 GPU 外溢到 CPU。
- ▶ **HBM 綁定封裝**：2027 HBM 需求 51bn Gb (2026 ~31bn)；AI 晶圓 TAM ≥\$47bn。

投資視角：價值量重分配

- ▶ **fab 端**：資本壁壘固化、玩家收斂 (台積電獨走) ——競爭格局穩定。
- ▶ **封裝端**：技術路線最多、變動最快、玩家最雜——**價值量每 12-18 個月就重新分配一次**，是台股設備 / 材料 / OSAT 的機會與風險所在。
- ▶ **本簡報的框架**：八條戰線逐一拆解「技術原理 → 量產時程 → 誰受惠 / 誰受壓」。

核心論述：摩爾定律沒有死，它從「單 die 微縮」變成「系統級組裝」。封裝技術的世代交替速度已經快於製程節點——這正是 ECTC 2026 顯示五條戰線同時開打、每條都在重分配台股供應鏈價值量的原因。

全景地圖：八條戰線一張圖

以「訊號怎麼走、電怎麼進、熱怎麼出」三個問題組織所有先進封裝技術方向。

訊號怎麼走 Interconnect

戰線	核心技術	狀態
① 水平互連 2.5D	有機基板→RDL→矽橋→矽中介層 (CoWoS-S/R/L、EMIB/EMIB-T、FOCoS)	量產主戰場
② 垂直堆疊 3D	μbump+TCB → 混合鍵合 (SoIC、Foveros、X-Cube)	放量起點
③ 光互連	CPO / COUPE 光引擎、光子中介層	2026H2 量產
④ 記憶體整合	HBM4 / 客製 HBM、memory-on-logic、3D SRAM	2026-27 世代交替

電怎麼進 Power In

戰線	核心技術	狀態
⑤ 垂直供電 VPD	背面供電 BSPDN、IVR、嵌入式基板、深溝槽電容、power module 上背面	2026-28 導入

熱怎麼出 Heat Out

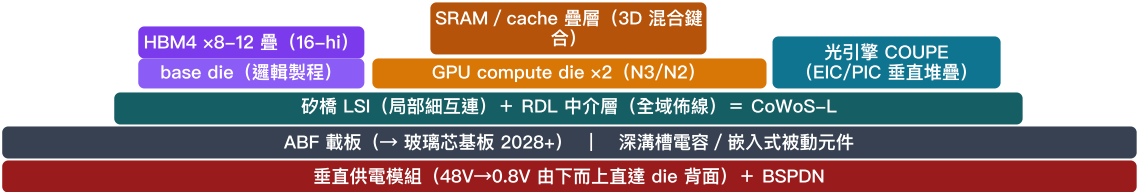
戰線	核心技術	狀態
⑥ 晶內散熱	lidless、LM TIM、晶內微流道 (μchannel)	實用化訊號出現

載體怎麼變 Substrate & Scale

戰線	核心技術	狀態
⑦ 面板化 / 大尺寸	FOPLP 600x600、CoPoS 310x310、WMCM、SoW-X	2026-29 分批落地
⑧ 基板革命	Glass Core / TGV / 銅柱巨量轉移；HDI芯 / 陶瓷芯；CoWoP 去基板化 (NVIDIA 意向)	設備先行、HVM 2028+；CoWoP 可行性未定

戰線互鎖：面板化解決大尺寸經濟性 → 玻璃解決大尺寸翹曲 → 微流道解鎖 3D 堆疊熱預算 → VPD 解鎖千瓦供電。單一戰線的時程遞延會連鎖影響其他戰線。

一顆 2027 世代 AI 加速器的解剖（各戰線在封裝內的位置）



頂部：lidless + LM TIM + (2028+) 晶內微流道直達矽冷卻。整個封裝 2027F 達 ~9x reticle、功耗多千瓦級。

水平互連光譜：密度與成本的四段階梯

die 對 die 水平互連不是單一技術，而是一條「線寬密度 × 成本」光譜——選哪段取決於頻寬需求與 SerDes 取舍。

結構	線寬 L/S	原理與強項	弱點	代表平台 / 用途
有機基板直連	~10μm+	最便宜；厚銅 + 低損耗介電，單 lane SerDes 傳輸品質好	密度最低，beachfront 頻寬不足	一般 MCM、低成本 chiplet
RDL 中介層	~2μm	無 TSV、無矽損耗；SerDes 場景每 lane 可勝過矽橋（介電 Dk 2.9–3.3）	密度中等；SAP 製程 2μm 是經濟極限	CoWoS-R（網通 switch 首選）、FOCoS
矽橋 bridge	sub-μm	只在 die 交界局部放小矽片；每 mm beachfront 走線 10x+，並列慢 lane 免 SerDes、pJ/bit 最低	橋對位 / 組裝良率是新瓶頸；翹曲	CoWoS-L 的 LSI、Intel EMIB / EMIB-T、FO-EB
全矽中介層	sub-μm 全域	全面積細線 + TSV；密度天花板	最貴；尺寸受晶圓 / 良率限制，大封裝時代被 -L 取代	CoWoS-S（Google TPU 仍用）

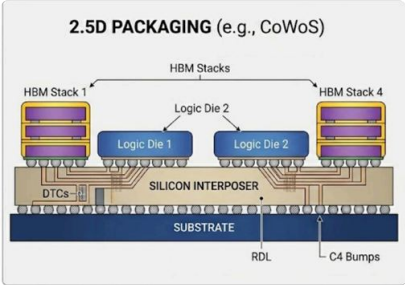
「矽橋比 RDL 快嗎」——正確的拆法

▶ 每 lane 速度：RDL 可以更快。厚銅 + 低損耗有機介電 + 無矽基板損耗，SerDes 訊號完整性更好——這是 CoWoS-R 吃網通案子的原因。

▶ 總頻寬：矽橋壓倒性勝出。sub-μm 線寬讓單位 beachfront 走線數 10 倍以上，用大量並列慢 lane（免 SerDes 化）達到最高 aggregate BW 與最低每 bit 能耗。

▶ 結論：GPU↔HBM 這種「超寬並列匯流排」場景必然走橋；跨封裝 / 網通「少 lane 高速」場景 RDL 更划算。

2.5D PACKAGING (e.g., CoWoS)



2.5D 封裝標準解剖（CoWoS 型）：HBM 疊與 Logic die 並列於矽中介層上，中介層下經 RDL / C4 bumps 接載板，旁置 DTC 深溝槽電容。走線密度階梯：有機基板 1x → RDL ~5x → 矽橋 10–15x → 混合鍵合 100x+。

來源：富果研究《先進封裝 SoIC 產業》2026–06–20

結構選擇 = die 擺放策略

▶ 相鄰 = 頻寬：beachfront 是預算，最吃頻寬的 die 對必須相鄰（GPU↔HBM）。

▶ 熱佈局悖論：HBM 怕熱卻必須貼著 700W GPU——散熱戰線因此被互連戰線鎖死。

▶ chiplet 不是越多越好：切 die 是對良率 / reticle 的讓步；組裝良率相乘、NUMA 成本真實存在。原則 = 「滿足約束的最少切割數」。

RDL 中介層：材料、製程與 2 μ m 極限的由來

RDL = 在感光介電材料上用半加成法 (SAP) 逐層長出的銅佈線。它的極限不是物理，是「厚膜微影 + 電鍍」的經濟學。

SAP 半加成法單層流程 (每層重複，典型 3-6 層)



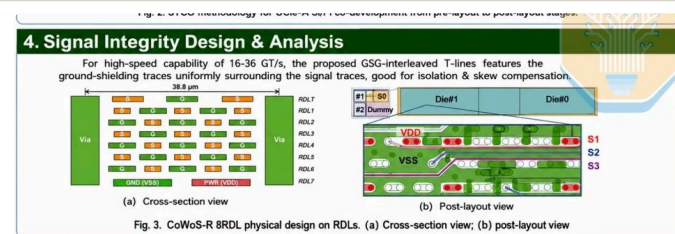
每層都要固化烘烤 → 固化收縮應力逐層累積 = 翹曲主因；chip-first 流程熱預算 $\leq \sim 230^{\circ}\text{C}$ ，驅動低溫固化 PID 材料競賽。

微影：用光刻、但離 EUV 十萬八千里

- ▶ i-line (365nm) 步進機為主力，2 μ m 綽綽有餘；sub-1 μ m 才動用 KrF。封裝曝光機重點是大焦深（翹曲表面對焦）與 die-shift 動態對位補償，不是解析度。
- ▶ 面板級走 LDI 雷射直寫（免光罩、逐 die 補償）；台灣新兵微影半導體（未上市，LED 冷光源 stepper + 高焦深鏡頭，能耗 1/100，2027 擬興櫃）。
- ▶ 設備商：Canon / Nikon (i-line 二春)、Onto、Ushio、EVG/SUSS；LDI：Orbotech(KLA)、台廠志聖(2467)、川寶(1595，另建 TGV 代工線)。ASML 在此戰場缺席。

材料：日系寡占 + 台廠切入點

- ▶ 感光介電 PID (PI/PBO)：HD Microsystems、Toray、Fujifilm、Asahi Kasei、JSR 寡占；台廠達興材料(5234)、永光(1711)、長興(1717)以正型 PSPI 卡位。
- ▶ 2 μ m 是 SAP 的地板：再細要走 damascene (SiO₂ + CMP + fab 級微影) —— panel 級 RDL damascene 化 (1/1 μ m) 已在 ECTC 出現，是 CoPoS 前置技術。
- ▶ 配套：長興 LMC 液態封裝膠 (WMCM 獨供)、EMC 模封 (Sumitomo Bakelite)。



CoWoS-R 的 8 層 RDL 實體設計 (創意電子 GUC, ECTC 2026)：左為剖面——GSG 交錯遮蔽走線 (38.8 μ m 節距組)，右為 post-layout 實圖；16-36GT/s 高速能力靠接地遮蔽包圍訊號線達成。來源：SemiAnalysis ECTC 2026 綜述 (2026-07-02)

投資判讀

- ▶ chip-last 是跨客戶趨勢 (Apple WMCM、AMD Medusa 傳轉 FOPLP) → RDL 層數×線距升級：塗佈 / 烤箱 (群翺 6664、志聖 2467)、濕製程 (弘塑 3131)、壓膜 (長廣 7795)。
- ▶ cHBM 以有機 RDL 替代矽中介層的示範 = CoWoS-R / panel RDL 長期利多；應力 / 翹曲檢測是隱形需求。

矽橋家族：LSI vs EMIB，與 EMIB-T 的正面挑戰

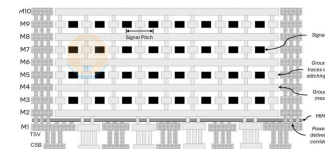
「矽橋」是一類技術：一小片帶 sub- μm 細線的矽，只放在 die 交界處。差別在於橋埋在哪裡——這決定了整個平台的成本結構與供應鏈。

TSMC 路線：LSI（橋埋在 RDL 中介層裡）



- ▶ = CoWoS-L：RDL 管全域、LSI 橋管 die 交界局部細線——兩者優點合體，已是 NVIDIA Rubin / Blackwell 主流平台（2027 CoWoS-L 910k 片給 NVIDIA）。
- ▶ 可放大到多 reticle 尺寸，不受矽中介層晶圓限制。

Intel 路線：EMIB（橋埋在有機基板裡）→ EMIB-T



EMIB-T 橋的 10 層金屬剖面（Intel，ECTC 2026）：M1-M10 訊號+接地網格，底部 MIM 電容與 TSV 供電走廊——橋不只傳訊號，也讓電從底下穿過去。來源：SemiAnalysis ECTC 2026 綜述

- ▶ 省掉整層中介層、成本更輕；ECTC 12 篇論文：36/35 μm pitch @2 $\times$ reticle 驗證、年底 4.5 $\times$ 認證；TSV 供電壓降 -68~80%、MIM 電容 PDN 阻抗 -82%；Intel 宣稱可支援 12 $\times$ reticle=CoWoS-L 替代方案。
- ▶ JPM SBR (07-21)：銲接可靠度 / 翹曲優於 CoWoS/CoPoS；量產化是關卡——組裝授權外包 Amkor；Broadcom/Google 表態興趣。

投資判讀：EMIB-T 是 CoWoS 最可信的替代路線

- ▶ 與 Google TPU v9 (Humufish) 2027 導入傳聞相互印證——MTK 約 400k 顆 2nm TPU v9 走 Intel EMIB-T (MS)。Intel 產能優先序：內部產品與 Google/MediaTek TPU，2028 恐受資源限制 (UBS)。
- ▶ 瓶頸換位：橋本身已不是問題，微縮限制轉為 bump 成形 / 置件精度 / 組裝良率（載板段良率僅 20~50%）→ 這是設備與 OSAT 的機會：置件 ASMPT、固晶 Toray→均華(6640) 替代、塗佈群翊(6664)、濕製程敘豐(3485)、壓膜長廣(7795)。
- ▶ 良率反噬產能：EMIB-T 每條產線 capex 2 倍於一般載板+低良率= ABF 產能被技術性吃掉——ABF 結構性緊缺論的技術面佐證，利欣興(3037) (EMIB-T 載板核心+自家無中介層矽橋論文)、南電(8046)、景碩(3189)；力積電(6770) 矽電容為 EMIB 關鍵元件（已認證出貨，董座稱 EMIB 無其矽電容不成）。
- ▶ quarter-panel 現場翹曲嚴重=大封裝時代翹曲控制 / 檢測設備長期需求訊號。

橋家族名詞速查

名稱	誰家	橋埋在哪
LSI	台積電	RDL 中介層內 (CoWoS-L)
EMIB	Intel	有機載板腔體內
EMIB-T	Intel	同上+橋內 TSV 供電
FO-EB	日月光/SPIL	fan-out 模封層內
無中介層矽橋	欣興 (論文)	直接埋載板——載板廠向上做架構



Intel 240 $\times$ 240mm quarter-panel EMIB-T 載具實照——現場翹曲嚴重=翹曲控制/檢測設備的長期需求訊號。來源：SemiAnalysis ECTC 2026

CoWoS-S / R / L：平台分工與產能軍備競賽

CoWoS 是水平互連光譜的「產品化」：-S 全矽、-R 全 RDL、-L 混合。產能數字是整條 AI 供應鏈的總開關。

平台	中介層	定位	2027 主要用戶
CoWoS-S	全矽中介層 + TSV	密度天花板、尺寸受限	Broadcom/Google TPU v7/v8 (365k)、MTK TPU v8t (~3.6mn 顆)
CoWoS-R	全 RDL (無 TSV)	低損耗、SerDes 友善、便宜	NVIDIA Vera CPU (130k；5.75mn 顆)、網通 switch
CoWoS-L	RDL + LSI 矽橋	大尺寸 + 局部高密度 = 主流	NVIDIA Rubin/Ultra (910k)、AMD MI455/MI450 (240k)、Maia 300
WMCM	RDL 平面互連 (wafer 級)	消費電子多 die (Apple A20)	GS 已併入 CoWoS 口徑 (280kwpm 含 WMCM)

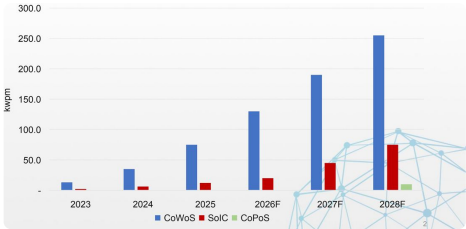
券商口徑注意：MS 占比分母 = 全球需求 2,694k (含非台積電)；野村分母 = TSMC 產出 1.8mn。共同點：Google TPU 2027 增速最快、聯發科(2454)為最大台股槓桿、CPU 大量吃 2.5D。

執行風險 (JPM SBR 獨立訪查 07-21)：CoWoS-S 實務上限 3.3x reticle (interposer 放大→翹曲→銲接可靠度掉)；CoWoS-L 官方路線 (2026 年 12 月) 係 2.5D 堆疊，但 2027 年 12 月 5nm 量產將

產能三方追蹤 (kwpm，end of year)

	2026	2027	備註
TSMC	130	180→280	GS 7 月再上修 (含 WMCM)；AP7 擴產、Fab 15A 轉 interposer；定錨口徑 2028F 達 ~255 + SoIC ~75 + CoPoS ~10
ASE 自有	20	50	full-process CoWoS，接 AMD Venice + 加速器；定錨：2028F 總量 ~57 (-L 佔 ~50)
Amkor	20→30		聚焦 -L/-R
產業合計	160	250+	UBS：擴產快於預期 = 需求更強的領先指標

- ▶ 2027 需求 2,694k 片 (+93%)：NVIDIA 45% / AMD 20% / Broadcom 18% / MTK 7% / AWS 3%。
- ▶ 野村提醒：瓶頸轉向 WoS / IC 載板等「小元件」。



台積電先進封裝產能三分項 (2023-2028F)：CoWoS 約 13→255 kwpm、SoIC 約 2→75、CoPoS 於 2028F 首度出現約 10 (圖無列印數字，為目測對照 y 軸之近似值)。來源：群益證券 × 定錨產業筆記講座 (2026-07-08)

CoWoS 生態鏈台股 (vault 供應鏈頁全掃描)

平台/代工：

2330 台積電

3711 日月光投控(ASE/SPIL)

6239 力成

Amkor

設計需求方：

3661 世芯-KY

3443 創意電子

6643 M31

2454 聯發科

5274 信驊(BMC代理)

設備/檢測：

3131 弘塑(濕製程/underfill)

3583 辛耘

6187 萬潤(2027 CoWoS 營收占 77%)

3030 德律(AOI/X-ray)

7769 鴻鈞(handler)

6146.JP DISCO(薄化/切割)

0522.HK ASMPT

測試介面：

6515 穎威

6223 旺砂

6510 精測

2449 京元電(測試)

基板/材料：

3037 欣興

8046 南電

2383 光電

1560 中砂(CMP/再生晶圓)

5434 崇越(材料通路)

3645 達邁(PI膜)

3680 家登(載具)

2486 一詮(導線架/散熱)

HBM：

SK hynix

Samsung

Micron

垂直堆疊：互連方式的三個世代

2.5D 解決「放不下」，3D 解決「跑不快」——把資料路徑從 mm 級縮到 μm 級，能耗與延遲各降一個數量級。

三代互連（密度每代跳 1–2 個數量級）

第一代：打線 Wire Bond

die 邊緣拉金線；NAND 堆疊仍在用；密度極低、繞外部

第二代： μbump + TSV (TCB 貼合)

微凸塊 pitch $\sim 40 \rightarrow 25\mu\text{m}$ ；TSV 貫穿供訊號/電；HBM 現行主流

第三代：混合鍵合 Hybrid Bonding

無凸塊 Cu-Cu + 介電直接鍵合；pitch $6\mu\text{m}$ 量產 $\rightarrow 0.2\mu\text{m}$ 路線；SolC/3D V-Cache

垂直堆疊的五個工程難題

- ▶ TSV 代價：keep-out zone 吃主動區；晶圓薄化至 $\sim 50\mu\text{m}$ (DISCO 獨大)。
- ▶ KGD 已知良品：疊 N 顆良率相乘——上疊前 sort 價值量上升；D2W 挑好 die、W2W 良率損失大。
- ▶ 熱：疊層中間 die 散熱被堵——3D 規模上限實由散熱戰線決定（ $\rightarrow$ 微流道）。
- ▶ 翹曲 / 應力：薄晶圓 + CTE 失配；F2F/F2B 影響 TSV 數與訊號路徑。
- ▶ TBDB 臨時鍵合：薄化前先黏硬載板、完工後雷射解離——每層 DRAM 都要一輪，HBM4 12/16-hi 讓 TBDB 次數乘數爆發：**3583 辛耘(TBDB機台·台積CoWoS高份額)**

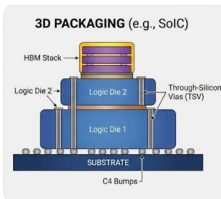
5234 達興(TBM膠/雷射釋放層已過認證)

3595 山太士(BG Tape/減黏膜)

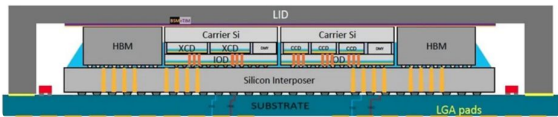
混合鍵合 pitch 路線圖 (TSMC 節奏：約兩年一世代)

節點	狀態	意義
9 μm $\rightarrow$ 6 μm	量產 (AMD MI300/3D V-Cache)	SolC-X 現役
4.5 μm	$\sim 2027-29$	3 μm vs 9 μm ：能效增益 8x、接觸阻抗 -33% (ECTC 量化錨點)
0.4 μm $\rightarrow$ 0.2 μm	2023 實驗室 $\rightarrow$ 2024 目標	逼近 BEOL 金屬層密度 = 「封裝變成製程」
200nm W2W	imec + EVG ECTC 2026	overlay $< 40\text{nm}$ ——bonder 精度成稀缺能力

2024 論文明示瓶頸轉向晶圓平坦度與 overlay——CMP 耗材與量測價值量提升的技術根源。



3D 封裝 (SolC 型)：Logic die 垂直堆疊、TSV 貫穿、頂置 HBM——資料路徑從 mm 縮到 μm 。NVIDIA Feynman/Rubin Ultra 疊 SRAM、Apple M 系列同路線。來源：富果研究 2026-06-20



AMD MI300 剖面 (首個大規模採用者)：XCD/CCD 以 SolC-X 疊於 IOD 上、兩側 HBM、下方矽中介層 (CoWoS) ——3D+2.5D 合體的「3.5D」實例。來源：富果研究 2026-06-20

混合鍵合深入:奈米級平坦度的軍備競賽

無凸塊 Cu-Cu 直接鍵合把「封裝精度」推進到「製程精度」——整條價值鏈的門檻與毛利結構因此改寫。

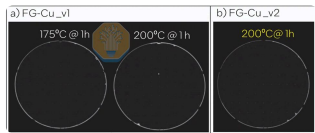
製程原理與殘酷的規格

- ▶ **流程**：兩面 SiO₂/SiCN 介電+銅 pad 經 CMP 平坦化 → 電漿活化 → 室溫貼合（介電先鍵）→ 退火（銅熱膨脹互擴散成一體）——無凸塊、無 underfill、接點即金屬。
- ▶ **平坦度規格**：介電 ~0.5nm、銅 pad ~1nm；銅 dishing 工程窗口僅 1-3nm——需多次 CMP 搭配不同銅移除率 slurry。
- ▶ **W2W vs D2W**：W2W 對位好但良率相乘；D2W 可挑 KGD 但節拍慢。SoIC 採 collective D2W——AMD 3D V-Cache 一顆產品 5 道鍵合步驟：估設備需求時「步驟乘數」比產能片數更關鍵。
- ▶ **表面潔淨的殘酷換算**：1μm 高的微粒=直徑 10mm 的鍵合空洞；需 ISO 3 以上無塵室（台積電/Intel 上到 ISO 1-2）+ 大量 CVD/PVD/CMP 前段設備——混合鍵合被歸為「前段製程」、OSAT 難切入的結構性原因；OSAT 解法是 cluster tool 設備級局部潔淨（Amkor：「一顆奈米級微粒就是死刑」）。
- ▶ **商用甜蜜點 6μm（Amkor）**：roadmap 畫到 1μm，但「6μm 會是商業可行點很長一段時間」——邏輯對記憶體 6μm 已創造足夠系統價值。材料前緣：imec Cu/SiCN 展示 400nm pitch；nanotwinned / 細晶銅降退火熱預算 20-30°C（DRAM 175°C 鍵合目標的關鍵）。

設備格局：BESI / EVG 寡占

- ▶ **BESI**（bonder 龍頭）、**EVG**（W2W 200nm 展示）、**ASMPT** 追趕——overlay 精度是稀缺能力。BESI 訂單回升=野村谷底回升路線的驗證指標。
- ▶ **概念定位（Jefferies 井上史大 07-21）**：混合鍵合不是「凸塊的下一代」，而是讓 BEOL 跨晶片延伸、消除晶片邊界——設計單位從「晶片」變成「互連層」。

台積電 SoIC 產能：2026 ~2 萬 → 2028 ~7.8 萬片/月；AP7 改以 CoWoS 為主——耗材放量有遞延風險。



Intel 細晶銅（FG-Cu）混合鍵合 C-SAM 全圖檢視：175/200°C 1 小時退火即無空洞鍵合——低溫化讓混合鍵合熱預算更友善。來源：SemiAnalysis ECTC 2026 綜述

SoIC / 混合鍵合台股：兩波受惠結構（富果 2026-06 + vault 交叉驗證）

波次	環節與標的	判讀
第一波：設備 CoWoS 已共同開發、延伸 SoIC 驗證	3131 弘塑(濕製程) 3167 大量 3535 晶彩科 7822 倍利科(檢測) 6640 均華(die bonder) 3583 辛耘	能見度較高、先反映訂單；核心 bonder 由 BESI/EVG/ASMPT 壟斷，台廠吃周邊段
第二波：耗材 量產放量後的高毛利長線	1560 中砂(鑽石碟) 7768 頌勝(研磨墊) 1717 長興(slurry) 4768 晶呈(TSV氣體) 8028 昇陽半(薄化) 6532 瑞耘·8098 慶康(保持環) 7556 意德士(FFKM密封) 4755 三福化(SoIC蝕刻液已認證/release layer 3Q26) 1773 勝一(洗淨) 6937 天虹(ALD)	CMP 耗材受惠有物理依據（1-3nm dishing 窗口=用量與規格同步升級）；HBM 20/24-hi HCB 提前導入時點

TCB 熱壓鍵合：混合鍵合普及前的產能守門員

TCB 是「製程」不是「結構」——一次一顆 die 加熱加壓貼合 μbump。它今天同時卡著 CoWoS 與 HBM 的產能咽喉。

技術要點

- ▶ **動作**：拾取 die → 對位 → 加熱（錫料熔點上下）+ 壓力 → 微凸塊回焊成柱——逐顆進行，節拍＝產能。
- ▶ **適用窗口**：pitch ~40μm 以下 mass reflow 開始失守，TCB 接手；~10μm 是 TCB 極限，再細交棒混合鍵合。
- ▶ **Fluxless 演進**：甲酸（formic acid）還原取代助焊劑——省洗 flux、避免細 pitch 殘留；HBM4 16-hi 與薄 die 疊層必要。
- ▶ **HBM 工藝之爭**：SK hynix **MR-MUF**（先貼後灌模）vs Samsung/Micron **TC-NCF**（帶膜熱壓）——16-hi 世代兩派都逼近極限，往混合鍵合收斂。

為什麼是產能守門員

- ▶ CoWoS 的 CoW 段與 HBM 疊層都靠 TCB——**bonder 台數 × 節拍直接決定 kwpm 上限**；TCB 機隊擴張是追蹤 CoWoS 擴產最硬的先行指標。
- ▶ EMIB-T / 大封裝時代 die 數上升＝**鍵合步驟乘數放大設備需求**（同一片 wafer 更多次貼合）。
- ▶ 置件精度需求（±1-2μm→sub-μm）讓設備單價與門檻同步上升。

設備格局：BESI、ASMPT（雙雄）、K&S、Shibaura、Toray Engineering；台廠**均華(6640)**切入 Toray 替代窗口（die bonder/sorter 規格升級）、**梭特(6812)** sorter、**鴻勁(7769)**測試 handler 隨多 die 封裝量升級。

TCB → 混合鍵合交接時間表

期間	主導	訊號
2025-26	TCB 全盛	HBM4 16-hi、CoWoS 擴產 → bonder 出貨創高
2027-28	並行	SolC 放量、20-hi HBM 混合鍵合導入
2029+	混合鍵合為主	sub-10μm pitch 全面化；TCB 退守中階

投資意義：TCB 設備股的成長曲線與混合鍵合導入速度負相關——BESI 同時卡兩邊（TCB + HB 龍頭）是最無時程風險的部位。

HBM4 與客製 HBM：記憶體整合重畫價值鏈

HBM4 把介面翻倍、base die 換成邏輯製程——「記憶體」與「邏輯」的產業邊界正在封裝裡溶解。

HBM4 規格躍遷

- ▶ **2048-bit 匯流排**（HBM3e 的 2 倍）、每疊 ~3TB/s；I/O 倍增 + 提速 → 對中介層層數需求 5×、功耗 5.6×（HBM4E）——強化 CoWoS / 中介層緊缺敘事。
- ▶ **base die 改邏輯製程**：SK hynix + 台積電「One-Team」拿下 NVIDIA Vera Rubin ~70% 訂單；Samsung turnkey（自家 4nm base die）；Micron 自研。
- ▶ **16-hi 疊層**：TC-NCF vs MR-MUF 之爭 → 20/24-hi 轉混合鍵合（熱阻 -19~29%）。

客製 HBM（cHBM）：JEDEC 邊界鬆動

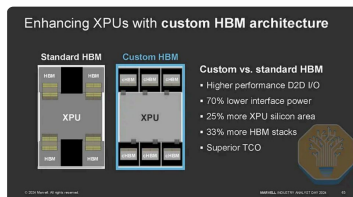
- ▶ Marvell cHBM：base die 先進邏輯製程、host PHY 面積省 60%、4.1TB/s；NVIDIA Feynman 已確認採用；Rubin 約 16% die 面積花在 HBM 邏輯——搬進 base die 就是遷地於運算。
- ▶ **台積電是天然受惠者**：base die 代工 TAM + GPU wafer 價值上升，雙重加分。
- ▶ cHBM 示範用有機 RDL 中介層替代矽中介層——CoWoS-R / panel RDL 長期利多。

更遠的整合方向

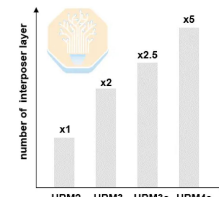
- ▶ **Memory-on-Logic**：DRAM 直接疊上運算 die（記憶體牆的終極解）；TSMC 官方框架三分法：Near-Memory 2.5D（CoWoS） / On-Die SRAM / Memory-on-Logic 3D（SoIC）。
- ▶ **MS「記憶體創新六向量」（07-20）**：製程 / 設計 / 封裝導入（HBM4·cHBM·WoW） / 周邊（MRCD/MDB·CXL） / PIM-CIM / 材料（MRAM）——HBM 外創新 TAM 2030 base ~\$23bn、bull ~\$41bn，**矽電容（SiCap）為獨立分項**。
- ▶ **替代警訊：Qualcomm HBC（AI250）**：LPDDR 多層堆疊放 2D 有機基板、不用 CoWoS，每卡 133TB/s——推論端「DDR×3D 堆疊、去 HBM 化」若擴散，將稀釋 CoWoS/HBM 綁定敘事。
- ▶ **記憶體三雄判讀**：cHBM 提高 base die 價值、但讓部分價值給邏輯代工——**中性偏正**。

觀察指標

- ▶ **Feynman cHBM base die 代工歸屬**→ 邏輯代工 TAM 增量驗證。
- ▶ HBM4 認證與三雄份額；20-hi 混合鍵合導入時點（中矽/勝一/天虹 HCB 鏈提前受惠）。
- ▶ 2027 HBM 需求 51bn Gb 兌現度——決定 TCB/CoWoS 設備鏈的量。



Standard vs Custom HBM 佈局（Marvell）：cHBM 讓介面功耗 -70%、XPU 面積 +25%、HBM 疊數 +33%。來源：SemiAnalysis ECTC 2026 綜述（Marvell 資料）



HBM 世代 vs 中介層層數（Samsung）：HBM2 x1 → HBM4e x5——I/O 倍增直接墊高中介層需求。來源：同左

面板化：FOPLP、CoPoS 與 WMCM——尺寸經濟學

封裝面積 7 倍化撞上圓晶圓的幾何浪費——方形面板是「單位面積成本」的結構性解，代價是翹曲與良率。

FOPLP 扇出面板級

- ▶ ASE VIPack 600×600mm 2026 投產——面積 $\approx$ 12" 晶圓 5 倍、邊緣浪費大減。
- ▶ chip-first 痛點：die shift / warpage $\rightarrow$ **Adaptive Patterning (LDI 逐 die 補償) + Balance Film 應力平衡膜**（每片耗材、配方與客戶 recipe 深度綁定＝類獨佔）是良率雙核心。
- ▶ AMD Zen 6 Medusa 傳轉 chip-last FOPLP（力成 6239）——台積電外替代鏈成形。
- ▶ 「第二波」的工程現實（SemiEng 06–29）：面板不是工程成熟了、是晶圓經濟撐不住了——panel 級 TBM 厚度變異直接傳導成薄化不均、RDL 光阻 $2\mu\text{m}$ 以下要換材料、玻璃載板重複使用邊緣崩缺 $43\mu\text{m}$ 韌性下降＝**載具重用篩檢是新缺口**。
- ▶ 台股：3711 日月光 6239 力成

3595 山太士(平衡膜·與辛耘·新群設備同盟)

CoPoS（台積電面板路線）

- ▶ 310×310mm 方形 carrier，2027 試產、2029–30 量產——高階 CoWoS 的面板化版本。
- ▶ 前置技術：panel 級 RDL damascene 化 ($1/1\mu\text{m}$ ，Resonac/ASE ECTC 已展示 320×320/600×600)。
- ▶ 設備與 CoWoS/SolC/FOPLP 高度重疊（濕製程/AOI/CMP/PVD/電鍍）——**CoPoS 是既有設備股的「再加一層 option」，不是全新供應鏈**。
- ▶ 時程彈性（JPM SBR 07–21）：可能照 TSMC 計畫、也可能延遲最多約 2 年——但延遲可用擴 CoWoS 產能對沖，對 TSMC 是「相對可控」的選項；設計規模正走向數十 reticle（42 reticle $\approx$ 100×150mm 已入 panel 領域，Synopsys）。

WMCM（Apple 驅動的第二引擎）

- ▶ InFO–PoP $\rightarrow$ 多 die 並排 + RDL 平面互連：解 2nm 世代散熱；A20 2026 秋新機放量。
- ▶ 產能爬坡：2025 年底 1 萬 $\rightarrow$ 2026E 7.5 萬 $\rightarrow$ 2027E 12.5 萬 $\rightarrow$ 2028E 14.5 萬片/月；InFO 同步歸零（AP3 改造 + 嘉義 AP7 P1）。
- ▶ 非 AI 分散：受惠名單與 CoWoS 重疊但驅動是 iPhone——第二引擎也是獨立下修風險。
- ▶ 長興(1717) LMC 液態封裝材獨供：2Q26 銷量翻倍、4Q26 佔營收 4–5%——WMCM 放量最硬的旁證、月營收可當高頻溫度計。

WMCM / 面板化台股受惠段（挑「規格升級段」，不是全流程等比放大）

1717 長興(LMC獨供·證據最硬)

6640 均華(die貼裝精度/KGD sorter)

2467 志聖(PSPI無氧固化烤箱/真空壓膜)

3131 弘塑(濕製程)

3583 辛耘

7769 鴻動

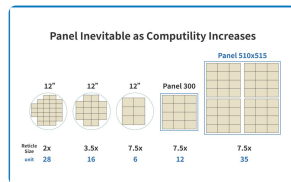
2360 致茂(AOI/metrology)

6187 萬潤(CoWoS含WMCM口徑上修)

6937 天虹(面板級PVD/ALD 二三號機)

2464 盟立(panel handling/OHT·CoWoS/CoPoS/CoWoP 多線並進)

驗證節點：AP7 P1 tool move-in、2026 秋 iPhone 拆解（A20 是否 WMCM）、長興 LMC 4Q26 佔比兌現、InFO 產能下降斜率。



面板的幾何必然：同為 7.5x reticle 封裝，12 吋晶圓僅取 6 單位、Panel 300 取 12、Panel 510×515 取 35——封裝面積越大，方形載體的面積效率越壓倒性。來源：群益定錨講座（2026–07–08）

玻璃基板 / TGV:光環降溫,但設備先行的邏輯不變

玻璃 CTE 3-9 ppm/°C 接近矽（有機 ABF 12-20）=大面積低翹曲+低損耗+高平坦度。但 ECTC 2026 顯示 HVM 難題未解——投資要分層分時。

技術現況（ECTC 2026+JPM 逐廠盤點）

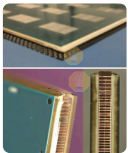
- ▶ 降溫訊號：玻璃論文變少、SeWaRe 未解；TGV 失效機制已定性（AMAT）：銅熱脹於 recess 應力集中起裂、降溫回拉成環狀裂紋；低 CTE + 低模數 liner 降應力 -60%——材料共同工程才是解法。
- ▶ 升溫訊號：Intel 展示 510x515mm 24 層玻璃 panel；台積電 CoPoS 玻璃芯確定與群創(3481)+Ibiden 共同開發（JPCA 2026，群益/JPM 雙來源互證）。
- ▶ 逐廠進度（JPM SBR 07-21）：Absolics 唯一已具量產設施、小量生產中；Ibiden/Shinko/欣興仍在開發；SEMCO+住友化學 2028 起量產打樣——2030 前量產困難（與野村/Corning 2030+ 互證）；銅柱替代見下表⑤。

玻璃六大製程 × 台股設備 / 材料全掃描（TPCA+vault）

製程段	台股	國際對手
① TGV 雷射改質	8027 鈦昇(切入Intel驗證) 8064 東捷	DISCO、Orbotech、MKS、Corning
② 蝕刻通孔	6658 聯策 2493 揚博 6405 悅城 7730 暉盛(電漿·已出貨Ibiden)	MEC、RENA、Manz
③ AOI 檢測（台廠優勢段）	3455 由田 3535 晶彩科 3055 蔚華科(雷射斷層·玻璃內部裂痕唯一解·客戶DNP/Corning/Intel)	Camtek、SCREEN、Mycronic
④ PVD 種子層	3580 友威科	Evatec、AMAT、ULVAC
⑤ 電鍍銅	3485 敘豐 + 7828 創新服務(銅柱替代)	MacDermid、UYEMURA、Atotech
⑥ CMP 研磨	5443 均豪精密	AMAT、DISCO、Okamoto
材料 / 原片	4768 晶呈(LADY乾蝕刻10:1) 1711 永光·1717 長興·5234 達興(PSPI) 4755 三福化(顯影) 1773 勝一(清洗) 3149 正達·3481 群創(玻璃加工)	原片：Corning(GLW)、AGC、SCHOTT；載板：Ibiden、Semco、DNP、Absolics

投資判讀：兩個時間尺度不要混用

- ▶ 設備商 2026-27 先行（鈦昇、群創 TGV 線訂單已確認）；載板廠玻璃營收 2028+ 遞延——同一名單不分層追，容易套在估值高點。
- ▶ 不是「玻璃股」而是「玻璃設備 / 材料股」：原片由 Corning/AGC/SCHOTT 壟斷；AOI 是台廠唯一被點名相對優勢的環節。
- ▶ 反證：BOM 降不到 \$400/片、RDL 脫層卡關、EMIB-T 排擠、Corning 續喊 2030+。



Intel 510x515mm 24 層玻璃芯 panel + TGV 剖面。來源：SemiAnalysis ECTC 2026

載板戰場：Core 材料四路線、T-glass 缺口與 CoWoP 去基板化

封裝巨大化把壓力傳導到最底層的載板——core 材料選型、玻纖布供給與「乾脆把載板做掉」的 CoWoP，三個層次同時開打。（本頁主要依 JPM SBR 研討會 07-21+ 元富 / 群益 07 月報告）

Core 材料四路線（ABF 載板核心層）

路線	現況	瓶頸 / 觀察
有機芯（現役主流）	chiplet 化 + 封裝放大推升大尺寸需求	CTE 失配→組裝翹曲 / 鐳接失效；低 CTE 高剛性是設計核心
玻璃芯	Absolics 唯一小量產	2030 前量產困難（見前頁）
HDI 芯	評估中（~8 層 HDI 替代 2 層 CCL core）	較易沿用 PCB 技術；Ibiden / Shinko 均尚無法生產
陶瓷芯	80-90 年代技術重新受關注	鑽孔與 ABF 接合未解；玻璃延宕下的備援選項

鑽孔設備：低 CTE 高剛性 = 材料更硬——Union Tool 為硬質材料微孔加工獨走（JPM）。

玻纖布與載板的漲價循環

- ▶ **T-glass 缺口至 2H27（元富）**：Nittobo 漸進式擴產 + 新供應商加入後才緩解；JPM 稱高階 T-glass **Nittobo 實質唯一**（台玻技術追不上）vs 群益稱**台玻高階市佔已 40%**（僅次 Nittobo 50%）——兩口徑並列待驗證。
- ▶ **漲價節奏**：1H26 載板每季個位數%（僅轉嫁原料）→ **2H26 預期擴大至每季 ~15%**（元富）；富喬 06-26 E 布調漲 30%、建滔 CCL 07-06 再漲 10-15%。
- ▶ **景碩(3189) 積極擴產**：ABF 月產能 4,000 萬顆 → 2027 5,000 → 2028 6,500 → **2029 8,000 萬顆；新增產能設備投資由 AI 客戶出資**——需求能見度看至 2029 的最強旁證；CPU 載板（Hybrid T+E 布）為市佔亮點。

CoWoP：乾脆把 ABF 載板做掉（NVIDIA 意向）

- ▶ **結構**：GPU + HBM 的 interposer **直接貼裝在 SLP（基板等級 PCB）上**，取消獨立 ABF 載板——縮短訊號路徑、散熱彈性、降成本；NVIDIA 並意圖**降低對日系基板廠依賴、轉用台灣 / 中國 PCB 鏈**。
- ▶ **量產門檻**：SLP 線寬需 **≤10μm**（現行 15-20μm）；PCB 加工精度 / 良率 / 覆晶貼裝、晶片端 bump 規則需重設計 = 與現行 CoWoS 難共用。
- ▶ **可行性存疑（JPM SBR）**：NVIDIA 資源優先給 Feynman 世代、平行開發 CoWoP 餘力有限；多份報告供應商欄位仍是問號——高度不確定的早期題材。
- ▶ 受惠假設若成立：**4958 臻鼎(SLP/mSAP 經驗)** **3037 欣興**；被替代方 = 日系 ABF 廠（Ibiden/Shinko）。

投資判讀：載板層的主旋律是「巨大化 + 高剛性化」——reticle 5.5x→9.5x 對應基板 110x110→130x140mm，翹曲 / 鐳接可靠度把高剛性 core（玻璃芯、HDI芯）與 T-glass 從「備選材料」推成「必要條件」。短線吃**漲價循環 + 擴產能見度**（景碩 / 欣興 / 南電 / 台玻 / 富喬），長線押 **core 材料轉換**（玻璃鏈設備先行），CoWoP 當作「日系載板廠的尾部風險、台系 PCB 的免費選擇權」追蹤即可。

垂直供電 VPD (一) :千安培時代,電從側面進改成從底下進

AI 加速器核心電流已達千安培級 (sub-1V × 1000W+)。橫向供電的 I^2R 損耗與壓降撐不住——供電路徑必須「立起來」。

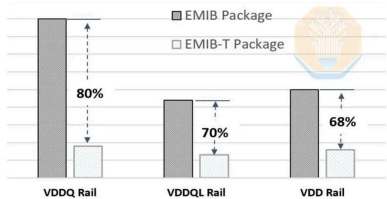
為什麼橫向供電到極限了

- ▶ **電流爆炸**：Hopper→Blackwell→GB300→Rubin 核心電流逐代上升至**千安培級**；VR 相數爆量、DrMOS 用量倍增。
- ▶ **橫向路徑的物理稅**：VRM 在 die 四周 → 電流橫穿載板數十 mm， I^2R 損耗 + 壓降 + PDN 阻抗全部惡化；板邊 beachfront 還要跟訊號搶地。
- ▶ **垂直解**：電源模組直接放 die **正下方**（載板背面）→ 路徑從 cm 縮到 mm，損耗降一個數量級、釋放板邊給訊號。
- ▶ NVIDIA Rubin 世代同步推 **800VDC 機櫃**：供電鏈從機房 (SST/HVDC) 到封裝內 (VPD) 整條重構。

四條實作路線（由外到內）

路線	內容	狀態
① 背面 power module	48V→0.8V 兩級轉換模組貼載板背面、正對 die 投影區	Rubin 世代導入中
② 嵌入式基板	電容/電感/功率晶片埋入載板 (C2iM、深溝槽電容 DTC、MIM 電容) 縮短最後一哩	量產爬坡 (恆勁 ALF/xQFN)
③ IVR 整合穩壓	穩壓器整合進封裝/die (Intel 路線)；48V 直達封裝	部分產品化
④ BSPDN 背面供電網路	製程級終局：供電網路做到晶圓背面 (Intel PowerVia 已量產 18A、TSMC A16 SPR 2026H2、Samsung SF2Z 2027) ——訊號正面、電力背面徹底分家	2026–27 量產

EMIB-T 的橋內 TSV（壓降 -68~80%）、MIM 電容（PDN 阻抗 -82%）本質上也是垂直供電工程的一環。



垂直供電的實測威力 (Intel ECTC 2026)：EMIB vs EMIB-T 封裝 DC 壓降——橋內 TSV 讓電從底下直上，VDDQ -80%、VDDQL -70%、VDD -68%。「路徑立起來」不是概念，是量測數據。
來源：SemiAnalysis ECTC 2026 綜述

一句話框架：訊號互連在「水平 → 垂直」演化 (2.5D→3D)，供電也在走一模一樣的路——**從板邊橫進，變成從背面直上**。兩者搶的都是同一個資源：die 下方與周邊的立體空間。封裝設計正式從 2D 平面配置變成 3D 體積配置。

垂直供電 VPD (二)：供應鏈與台股映射

VPD 重構的不只是技術——DrMOS 用量結構、載板價值量、被動元件位置全部重排。

板上電源現役主鏈 (Vcore VRM)

- ▶ 多相位控制器 + DrMOS：MPS 主導 (NVIDIA 參考設計多代指定)、Infineon 高階、TI/Renesas 主流。
- ▶ 國產替代：6415 矽力-KY 杰華特——已入多代 NVIDIA AI 參考設計，價格約海外 70-75%；
7712 博盛(SGT MOSFET已切入AI伺服器DC-DC/BBU)
- ▶ DrMOS/多相位 DCDC 被點名下一波漲價方向 (專家調研 2026-05)。
- ▶ 配套被動：TLVR 電感 (瞬態響應)、MLCC/聚合物鋁電容陣列去耦。

垂直化的增量環節

- ▶ 功率封裝載板 / 嵌入式基板：
 - 6920 恆勁科技 C2iM / ALF / xQFN 已量產，厚銅柱 + molding 載板可埋晶片與被動件——VPD 最直接的台股結構受惠。
- ▶ 電源模組系統：
 - 2308 台達電(SST/800VDC/±400VDC 電源櫃、板上模組)
 - 2301 光寶科 6282 康舒
- ▶ 矽電容 / iVR：6531 愛普 矽電容整合 iVR——CSP 2-3 家驗證中、結構性供不應求 (競爭：三星電機)；6770 力積電 DRAM 溝槽式矽電容已獲 Intel EMIB 認證穩定出貨 (1-2k→YE27 8-10k wfpn)，董座稱「EMIB 無其矽電容不成」；另 2303 聯電
5347 世界先進。
- ▶ 測試：2360 致茂(電源測試)；BSPDN 屬前段製程、利台積電(2330)。

投資判讀與風險

- ▶ 架構翻新是雙面刃：VPD / 48V 直達若快速普及，會重塑 DrMOS 用量結構——板邊 VRM BOM 可能縮、模組與嵌入式價值升。追 MPS/矽力的同時要追恆勁類「載板+埋入」受惠者。
- ▶ 觀察指標：矽力/杰華特在 Rubin BOM 相數佔比；恆勁 C2iM 認證；A16 SPR 2026H2 量產；800VDC 機櫃出貨 (±400VDC 可能先行)。

圖表 5：台達電 800VDC 列間電源系統



台達電 800VDC 列間電源系統 (Computex 2026 實展)：NVIDIA MGX 機櫃方案 + 800VDC in-row power——與封裝內 VPD 同一條故事的上游；機房端標的另見電力鏈 (台達電、旭隼、順德等)。來源：富邦證券 2026-06-04

供電路徑全鏈 (機房 → die)



矽電容：垂直供電的隱形地基，舊 DRAM 產能的重生

電壓調節拉進封裝 (iVR) 之後，去耦與儲能也必須跟進——矽電容是 VPD 架構的關鍵被動元件，同時讓成熟 DRAM 製程重新變成高價值產能。

為什麼 VPD 少不了矽電容（物理）

- ▶ **千安培 × sub-1V = PDN 阻抗預算極小**：板上 MLCC 距離核心太遠、迴路電感太大，高頻去耦必須貼進封裝內。
- ▶ **DRAM 深溝槽技術的密度碾壓**：力積電以溝槽式/堆疊式技術產矽電容，**電容密度達傳統邏輯廠數百倍**——同面積存更多電荷。
- ▶ **進駐位置遍佈供電路徑**：interposer 深溝槽電容 (DTC)、landside cap、嵌入式基板 IPD、iVR 儲能；EMIB-T 橋內 MIM 電容 (PDN 阻抗 -82%) 是同一邏輯的製程級版本。

供需與商業結構 (MS 2026-05)

- ▶ **結構性短缺**：MS 估 non-TSMC 矽電容缺口 2026 / 27 / 28 = **57% / 16% / 11%**——三年都補不滿。
- ▶ **長約化**：供給寡占 → 客戶鎖 2027-28 產能；SEMCO (三星電機) 傳 **W1.5 兆**矽電容長約，可能供下一代 TPU 的 EMIB-T。
- ▶ **舊產能重評價**：legacy DRAM 製程適合矽電容製造——成熟記憶體產能不再只看記憶體循環，多了 AI 封裝被動元件這條出路。
- ▶ **框架升級 (MS 07-20)**：SiCap 被列入「記憶體創新六向量」的獨立 TAM 分項 (HBM 外創新 TAM 2030 base ~\$23bn / bull ~\$41bn) ——矽電容從利基被動元件升格為券商框架上的獨立成長曲線。

台股玩家鏈（設計 → 代工 → 後段）

- ▶ **6531 愛普** 設計：S-SiCap / LSC / IPD 整合 iVR；CSP 2-3 家驗證中、放量週期 2-3 年。
- ▶ **6770 力積電** 代工：美系大客戶驗證 2 年出貨、單月破 1,000 片、備妥 8-10k 片/月；**Intel EMIB 關鍵元件**（董座：EMIB 無其矽電容不成）；MS 估占營收 2026/27/28 = 3%/5%/9%。
- ▶ **8162 微矽電子** 後段封測：單片 9 萬多顆，切割/挑揀/捲帶才是真瓶頸——後段設備交期 8-10 個月。
- ▶ **2344 華邦電** 潛在第二來源（MS 點名，PSMC 滿載下的外溢）。競爭：SEMCO。

投資判讀：矽電容不是傳統被動元件的顆數邏輯，而是「先進封裝把電源完整性功能吸進封裝內」的結構性增量——需求與 VPD / iVR / EMIB-T 導入曲線綁定。風險：各平台規格與供應商不同（台廠不必然吃到 SEMCO 合約）、封裝內 IPD 認證期長、後段產能是被低估的瓶頸。觀察：愛普 CSP 驗證轉量產時點、力積電矽電容營收占比爬坡（3%→9%）、SEMCO 合約排擠效應。

晶內散熱：微流道從論文走進機房

多千瓦封裝壓垮傳統「die→TIM→均熱片→冷板」堆疊——散熱正在往矽裡面搬，這會重分配整條散熱鏈的價值量。

近期（2026–27）：介面材料升級

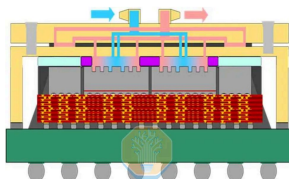
- ▶ **Lidless 無蓋化**：去掉金屬蓋、冷板直貼——少一層熱阻。
- ▶ **LM TIM 液金+HCF-TIM**：SPIL 實測 10 W/m·K + 1,000 小時 95% 覆蓋率——TIM1 加值方向。
- ▶ 台股現役散熱鏈：**3017 奇鈹** **3653 健策** **2486 一詮**——中期訂單不受影響。

終局（2028+）：微流道直達矽

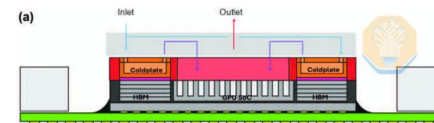
- ▶ **台積電 micropillar**：CoWoS-R 實測 4–5.3kW、過 MSL4——單封裝 5kW 的散熱解。
- ▶ **微軟 GH200 實機**：直接在量產 GPU 上蝕刻微通道，封裝熱阻 –50%；6 個月 4,370 次觀測僅 9 次疑似堵塞、無矽侵蝕——hyperscaler 已在真工作負載累積可靠度統計，不再是紙上談兵。
- ▶ 微流道解鎖的不只是單 die 功耗——3D 堆疊的規模上限由熱決定，晶內冷卻是 3D 戰線的隱形前提。

價值量重分配警訊

- ▶ 若 TIM1 被直達矽冷卻消滅，**均熱片/TIM1 貼合段價值量結構性移轉到晶圓級製程**（誰能在 CoW 後蝕刻/密封誰拿走）——利台積電/OSAT，對傳統散熱件廠是長線警訊。
- ▶ 奇鈹/健策 2028+ 的 content per package 假設需開始做敏感度分析。
- ▶ **新增隱形需求**：密封材料、氦檢防漏測試、微通道 AOI。
- ▶ 關鍵 checkpoint：微軟微流道叢集級 MTBF 數據——若過關，導入曲線快於 2028+ 基準。



直達矽冷卻封裝剖面（台積電 micropillar 型）：冷卻液直接流過矽背面蝕刻的齒狀微柱——CoWoS-R 實測 4–5.3kW、過 MSL4。來源：SemiAnalysis ECTC 2026 綜述



微軟 GH200 微流道組裝剖面：中央 GPU SoC 直接蝕微通道、兩側 HBM 仍用冷板——封裝熱阻 –50%。注意：晶內微流道不取代機櫃液冷鏈（CDU/冷板/manifold 是串聯關係），受衝擊的是 TIM1/均熱片這段介面。來源：同左

光互連進封裝:CPO / COUPE 與光子中介層

電訊號出封裝的能耗 (pJ/bit) 與距離極限，讓「光引擎搬進封裝」成為 scale-up 網路的必然——路線之爭在於光元件放哪裡。

三條路線與熱的裁決

- ▶ **COUPE 式垂直堆疊 (台積電)**：EIC/PIC 以 SoIC 鍵合、放基板側——2026H2 量產 (NVIDIA Quantum-X Photonics 交換器)；ECTC 2025 量化：鍵合密度 16x、雜散電容 -85%、同功耗速度 +170%、功耗可 -40%、額外光路插損近零 dB (Jefferies 井上 07-21 獨立佐證)。
- ▶ **光子中介層**：Lightmatter M1000 多 reticle、>95% 組裝良率、680W 熱驗證；Marvell OMIB 局部內嵌 PIC、1.8Tbps/mm²。
- ▶ **熱數據做裁決**：PIC 放基板上 +5°C vs 放中介層 +25°C——雷射/調變器怕熱，**基板側垂直堆疊勝出**=利 COUPE 路線。調變器 EAM vs MRM 之爭記錄為時程風險。
- ▶ **CPO 的本質 (井上框架)**：不是「用光取代銅」，而是砍掉 SerDes / I/O / re-timer 這些功耗大宗——關鍵指標是「對外連接能耗多低」，不是頻寬數字。投資上應以**功耗與 I/O 架構**檢驗各家方案。

時程

- ▶ **2026H2**：COUPE 量產 (交換器先行)。
- ▶ **2027+**：GPU scale-up 光互連 (NVL 世代之後)；NPO 接棒為光互連主軸論 (SemiAnalysis 2026-07)。
- ▶ **遠期**：光子中介層 (OMIB 等) 仍在測試載具期。

投資判讀

- ▶ 近期主線不變：**COUPE/CPO 測試與 FAU 鏈與既有佈局一致**——ECTC 熱數據強化而非改變這條線。
- ▶ 光引擎解掉「訊號出封裝」後，beachfront 從 SerDes 解放給 HBM/橋——**光互連是水平互連戰線的減壓閥**。

台股 CPO 供應鏈 (vault 標籤全掃描)

封裝/代工：2330 台積電(COUPE) 3711 日月光 6451 訊芯-KY(CPO封裝)

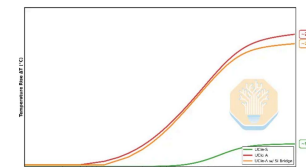
光引擎/元件：3363 上詮(FAU) 3163 波若威 3081 聯亞光電 6442 光聖 4977 眾達-KY

3105 穩懋(雷射代工) 4966 譜瑞-KY(TIA/LPO) 3008 大立光(透鏡)

測試：2360 致茂(光測試·Citi: AI 已佔營收 60%+, SLT/power/metrology/CPO 四引擎)

6515 穎威(CPO insertion) 6223 旺矽 6257 矽格(CPO 測試)

測試是放量的隱形瓶頸 (SemiEng 06-09)：一顆光引擎要 4-8 顆雷射、單模組 16-32 引擎=64-128 顆雷射源；光連接器五種對位方案無標準化=每案客製；Advantest 以「光學 load board 疊層」讓既有測試機隊升級——電+光雙域 ATE 與資料整併是從百萬顆放大到千萬顆的門檻。



「PIC 放哪裡」的熱裁決 (ECTC 2026)：光元件溫升——放基板 (UCle-S) 僅 ~5°C，放中介層 (UCle-A) ~25°C——雷射/調變器怕熱，判給基板側垂直堆疊 (COUPE 路線)。來源：SemiAnalysis ECTC 2026 綜述

系統級晶圓 SoW 與三大陣營名詞對照

SoW 是互連經濟學的極端解：整片晶圓不切了。加上名詞速查表——避免被行銷名詞迷惑，回到「結構＋製程」本質。

SoW / SoW-X

- ▶ **邏輯**：跨封裝通訊是最貴的一層（能耗 $\times 10$ /層）——干脆整片晶圓當一顆晶片，interconnect 全留在矽內。
- ▶ Cerebras WSE 先行者；Tesla Dojo 嘗試；**台積電 SoW-X 平台化**（2027+），Meta MTIA v5 傳走 SoW。
- ▶ 難題集大成：供電（千安培 $\times N$ ）、散熱（數十 kW）、良率（冗餘設計）、載具與測試全部重寫——**SoW 是所有戰線的壓力測試場**。
- ▶ 台股連動：大尺寸測試介面（穎崴 HyperSocket）、載具（家登）、大面積冷卻。

名詞對照：同一件事的三家說法（結構 $\times$ 製程 $\times$ 品牌）

結構本質	台積電	Intel	Samsung	OSAT（日月光等）
全矽中介層 2.5D	CoWoS-S	—（Foveros 底座近似）	I-Cube S	—
RDL 中介層 2.5D	CoWoS-R / InFO_oS	—	I-Cube E（RDL版）	FOCoS（chip-first/last）
矽橋局部互連	CoWoS-L（LSI）	EMIB / EMIB-T	I-Cube E（嵌橋） / H-Cube	FO-EB、S-SWIFT（Amkor）
μ bump 3D 堆疊	SolC-P	Foveros（55 $\rightarrow$ 36 μ m）	X-Cube（ μ bump 版）	—
混合鍵合 3D	SolC-X（6 μ m $\rightarrow$ ）	Foveros Direct（9 μ m $\rightarrow$ ）	X-Cube HCB、SAINT	—
2.5D + 3D 合體	3DFabric（CoWoS+SolC） =「3.5D」	co-EMIB（EMIB+Foveros）	X-Cube + I-Cube 組合	VIPack 平台
面板級 fan-out	CoPoS（310 $\times$ 310）	玻璃 panel（510 $\times$ 515 展示）	FOPLP（Semco）	ASE VIPack FOPLP 600 $\times$ 600、力成 chip-last
晶圓級系統	SoW-X	—	—	—（Cerebras/Tesla 自建）

讀行銷名詞的方法：先問「橋埋哪裡 / pitch 多少 / 凸塊還是無凸塊 / wafer 還是 panel」四個問題，即可定位任何新平台名。

台股全映射（一）：設備——先進封裝擴產的第一波

設備股受惠邏輯：tool move-in 領先量產 12–18 個月；跨戰線重疊度越高（CoWoS+SoIC+CoPoS+玻璃共用），訂單能見度越好。

標的	設備段	戰線曝險	關鍵論點 / 訂單訊號
3131 弘塑	濕製程/清洗/underfill	CoWoS · SoIC · CoPoS · WMCM	OSAT CoWoS 市占高；UBS TP 上修至 NT\$5,000；跨平台重疊度最高的一檔
6187 萬潤	點膠/CoWoS 製程設備	CoWoS（含 WMCM）	GS：2027E CoWoS 相關營收 +27%、占營收 77%
3583 辛耘	濕製程/再生晶圓	CoWoS · WMCM	玉山點名 WMCM 受惠
6640 均華	die bonder/sorter	SoIC · WMCM · EMIB–T	Toray 替代窗口；die 貼裝精度與 KGD 需求升級
2467 志聖	曝光/真空壓膜/固化烤箱	RDL · WMCM · 玻璃	PSPI 無氧固化烤箱跨平台必經段
6664 群翊	塗佈/烘烤	RDL · EMIB–T 載板	ECTC 組裝良率瓶頸=塗佈設備需求上升
3485 敘豐	電鍍	RDL · 玻璃 · EMIB–T	濕製程電鍍自動化標竿；2026–05 興轉櫃
7795 長廣	壓膜	EMIB–T · RDL	ECTC 瓶頸換位受惠名單
6937 天虹	PVD/ALD	CoPoS/FOPLP · 混合鍵合	面板級 PVD 二/三號機進度為觀察點
3580 友威科	PVD 濺鍍	玻璃 TGV · RDL seed	玻璃孔壁種子層
8027 鈦昇	TGV 雷射改質	玻璃	已切入 Intel 驗證；設備先行邏輯的代表
8064 東捷	大尺寸雷射	玻璃 · FOPLP	面板經驗轉攻
5443 均豪	CMP	玻璃 · CoPoS	玻璃薄/脆/TTV 控制吃重
由田3455 · 晶彩科3535 · 蔚華科3055 · 德律3030 · 倍利科7822	AOI/檢測	玻璃（台廠優勢段） · CoWoS · SoIC	蔚華科玻璃內部裂痕唯一解（客戶 DNP/Corning/Intel）；德律 CoWoS X-ray/CT
聯策6658 · 揚博2493 · 悅城6405 · 暉盛7730	蝕刻/濕製程	玻璃 TGV	暉盛已出貨 Ibsiden、本業轉盈
7828 創新服務	銅柱巨量轉移	玻璃金屬化	JPM：美系 switch ASIC 獨家、GM 70%+、2H27 量產；2026H2 驗證是關鍵節點
7751 屹騰	點膠/置片貼合/TIM/Ring/Stiffener	CoWoS · 多 die 封裝	在手訂單破 50 億（一個月+10 億）、交期 >6 個月排至 1Q27；客戶矽品/日月光/力成，NVDA/AMD/Marvell/AVGO 平台通吃
7769 鴻勁 · 6812 梭特 · 3030 德律	handler/sorter/測試	多 die 封裝測試	MS OW 鴻勁；多 die=測試強度結構性上升
國際設備	BESI · ASMP(T0522.HK) · DISCO(6146.JP) · EVG · K&S · AMAT · LAM · KLA · Onto · Camtek	全戰線	hybrid bonder（BESI/EVG）與薄化切割（DISCO）為寡占咽喉；Citi（07–20）：ASMP=後段 AP capex 超循環核心（TCB for HBM+CoW），TP HK\$250@40x 2027E

台股全映射（二）：材料耗材——量產後的高毛利長線

材料受惠邏輯：認證期長、黏著度高、放量後毛利結構優於設備；但時點依賴量產兌現——「材料比設備先給答案」（長興 LMC 案例）。

標的	材料段	戰線曝險	關鍵論點
1717 長興	LMC 液態封裝膠/PSPI/CMP slurry	WMCM（獨供）· RDL · 玻璃 · SolC	LMC 2Q26 翻倍、4Q26 佔營收 4–5%、毛利上看 50%——本簡報中證據最硬的材料放量
1560 中砂	CMP 鑽石碟/再生晶圓	SolC · 混合鍵合 · CoWoS	1–3nm dishing 窗口=用量與規格雙升；HBM HCB 提前導入
7768 頌勝	CMP 研磨墊	SolC · CoPoS	第二波耗材核心
4755 三福化	顯影/蝕刻液/release layer	SolC（已認證、AP6 出貨）· 玻璃	release layer 3Q26 放量；富果名單外的補充線
4768 晶呈	TSV/TGV 特用氣體 · LADY 乾蝕刻	SolC · 玻璃	深寬比 10:1；與蔚華科合作 TGV
5234 達興	正型 PSPI / TBDB 臨時鍵合膠 + 雷射釋放層	RDL · 玻璃 · 3D 薄化	TBM 膠已過晶圓代工龍頭認證放量——打破 3M/Brewer Science 壟斷
3595 山太士	Balance Film 平衡膜 / BG Tape / 減黏膜	FOPLP · TBDB	每片耗材高汰換；配方綁客戶 recipe = 類獨佔；與辛耘/新群設備同盟
1711 永光	光阻/PSPI	RDL · 玻璃	Glass Core 認證進度為觀察點
1773 勝一	封裝清洗劑	玻璃 · 混合鍵合	HCB 潔淨度前段化受惠
8028 昇陽半	晶圓薄化服務	SolC · 3D	~50μm 薄化為 3D 必經
瑞耘6532 · 慶康8098 · 意德士7556	CMP 保持環/FFKM 密封	SolC	官網查證分工：保持環=慶康/瑞耘；意德士=密封環/真空吸盤
3645 達邁	PI 膜	CoWoS	—
5434 崇越 · 3680 家登	材料通路/載具	CoWoS · SoW	家登大尺寸載具隨 interposer 放大
3037 欣興 · 8046 南電 · 3189 景碩 · 4958 臻鼎	ABF/IC 載板	EMIB–T · CoWoS · 玻璃(2028+) · CoWoP	EMIB–T 良率反噬產能=ABF 結構性緊缺；2H26 載板漲價擴至每季 ~15%（元富）；景碩 ABF 4,000→8,000 萬顆/月(2029)、設備由 AI 客戶出資；臻鼎/欣興 = CoWoP 若成立的 SLP 選擇權
1802 台玻 · 1815 富喬	玻纖布（T 布/E 布）	ABF 載板上游 · CCL	T–glass 缺口至 2H27；台玻「高階市佔 40%」主張（群益）vs JPM「Nittobo 實質唯一」並列待驗證；富喬 06–26 E 布調漲 30%——玻纖布是封裝巨大化最上游緊缺品
3481 群創 · 3149 正達	玻璃加工/TGV	玻璃 · CoPoS	群創 = 台積電 CoWoS 玻璃開發計畫確定夥伴（與 Ibiden）
國際：HD Micro · Toray · Fujifilm · JSR · Asahi Kasei / Corning(GLW) · AGC · SCHOTT / Ibiden · Semco · DNP · Absolics	PID/玻璃原片/載板	RDL · 玻璃	PID 日系寡占、玻璃原片美日壟斷——台廠打「國產替代+認證卡位」

台股全映射（三）：平台、OSAT、測試、光、電、熱

封裝平台與周邊系統環節——含垂直供電與散熱的結構性受惠/受壓標記。

環節	標的與定位	判讀
平台/代工	2330 台積電 CoWoS/SolC/CoPoS/COUPE/SoW-X/cHBM base die 全站有利位置；6770 力積電 (interposer/特殊製程)	八條戰線唯一全曝險；ECTC 揭露轉保守=追蹤靠 channel check
OSAT	3711 日月光投控 自有 full-process CoWoS 20→50kwpm、FOPLP 600×600、FO-EB、LEAP 上修； 6239 力成 chip-last FOPLP (AMD Medusa 傳聞)；2449 京元電 NVIDIA GPU+Google TPU 測試；Amkor (S-SWIFT/CoWoS 20→30k)	2027-28 起 server CPU 外溢訂單是 OSAT 增量主線 (MS OW ASE/KYEC)
設計/IP	3661 世芯-KY 3443 創意電子(UCle-A 32GT/s 驗證、MTIA) 6643 M31 2454 聯發科(TPU v8t~3.6mn顆、MS Top Pick) 5274 信驊(CPU server BMC 代理)	chiplet 化=設計服務與 IP 價值上升；聯發科為 Google TPU 最大台股槓桿
測試介面	6515 穎威(HyperSocket/CPO insertion) 6223 旺矽(探針卡) 6510 精測 6683 雍智	interposer 尺寸放大+KGD 需求=規格與單價齊升 (MS OW 穎威/旺矽)
光互連 CPO	6451 訊芯-KY 3363 上詮 3163 波若威 3081 聯亞 6442 光聖 4977 眾達-KY 3105 穩懋 4966 譜瑞-KY 3008 大立光 2360 致茂	COUPE 2026H2 量產=主線兌現第一站；EAM/MRM 路線之爭為時程風險
垂直供電	6415 矽力-KY(DrMOS國產領先) 6920 恆勁(嵌入式功率載板C2iM) 2308 台達電(SST/800VDC/模組) 7712 博盛 2301 光寶科 6282 康舒 6531 愛普(矽電容/iVR-CSP驗證中) 6770 力積電(矽電容·Intel EMIB 認證·YE27 8-10k wfpm) 2303 聯電·5347 世界先進(功率/矽電容) + MPS/Infineon/TI/Renesas	DrMOS 漲價近利多；VPD 架構翻新中期重排 BOM——同時押「現役 VRM」與「嵌入式/模組」兩端
散熱	3017 奇鋌 3653 健策 2486 一詮 + 機櫃液冷鏈	近期 lidless/LM TIM 加值；2028+ TIM1/均熱片價值量重分配風險開始建模
HBM/記憶體	SK hynix (+TSMC One-Team ~70% Vera Rubin)、Samsung (turnkey)、Micron (自研)	chBM=base die 價值升但讓利邏輯代工；中性偏正

投資結論：三個時間層、七個檢核點

2026–27：兌現層（能見度最高）

- ▶ **CoWoS 擴產鏈**：產能 160→250+kwpm、需求 +93%——弘塑/萬潤/德律/測試介面三雄/OSAT。
- ▶ **WMCM 第二引擎**：長興 LMC 為最硬指標；志聖/均華/弘塑規格升級段。
- ▶ **COUPE/CPO 量產**：訊芯/上詮/穎威/致茂鏈。
- ▶ **HBM4 世代交替**：TCB 設備（BESI/ASMPT）+ 台積電 base die。

2027–28：放量層（需驗證）

- ▶ **SoIC 耗材第二波**：中砂/頌勝/長興/三福化/晶呈——AP7 配比轉向是遞延風險。
- ▶ **EMIB–T 商業化**：TPU v9 供應鏈+ABF 緊缺論——欣興/群翊/均華/敘豐/長廣。
- ▶ **CoPoS 試產→設備再加一層 option**。
- ▶ **VPD 導入**：恆勁/矽力 Rubin BOM 佔比、A16 SPR 量產。

2028+：結構層（改變格局）

- ▶ **玻璃基板 HVM**：載板廠營收層（欣興/南電/群創）——SeWaRe 解法決定能否提前。
- ▶ **混合鍵合全面化**：sub-10μm——BESI/EVG 寡占最受益。
- ▶ **微流道**：散熱價值量移轉晶圓級——傳統散熱件長線警訊。
- ▶ **SoW 平台化**：測試介面與載具的極限規格需求。

七個跨戰線檢核點（2026H2–2027）

檢核點	驗證什麼
① Intel EMIB–T 36/35μm @4.5x reticle 年底認證+Amkor 組裝外包落地	TPU v9/Humufish 供應鏈時程；CoWoS–L 替代方案成真度；ABF 緊缺論
② 微軟微流道叢集級 MTBF 數據	散熱終局時程——決定散熱鏈長線模型
③ NVIDIA Feynman cHBM base die 代工歸屬	台積電邏輯代工 TAM 增量
④ 玻璃 SeWaRe 解法+創新服務 2026H2 銅柱驗證	玻璃層營收能否從 2028 提前
⑤ 2026 秋 iPhone 拆解（A20 WMCM）+長興 LMC 4Q26 佔比	非 AI 第二引擎兌現度
⑥ Rubin Ultra（5.5x reticle）導入評估進展（JPM：目前不順）	CoWoS–L 巨大化執行力；9.5x / Feynman 2029 時程風險
⑦ 載板 2H26 漲價兌現度（每季 ~15%）+T-glass 缺口緩解節	載板 / 玻纖布漲價循環持續性（景碩/欣興/台玻/富喬）

風險與反證條件

- ▶ AI capex 單引擎依賴：雲端資本支出下修=全部戰線同步降溫（產能數字全為券商估計、口徑分歧大）。
- ▶ 台積電法說下修先進封裝 capex、AP 廠 SoIC 配比續縮、BESI 訂單連兩季低於預期——任兩項成立即下修 3D 主線。
- ▶ 玻璃/微流道/SoW 屬 2028+ 遠期：估值提前反映、兌現遞延是常態——分層持有、按檢核點調整。
- ▶ **TBDB / 載具鏈遠期反證（Jefferies）**：若有機 RDL interposer 整合進玻璃芯基板（~2030 起），carrier glass / 臨時鍵合膠 / TMV 厚膜光阻需求恐同步縮——TBDB 乘數論 2029 前不受影響，但 2030 後要盯這條。
- ▶ 本頁數字多為券商模型（MS/GS/野村/UBS/Citi/JPM 口徑並列於 vault），引用前需回源核對。