

SolC 與垂直互連技術全景

從 9 μ m 到 4.5 μ m 的 3D 堆疊競賽

互連光譜 (C4 $\rightarrow$ μ bump $\rightarrow$ 混合鍵合) $\times$ 製程全鏈與良率機制 $\times$ 兩條 pitch 路線圖的落差 $\times$ 散熱 / 供電 / 測試三道天花板 $\times$ 台股映射

報告日期：2026-08-16

資料基礎：TSMC North America Technology Symposium 2026 (經 Tom's Hardware 報導)、BESI 2026Q2 財報新聞稿 (2026-07-23)、富果研究 (2026-06-20)、野村《Greater China Semi: A Guide to Semi Renaissance in 2026-30F》(2026-05-21)、SemiAnalysis ECTC 2026 大會綜述 (2026-07-02)、群益定錨產業筆記 (2026-07-08)、Goldman Sachs 弘塑報告 (2026-05-26)、imec/EVG ECTC 2026 新聞稿 (2026-05-28)、TrendForce (2026-03-18、2026-06-08)、Yahoo 股市法說 EPS 查證 (2026-08-16)，經整理改寫。
本報告僅供產業研究參考，非投資建議；標註「待核對」之數字僅來自單一搜尋來源，尚未取得原始出處，引用時請另行查證。

TL;DR — 五條核心判讀

- SolC 第一代 (2023, 9 μ m) 只支援 face-to-back，訊號要繞道 TSV，訊號密度僅約 1,500 signals/mm²；第二代支援 face-to-face 直接混合鍵合，密度躍升到 14,000 signals/mm²，接近「像同一顆晶片內部繞線」——這是 SolC 從邊緣走向主流的技術轉折點。
- 台積電官方口徑：SolC 3D 互連相較 CoWoS 2.5D 有 **56 倍互連密度、5 倍能效**；6 μ m pitch 已於 2025 進入量產，2029 推進到 A14-on-A14 的 4.5 μ m。
- 量產 pitch (6 μ m) 與論文 pitch (imec/EVG 200nm) 差距約 **30 倍**，且連 Broadcom 這種先行者在 Monaka 上仍保守使用 9 μ m——pitch 微縮的瓶頸已不在鍵合物理，而在 **CMP 平坦度、overlay 與良率經濟**。
- SolC 資本支出強度遠高於 CoWoS：每萬片月產能約需 68-70 億美元 (TrendForce 引述法人，2026-03-18，**待核對**)。這是設備與耗材供應鏈價值量的根本來源。
- 台廠受惠已從「名單」進入「實績」：BESI 2Q26 訂單年增 128.8%、混合鍵合客戶數半年內由 15 家增至 21 家 (**待核對**)；中砂 2Q26 EPS 創高、三福化 SolC 蝕刻液 3Q26 開始貢獻營收。

System Integration Scales AI Compute



- AI compute scaling is driven by the combination of advanced logic, SoIC 3D stacking, and CoWoS technologies
- From 2024 to 2029, AI compute transistors in one CoWoS will increase by 48X

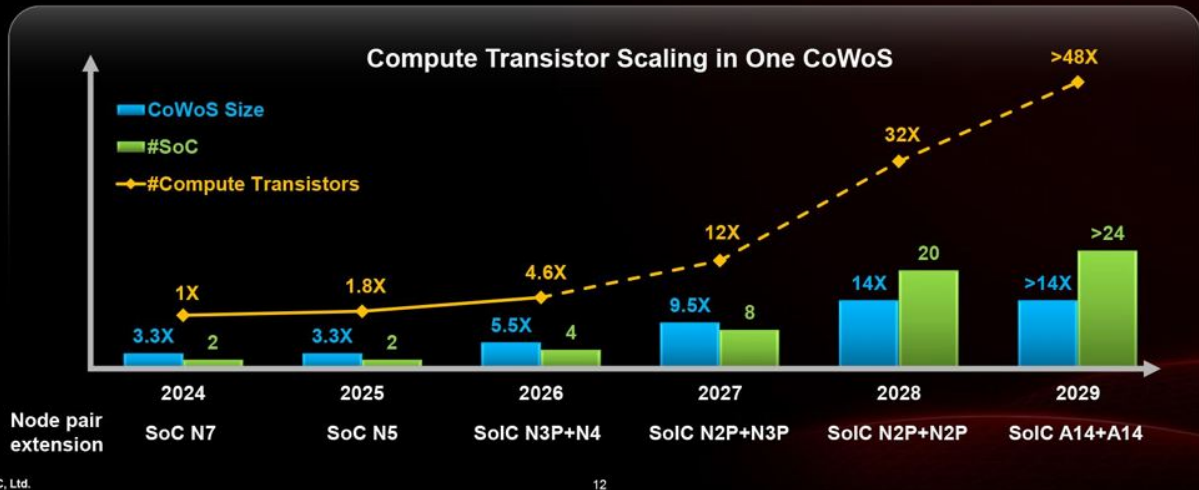


圖 0 | 台積電技術論壇揭露：單一 CoWoS 封裝內的運算電晶體數 2024→2029 將增加 48 倍。封裝尺寸倍數（CoWoS Size）從 3.3x 升至 >14x、單封裝內 SoC 顆數從 2 顆增至 >24 顆，節點組合由 SoC N7 演進到 SoIC A14+A14——SoIC 正是 CoWoS 封裝內部的算力放大器。

© 2026 TSMC (引自 Tom's Hardware 報導，2026)

目錄

- 1 為什麼一定要往垂直走
- 2 垂直互連技術全譜系：一條 pitch 光譜
- 3 貫穿型垂直通道：TSV / TGV / TCV
- 4 鍵合工法之爭：TCB vs 混合鍵合
- 5 配套層：RDL、背面供電與薄化
- 6 SoIC 三變體：X / P / MH
- 7 SoIC 製程全鏈與良率機制
- 8 兩條 pitch 路線圖的落差（核心論點）
- 9 三道物理天花板：散熱、供電、測試
- 10 應用地圖與時程
- 11 產能、資本支出與設備寡占
- 12 台股映射：從名單到實績
- 13 追蹤指標與反證條件
- 附 來源清單

第一章 | 為什麼一定要往垂直走

先進運算晶片的效能提升曲線正在被三個物理限制同時壓住，逼出「往垂直走」這條路：

- **電晶體微縮趨緩、SRAM 幾乎停止微縮。**單位面積能塞進的電晶體數成長趨緩，靠「縮小電晶體」換取算力的邊際效益快速遞減。
- **光罩極限 (reticle limit) 約 830mm²，限制單顆晶片面積。**曝光機一次曝光的最大面積就這麼大；旗艦 GPU 的 die 已逼近甚至貼死這條線，且大 die 良率隨面積近似指數衰減——面積每放大一截，缺陷命中機率就跳升一截。
- **記憶體牆疊加功耗牆。**AI 晶片每次向晶片外部的 HBM 存取，能耗與延遲都遠高於晶片內部繞線；同時整體封裝功耗已經跨過 1,000W 門檻——「資料要跑多遠」直接決定了系統能耗與散熱設計的難度。

三個限制指向同一個答案：與其把晶片做得更大、把資料送得更遠，不如把運算單元「疊」起來，讓最短的那段路徑留給高頻寬的核心資料流。垂直化帶來的效益已有四組獨立量化證據：

來源	量化效益
台積電技術論壇 (2026)	SolC 3D 互連 vs CoWoS 2.5D：56 倍互連密度、5 倍能效
Broadcom (實測, 2026)	SolC face-to-back 1,500 signals/mm ² → face-to-face 14,000 signals/mm ² ，約 9.3 倍
台積電 ECTC 2022	3μm vs 9μm pitch：能效指標 (EEP) 增益 8 倍、接觸電阻降 33%
AMD 5800X3D (3D V-Cache)	效能 +15%、互連功耗降至約 1/3；Adeia 稱效益約等於「一個製程節點」

從結構圖上看，2.5D 與 3D 的差異一目了然：2.5D (CoWoS) 把 HBM 與邏輯晶片並排放在矽中介層上，訊號要橫向繞行；3D (SolC) 把邏輯晶片垂直疊起、以 TSV 貫穿，資料路徑大幅縮短。

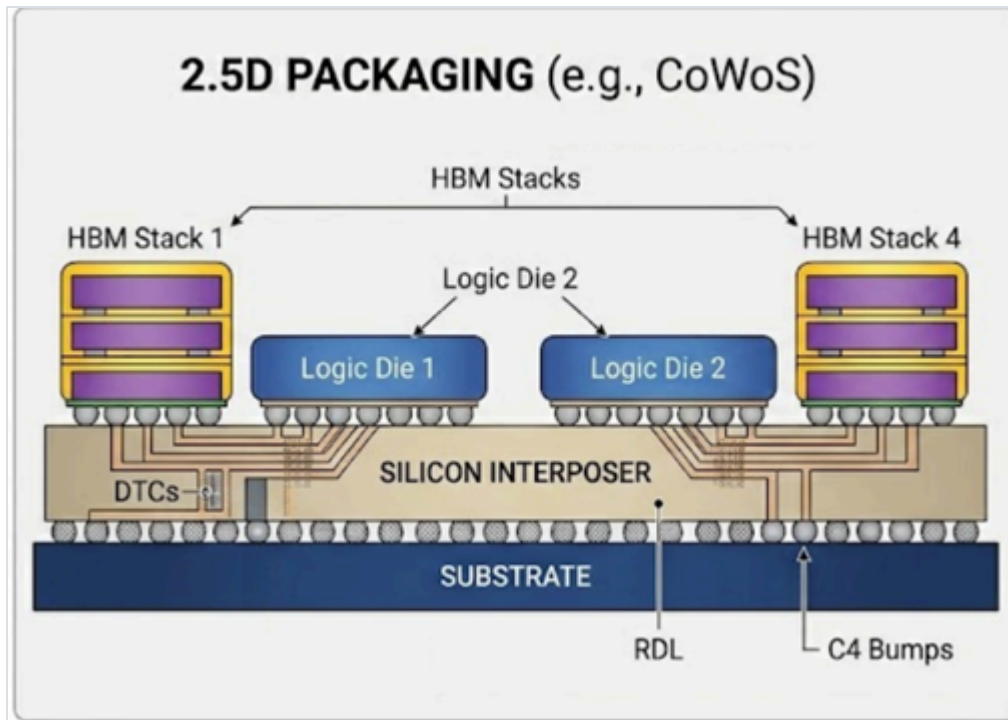


圖 1-1 | 2.5D 封裝 (CoWoS) 結構。HBM Stack 與 Logic Die 並列於矽中介層 (Silicon Interposer) 上，訊號經 RDL 橫向繞行後再經 C4 Bump 接到基板。

來源：富果研究，2026-06-20。

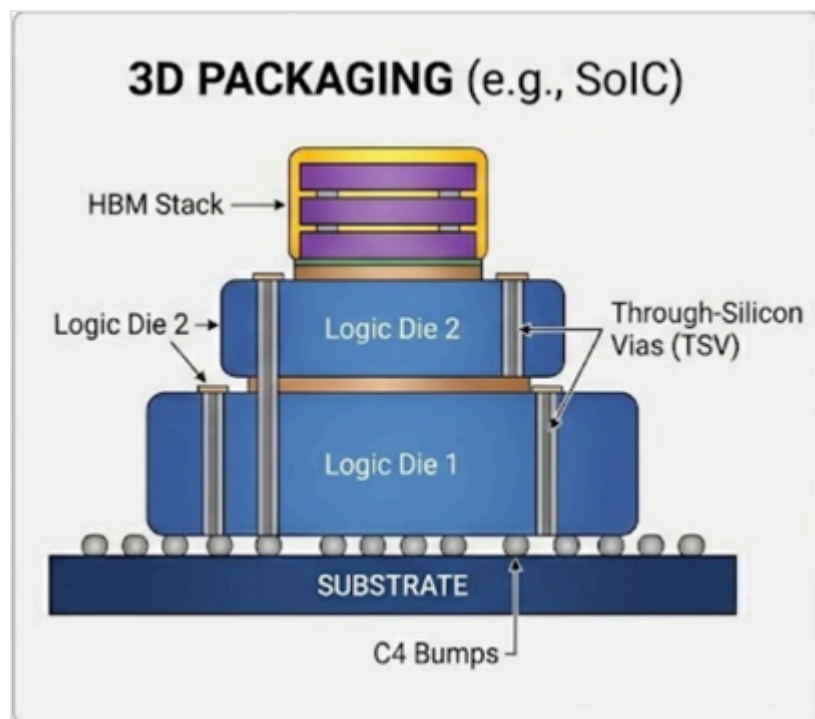


圖 1-2 | 3D 封裝 (SoIC) 結構。Logic Die 2 垂直堆疊於 Logic Die 1 之上，以 TSV (Through-Silicon Via) 貫穿，資料路徑不必再繞經矽中介層。

來源：富果研究，2026-06-20。

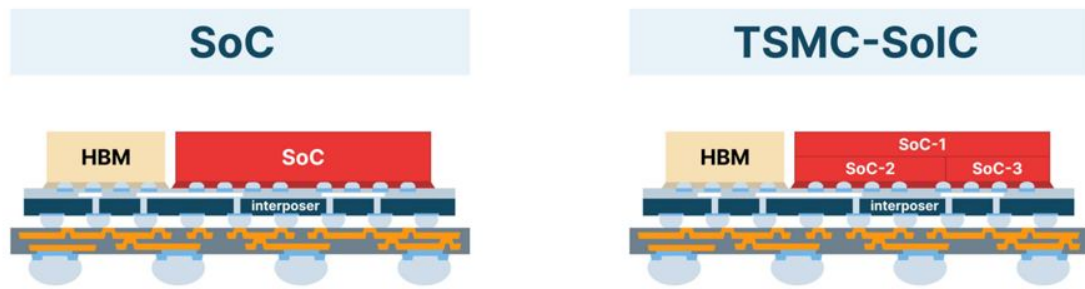


圖 1-3 | 傳統 SoC（左）與 TSMC-SoIC（右）對比。左側單一大晶片被拆成右側 SoC-1 / SoC-2 / SoC-3 三顆晶片垂直堆疊——面積問題被「拆小+疊高」同時解決。

來源：群益證券 × 定錨產業筆記，2026-07-08。

第二章 | 垂直互連技術全譜系：一條 pitch 光譜

本章是全報告的技術骨幹。把所有垂直互連技術放在同一把尺上——橫軸是接點間距（pitch），從 100μm 一路收斂到 100nm，橫跨三個數量級：

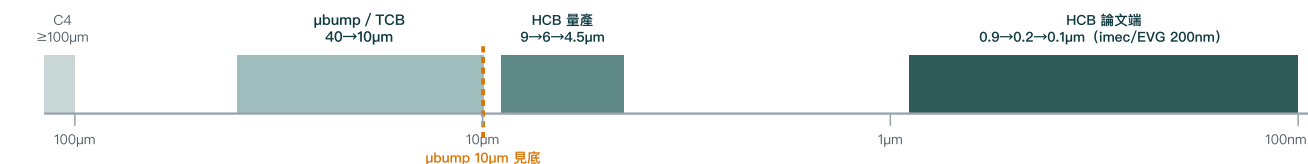
技術	典型 pitch	互連密度量級	物理特徵	主要限制
C4 bump	100–150μm	$\sim 10^2$ /mm ²	錫球回焊，封裝對基板	密度低，僅作封裝外接
μbump (TCB)	40μm → 10μm	$\sim 10^3$ /mm ²	微凸塊 + 熱壓接合	約 10μm 見底：焊料量不足、共平面度 (coplanarity) 不足、易產生空孔 (void)
VCS 銅柱堆疊	—	—	Samsung 銅柱直連路線 (ECTC 2026)	詳見庫內「技術_VCS銅柱堆疊」
混合鍵合 (HCB)	量產 9μm→6μm→4.5μm； 論文端 0.4μm→0.2μm	1.5k→14k signals/mm ² (Broadcom 實例)；論文端 ≥120 萬~625 萬 bonds/mm ²	Cu–Cu 直接鍵合 + 介電層 氧化物鍵合，無凸塊	平坦度、對位精度 (overlay)、微落塵
TSV	直徑數 μm，深寬比高	—	貫穿矽晶圓的垂直通道	佔用面積、寄生負載大，影響電晶體密度
TGV / TCV	—	—	玻璃 / 陶瓷貫孔	微裂紋 (microcrack)、金屬化良率
TCI 近場無線互連	無實體接點	—	電感耦合，無孔路線	訊號串擾 (crosstalk)

關鍵敘事：μbump 在 10μm 見底，是混合鍵合非走不可的物理原因

10μm 大約是人類頭髮直徑（約 70μm）的七分之一。μbump 再往下微縮，焊料量不足以形成可靠接點、共平面度公差被壓縮到工程極限、空孔率上升——這不是「還沒做到」，而是熱壓接合這套物理機制本身的天花板。混合鍵合放棄凸塊、改用銅與銅的原子級直接接合，才能繼續往個位數 μm 甚至次微米推進。

圖 2–1 | 互連 pitch 光譜（本報告自繪）——把上表四類主力技術畫在同一條對數尺度軸上，可以看到量產與論文端的距離：

垂直互連 pitch 光譜 (對數尺度, 100 μ m $\rightarrow$ 100nm)



(人的頭髮直徑約 70 μ m)

μ bump 撞上 10 μ m 物理底線後, 10 μ m 以下只剩混合鍵合一條路; 量產端與論文端之間仍有約 30 倍落差

本圖為本報告依規格書數據自繪, 用以呈現各互連技術 pitch 區間的相對位置, 非任一機構原始圖表。

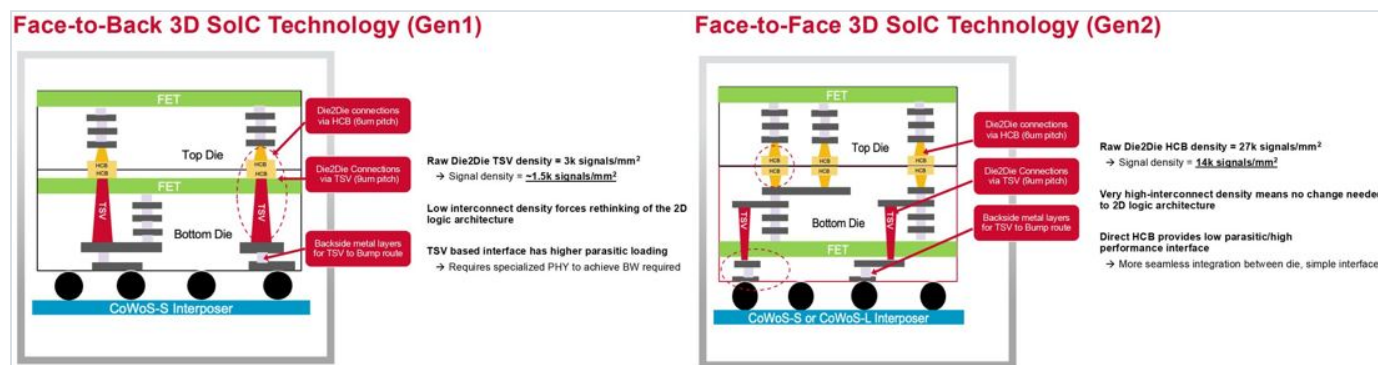


圖 2-2 | Broadcom 對 SoIC 兩代結構的量化對比。左: Gen1 face-to-back, die 對 die 訊號經 TSV (9 μ m pitch) 繞行, 原始密度 3k、有效訊號密度僅約 1.5k signals/mm², TSV 寄生負載高、需要專用 PHY 電路。右: Gen2 face-to-face, 經混合鍵合 (HCB, 6 μ m pitch) 直接對接, 原始密度 27k、有效訊號密度達 14k signals/mm², 且不需改動 2D 邏輯架構。

© Broadcom (引自 Tom's Hardware 報導, 2026)

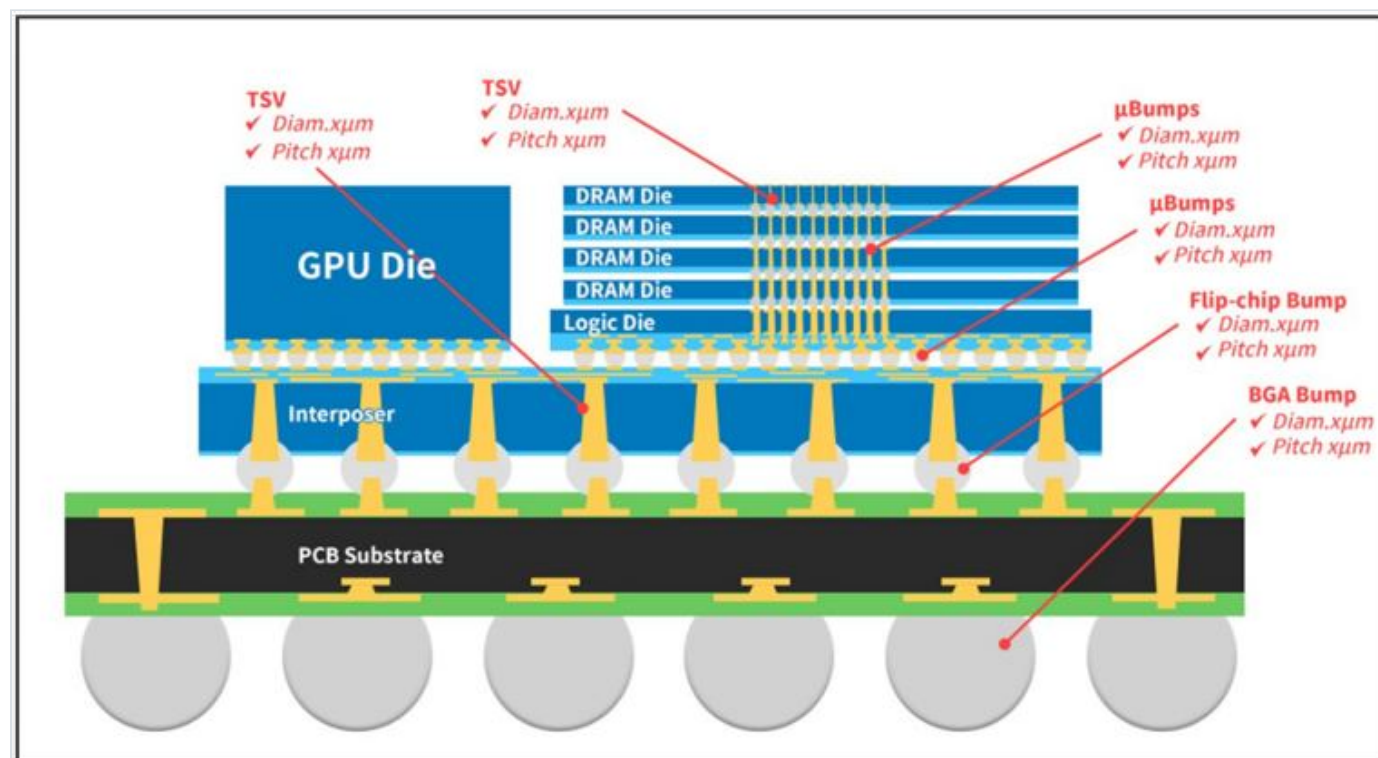


圖 2-3 | 典型 CoWoS 封裝剖面中各層互連的相對位置。由上而下: GPU/DRAM Die 的 μ Bumps $\rightarrow$ 中介層 (Interposer) 內的 TSV $\rightarrow$ Interposer 與基板間的 Flip-chip Bump $\rightarrow$ 基板與 PCB 間的 BGA Bump, pitch 由內而外逐級放大。

來源: 群益證券 $\times$ 定錨產業筆記, 2026-07-08。

第三章 | 貫穿型垂直通道：TSV / TGV / TCV

TSV：必要之惡

TSV (Through-Silicon Via, 矽穿孔) 有 via-middle 與 via-last 兩種製程時序選擇。在 face-to-back 架構中, TSV 是「必要之惡」——它同時是垂直訊號通道, 也是寄生負載的來源。TSV 直徑遠大於銅-銅直接鍵合的接點, 若在主動邏輯區以細 pitch 密集佈設, 會直接排擠電晶體密度, 因此 TSV 的位置與數量始終是設計上的取捨題。

base die 的 TSV 成熟度是 3D 堆疊時程的隱形節拍器

依 Kevin Zhang (台積電) 訪談口徑 (2026): 3nm 節點的 TSV 約需到 2027 年才成熟; A14 節點的 TSV 則在該製程量產後約一年即可用。換句話說, SoIC 堆疊能不能如期導入某個先進節點, 往往不是卡在鍵合技術本身, 而是卡在「底層 die 的 TSV 準備好了沒有」。

TGV：玻璃貫孔

TGV (Through-Glass Via) 採三種成孔技術路線, 完整製程約 23 道工序; 切割 (dicing) 與微裂紋 (microcrack) 檢測是良率的主要殺手。玻璃貫孔製程串起雷射成孔、蝕刻、AOI 光學檢測、化學鍍與濺鍍、電鍍等多個步驟, 每一步都對應不同的設備與材料供應商。

TCV：陶瓷貫孔

TCV (Through-Ceramic Via) 以氮化鋁 (AlN) 或氮化矽 (Si_3N_4) 為載體材料, 兩條路線在導熱係數與製程成熟度上各有取捨, 目前仍屬發展中技術。

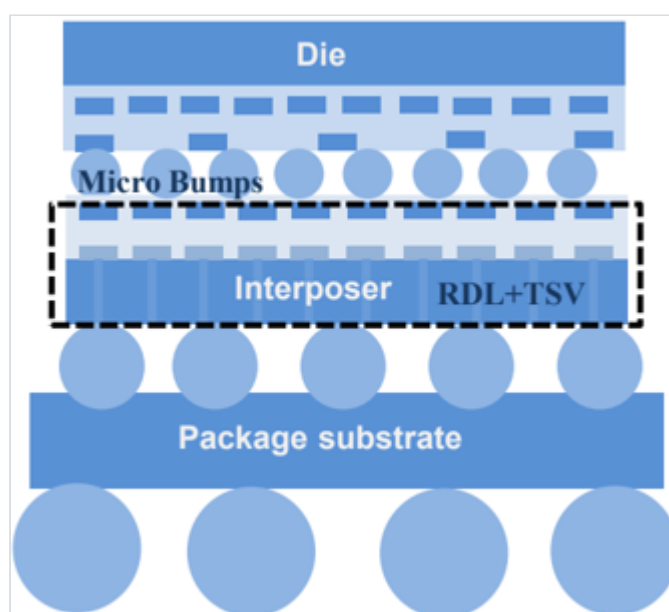


圖 3-1 | TSV 於封裝結構中的位置示意。Die 經 μ Bumps 接至下方 Interposer, Interposer 內含 RDL + TSV 垂直通道, 再經 Bump 與 Package substrate 相接——TSV 是貫穿中介層、串起晶片與基板的垂直骨架。

來源：福邦投顧《2026 台灣半導體特化與耗材展望》，2026-03。

表3、TSV於2.5D及3D上的比較

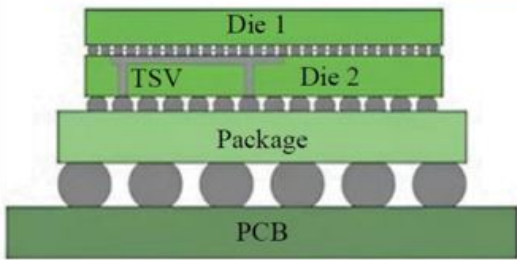
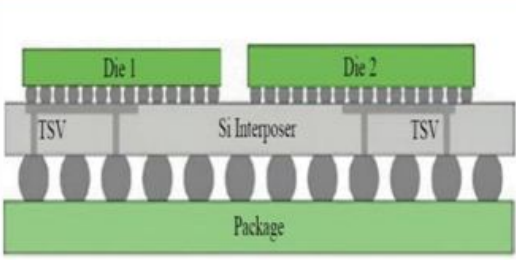
		
	3D封裝中的TSV	中介層上的TSV
位置	直接穿透晶片矽基板、連接上下堆疊的晶片	存在於中介層中，作為晶片與外部連接橋梁
功能	實現晶片間垂直互聯、支援晶片堆疊	提供晶片間高密度互連，整合多晶片系統
尺寸大小	通常較小，直徑約1um~10um	較大，直徑>10um
製程難度	高，需穿透完整晶片且處理晶片背面研磨	相對之下較低
典型應用	記憶體堆疊(HGM)；邏輯晶片堆疊	2.5D封裝中，整合多晶片系統如GPU+HBM

圖 3-2 | TSV 於 2.5D 與 3D 封裝中的角色比較。3D 封裝中的 TSV 直接穿透晶片矽基板、實現晶片間垂直互連，直徑約 1~10μm、製程難度高（需處理晶片背面研磨），典型應用為記憶體堆疊與邏輯晶片堆疊；中介層上的 TSV 則存在於矽中介層內，作為晶片與外部連接的橋梁，直徑較大（>10μm）、製程難度相對較低，典型應用為 2.5D 封裝中整合 GPU+HBM 等多晶片系統。

來源：福邦投顧《2026 台灣半導體特化與耗材展望》，2026-03。



圖 3-3 | 玻璃芯基板製程流程與供應商對應。雷射成孔（Laser Modification）→ 蝕刻（Through Glass Etching）→ AOI 檢測（Glass Inspection）→ 化學鍍種子層（Electroless / Seed Layer Coating）→ 濺鍍（Sputtering）→ 雙面電鍍銅（Electroplating）→ RDL；玻璃材料端為 Schott / AGC / Corning，成孔設備端見 DR Laser、Hi-Nano Optoelectronics、LPKF、Philoptics 等，後段基板廠含 Unimicron（欣興）、Ibiden、Shinko、SEMCO、Absolics（SKC）。

來源：野村《Greater China Semi: A Guide to Semi Renaissance in 2026-30F》，2026-05-21。

第四章 | 鍵合工法之爭：TCB vs 混合鍵合

TCB（熱壓接合，Thermal Compression Bonding）仍是 HBM 與多數 HPC 封裝的主力工法，代表設備如 ASMT FIREBIRD 系列。**混合鍵合（Hybrid Bonding）**則走另一條路：室溫預鍵合後再經低溫退火（傳統 $<300^{\circ}\text{C}$ ，最新製程已降至 $250\text{--}280^{\circ}\text{C}$ ；CEA-Leti 曾發表 $100\text{--}150^{\circ}\text{C}$ 路線，**待核對**），介電材料也由 SiO_2 轉向 SiCN —— SiCN 鍵合能更高、阻擋銅原子擴散的能力更好。

W2W / D2W / collective D2W 的成本交叉

晶圓對晶圓（W2W）良率取決於整片晶圓的良率乘積，晶粒對晶圓（D2W）可先篩選已知良品晶粒（KGD）再鍵合，但單顆處理成本較高。SoIC 實際採用的是 **collective D2W**：上下晶片先各自切割、篩選 KGD，接著先鍵合到重組載板上，最後才完成晶圓對晶圓等級的整合。以 AMD 3D V-Cache 為例，一顆產品完整走完共需 **5 道鍵合步驟**——推算 bonder 設備需求時，「步驟乘數」比單純的產能片數更關鍵，因為每一道鍵合都要重新走一次對位、鍵合、退火的完整流程。

切割三法

晶圓切割是鍵合前的關鍵前置工序，三種方式各有取捨：**Blade（刀切）**最容易產生崩裂與碎屑、屬「最髒」路線；**Laser（雷射）**速度快但會在切割邊緣留下熱損傷；**Plasma（電漿）**切割面最乾淨、晶粒強度最高，但速度最慢。

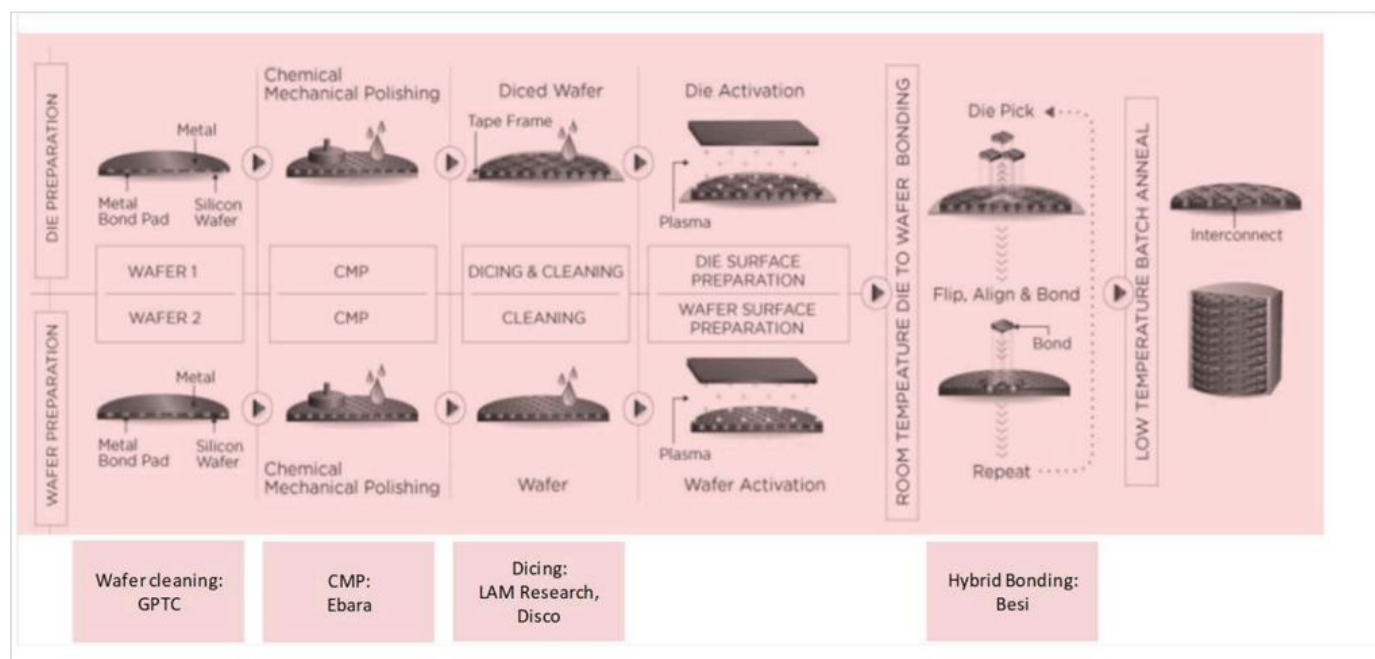


圖 4-1 | 混合鍵合完整製程流程（★核心圖）。晶圓準備（Metal Bond Pad+Silicon Wafer）→ CMP 化學機械研磨 → 切割與清洗（Diced Wafer, Tape Frame）→ 表面活化（Plasma Die/Wafer Activation）→ 室溫預鍵合（Die Pick → Flip, Align & Bond）→ 低溫批次退火（Low Temperature Batch Anneal）→ 完成互連（Interconnect）。各步驟對應設備商：晶圓清洗 GPTC（即台廠弘塑英文縮寫）、CMP Ebara、切割 Lam Research / Disco、混合鍵合 BESi。

來源：野村《Greater China Semi: A Guide to Semi Renaissance in 2026–30F》，2026–05–21。



Hybrid bonding

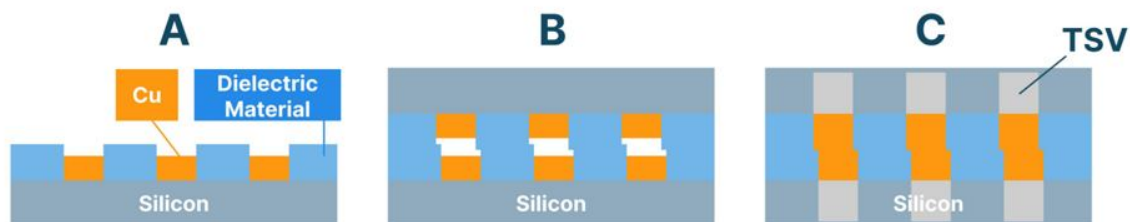


圖 4-2 | 混合鍵合三階段剖面。A：兩片晶圓表面分別備妥銅 (Cu) 與介電材料 (Dielectric Material) 圖形；B：兩片晶圓對位、預鍵合完成，接點尚有間隙；C：退火後銅與介電材料同時完成原子級接合，並標示 TSV 位置。

來源：群益證券 × 定錨產業筆記，2026-07-08。

Method	Blade dicing	Laser dicing	Plasma dicing
Figure			
Procedure	Cuts thorough wafer using abrasive blade	Creates cracks using laser heat to split wafer	Etches away wafer using chemical reaction
Dicing Speed	10 ~ 50 mm/s	300 mm/s	Depend on wafer thickness (Si > 20 um/min)
Die strength	Lower (Chipping or Crack)	Lower (Crack or Laser damage)	Higher (Stress free)

圖 4-3 | 三種晶圓切割方式比較。Blade dicing（刀切，10-50mm/s，晶粒強度較低、易崩裂） / Laser dicing（雷射切割，300mm/s，晶粒強度較低、有雷射損傷） / Plasma dicing（電漿蝕刻，速度視晶圓厚度而定，晶粒強度最高、近乎無應力）。

來源：野村《Greater China Semi: A Guide to Semi Renaissance in 2026-30F》，2026-05-21。

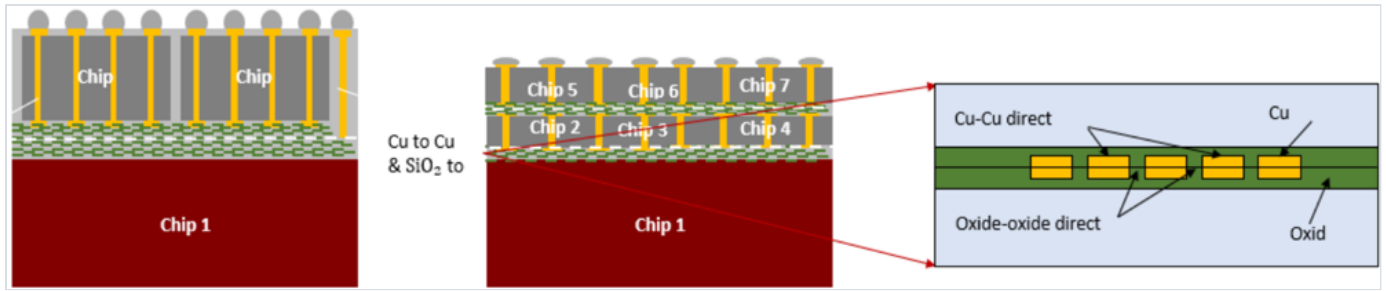


圖 4-4 | 混合鍵合結構剖面，多晶片堆疊的鍵合介面放大圖。左 / 中：多顆 Chip 依序疊於 Chip 1 之上；右側放大圖顯示鍵合介面同時發生 Cu–Cu direct（銅對銅原子級接合）與 oxide–oxide direct（介電材料對介電材料鍵合）兩種接合——「無凸塊」的本質就是這兩種接合同時完成、不需要任何焊料媒介。

來源：野村《Greater China Semi: A Guide to Semi Renaissance in 2026–30F》，2026–05–21。

第五章 | 配套層：RDL、背面供電與薄化

SolC 的垂直堆疊能力，仍要靠三層配套技術撐住訊號重佈、供電路徑與晶圓機械強度：

- **RDL / Damascene 微縮**：重佈線層（Redistribution Layer）線寬持續由 2/2 μm 向 1/1 μm 收斂，讓晶片 I/O 能以更高密度重新分佈到堆疊所需的接點位置。
- **BSPDN 背面供電**：把供電網路從晶片正面移到晶背，本質上也是一種「垂直互連」——訊號走正面、電力走背面，中間以奈米矽穿孔（nTSV）連接。台積電 A16 為首個商業化導入節點（命名為 Super Power Rail），並依 Kevin Zhang 澄清口徑，A16 具備與 3D 堆疊搭配的能力。
- **晶圓薄化與承載晶圓**：堆疊前的薄化製程對晶圓平整度要求極嚴——研磨不均會直接反映在鍵合良率上，這正是昇陽半導體切入薄化代工服務的著力點。
- **鉬金屬互連**：作為銅之外的替代導體材料選項，在特定薄膜應用場景中被評估用於降低電阻與提升可靠度。

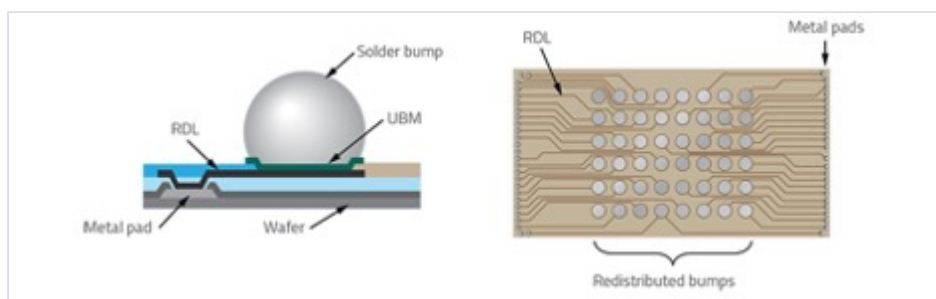


圖 5-1 | RDL 剖面（左）與俯視（右）示意。晶片原生 Metal pad 經 RDL 銅線路重新佈線至 UBM（凸塊下金屬）與 Solder bump，把晶片邊緣的 I/O 重新分佈成面陣列（Redistributed bumps）——這正是堆疊多顆晶片時，讓上下接點能對齊的關鍵前置工序。

© Lam Research, via Semiconductor Engineering。

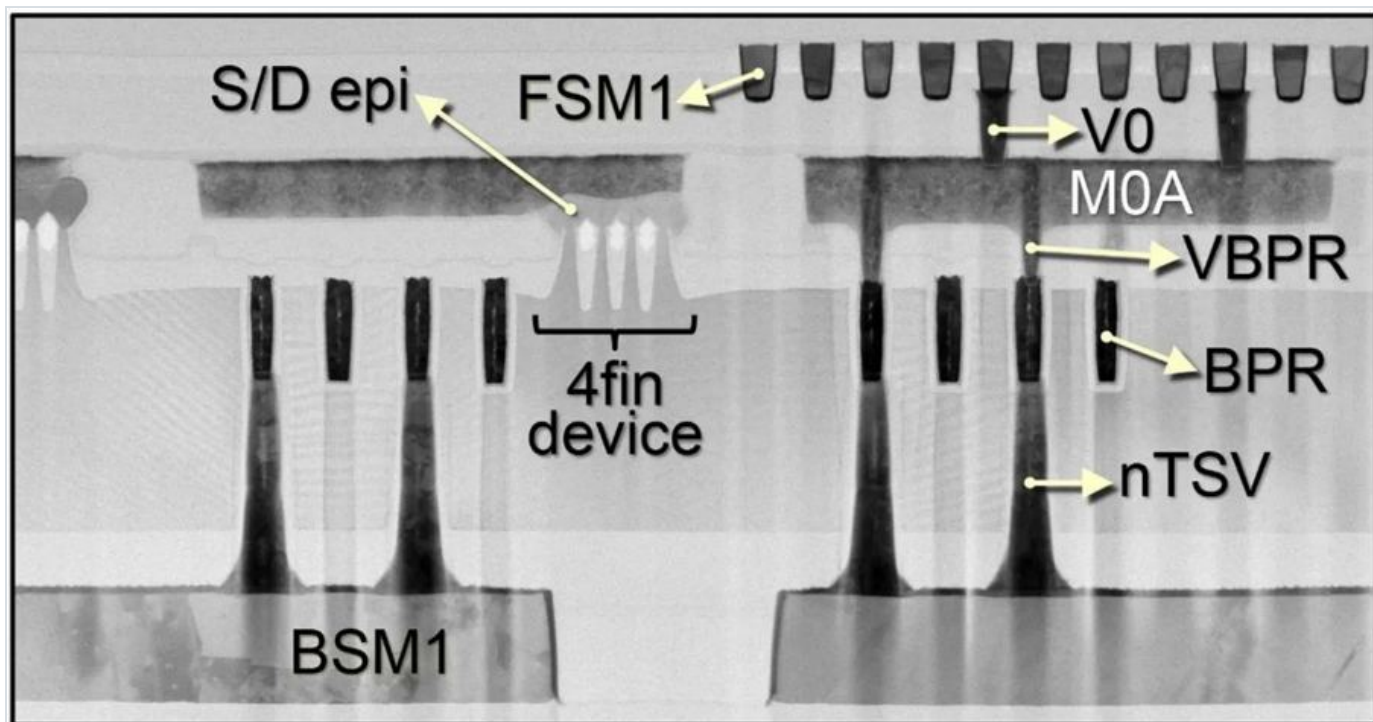


圖 5-2 | BPR+nano-TSV 電子顯微剖面。由上而下：FSM1（正面金屬）→ V0/M0A → VBPR → BPR（埋入式電源軌）→ nTSV（奈米矽穿孔）→ BSM1（背面金屬）；S/D 磊晶與 4-fin 元件位於正面，電源自背面經 nTSV → BPR → VBPR 送達元件——訊號與電源實體分離，正是 BSPDN 的核心設計。

© 2026 TSMC（引自「報告_自整理_半導體特化產業報告」，2026-07-17）。

第六章 | SoIC 三變體：X / P / MH

變體	互連方式	pitch 區間	結構	代表客戶
SolC-X	無凸塊混合鍵合	9μm → 6μm → 4.5μm	垂直堆疊	AMD MI300 / 3D V-Cache、NVIDIA Feynman
SolC-P	微凸塊（μbump）	>10μm	垂直堆疊，間距較鬆	成本敏感型應用
SolC-MH	無凸塊混合鍵合 + 水平模封（molded horizontal）	同 HCB 世代	晶圓級水平整合	Apple M5 Pro / M5 Max（首度真正 chiplet 化），M5 Ultra 可能沿用

SolC-MH 是本報告相對於庫內既有資料的重要新增

SolC-MH 以無凸塊混合鍵合在晶圓級直接整合多顆晶片，再進行水平模封（molded horizontal）——它讓 Apple 得以把 CPU+NPU 與 GPU 拆成獨立晶片，兩者可各自獨立擴充核心數，不必被綁死在單一顆超大 die 上。這同時避免了單一晶片逼近 830mm² 光罩極限的風險，也改善了大 die 缺陷成本對良率的拖累。

來源：TrendForce（2026-06-08）、TechPowerUp（M5 Pro / M5 Max 採 SolC-MH）、TechNews（2026-03-04）。

SolC 與 CoWoS 的疊加關係：SolC 產出的堆疊體，外觀上仍像一顆完整的 SoC，因此可以再被放進 CoWoS / InFO 平台，形成 3D-on-2.5D 的複合結構——AMD MI300 即是此結構的量產範例：XCD / CCD 先以 SolC-X 垂直堆疊在 IOD 上，再透過矽中介層（CoWoS）與兩側的 HBM 相連。

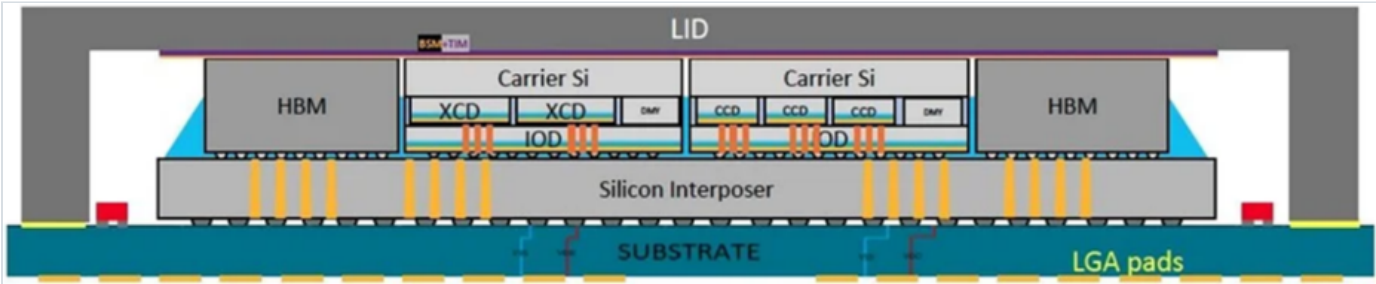


圖 6-1 | AMD MI300 架構剖面。Carrier Si 上以 SolC-X 堆疊 XCD（運算晶粒）與 IOD（I/O 晶粒），兩側各接 HBM，下方為矽中介層（Silicon Interposer）與基板，是 3D-on-2.5D 結構的量產範例。

來源：富果研究，2026-06-20。

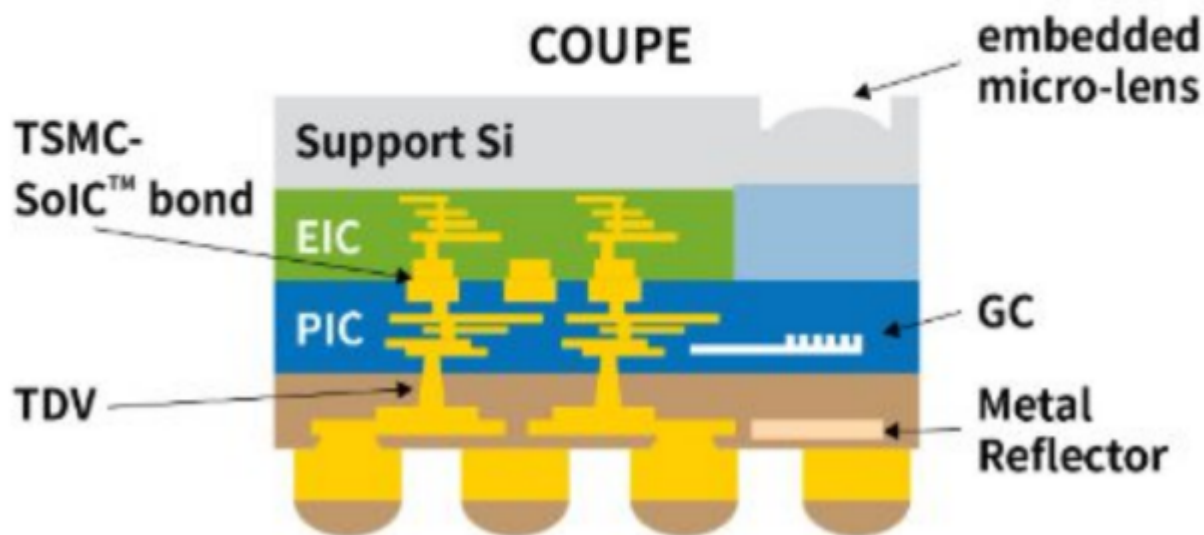


圖 6-2 | COUPE 光引擎剖面。EIC（電子晶片，Electronic IC）與 PIC（光子晶片，Photonic IC）之間以 TSMC-SolC bond 垂直接合；PIC 內建 GC（光柵耦合器）與 Metal Reflector、TDV（穿孔垂直互連）；Support Si 上方另嵌 embedded micro-lens——SolC 的應用已從純邏輯堆疊延伸到電子與光子晶片的異質整合。

來源：群益證券 × 定錨產業筆記，2026-07-08。

圖 6-3 | 三變體對照（本報告自繪）

SolC-X	SolC-P	SolC-MH
無凸塊混合鍵合	微凸塊（ μ bump）	無凸塊混合鍵合 + 水平模封
$9\mu\text{m} \rightarrow 6\mu\text{m} \rightarrow 4.5\mu\text{m}$	$>10\mu\text{m}$	同 HCB 世代
垂直堆疊，密度最高	垂直堆疊，間距較鬆	晶圓級水平整合
AMD MI300 / 3D V-Cache	成本敏感型應用	Apple M5 Pro / M5 Max
NVIDIA Feynman		M5 Ultra 可能沿用

第七章 | SoIC 製程全鏈與良率機制

圖 7-1 | SoIC 製程全鏈（本報告自繪，每站標物理規格與對應供應鏈）



每一站的物理要求都直接對應台股供應鏈環節：

站別	物理要求	台股供應鏈對應
CMP	介電層平坦度約 0.5nm、銅 pad 平坦度約 1nm，銅 dishing 需控制在 1–3nm 工程窗口內；需多次 CMP 搭配不同銅移除率的 slurry	中砂（鑽石碟）、頌勝（研磨墊）、長興（研磨液）
對位鍵合	放置偏差需小於 0.2μm；die bonder 設備單價約 300 萬美元、最高產能約 2,000 UPH	BESI、ASMPT、Shibaura
濕製程 / 清洗	鍵合前表面必須潔淨無殘留	弘塑（台積電 SoIC 濕清製程獨家供應商，Goldman Sachs，2026–05–26）
特化耗材	蝕刻液、release layer 等專用化學品	三福化（SoIC 蝕刻液、release layer）
薄化服務	晶圓薄化至堆疊所需厚度	昇陽半導體
檢測	鍵合缺陷、空孔、對位偏差偵測	德律（AOI / X-ray / CT）

為什麼 SoIC 留在台積電廠內、封測廠只分到 CP/FT

混合鍵合需要 ISO 1–3 等級的無塵室，以及 CVD / PVD / ECD / CMP 等前段（fab 等級）設備能力。傳統 OSAT 封測廠既沒有這個等級的潔淨室、也缺乏對應的製程經驗——這是 SoIC 目前留在台積電廠內完成、封測廠只分到晶片測試（CP）與最終測試（FT）的結構性原因。

第八章 | 兩條 pitch 路線圖的落差

這是本報告最有分析價值的一章。

量產線（台積電官方，TSMC 技術論壇 2026）

年份	pitch	頂部晶粒（TD）	底部晶粒（BD，含 TSV）
2023	9μm	N7	≥N7
2025	6μm	N5	≥N5
2026	6μm	N3P	≥N4
2027	6μm	N2P	≥N3P
2028	6μm	N2P	≥N2P
2029	4.5μm	A14	≥A14

論文線（ECTC / IEEE）

年份	pitch	互連密度
2019	μm 級（SoIC 首發）	—
2020	亞微米 0.9μm（待核對）	≥120 萬 bonds/mm ²
2023	0.4μm（低溫 250–280°C）	625 萬 bonds/mm ² （待核對）
2024	0.2μm（目標）	上看 2,500 萬/mm ² （待核對）
2026	imec+EVG 200nm W2W，post-bond overlay <40nm（全 300mm 晶圓 100% die，世界首次）	—

圖 8-3 | 量產線 vs 論文線雙軌時間軸（本報告自繪）

量產線	2023 9μm / N7	2025 6μm / N5	2026 6μm / N3P	2027 6μm / N2P	2028 6μm / N2P	2029 4.5μm / A14
論文線	2019 首發	2020 0.9μm	2023 0.4μm	2024 0.2μm	2026 200nm W2W	

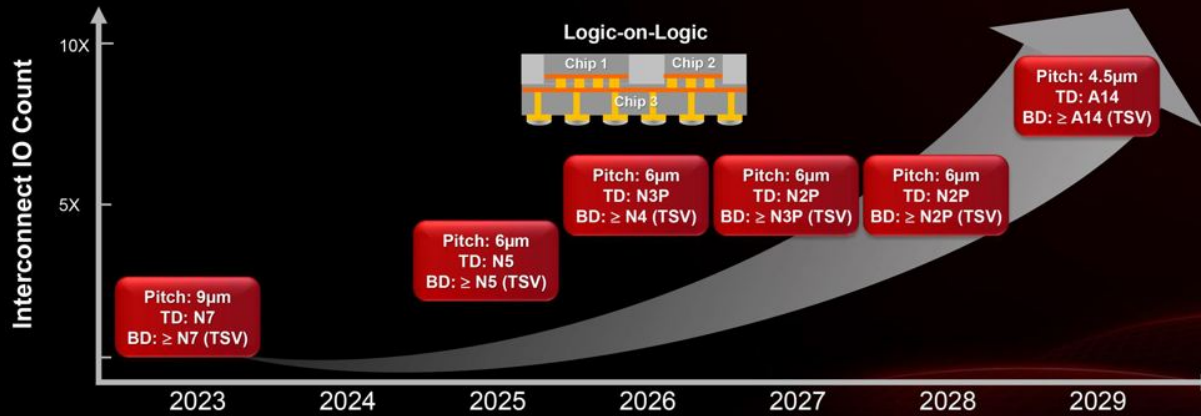
量產 6μm（2025–2028）vs 論文 200nm（2026）—— 落差約 30 倍

上圖為排列示意，年份沿橫軸等距排列，非嚴格依時間比例繪製；用途為呈現兩條路線的世代錯位，非精確時間刻度。

TSMC-SolC® Boosts AI Compute



- SolC with 3D interconnect offers 56X interconnect density and 5X power-efficiency over CoWoS with 2.5D interconnect
- 6µm pitch has entered volume production in 2025
- Continue scaling to A14-on-A14 with 4.5µm pitch for production in 2029



© 2026 TSMC, Ltd.

11

圖 8-1 | 台積電 SolC 世代路線圖 (★核心圖)。官方口徑：SolC 3D 互連相較 CoWoS 2.5D 有 56 倍互連密度與 5 倍能效；6µm pitch 已於 2025 進入量產；2029 推進到 A14-on-A14 的 4.5µm pitch。圖中各節點方塊標示頂部晶粒 (TD) 與底部晶粒 (BD，含 TSV) 的製程組合，並特別標示 Logic-on-Logic (三顆晶片垂直堆疊) 結構。

© 2026 TSMC (引自 Tom's Hardware 報導，2026)

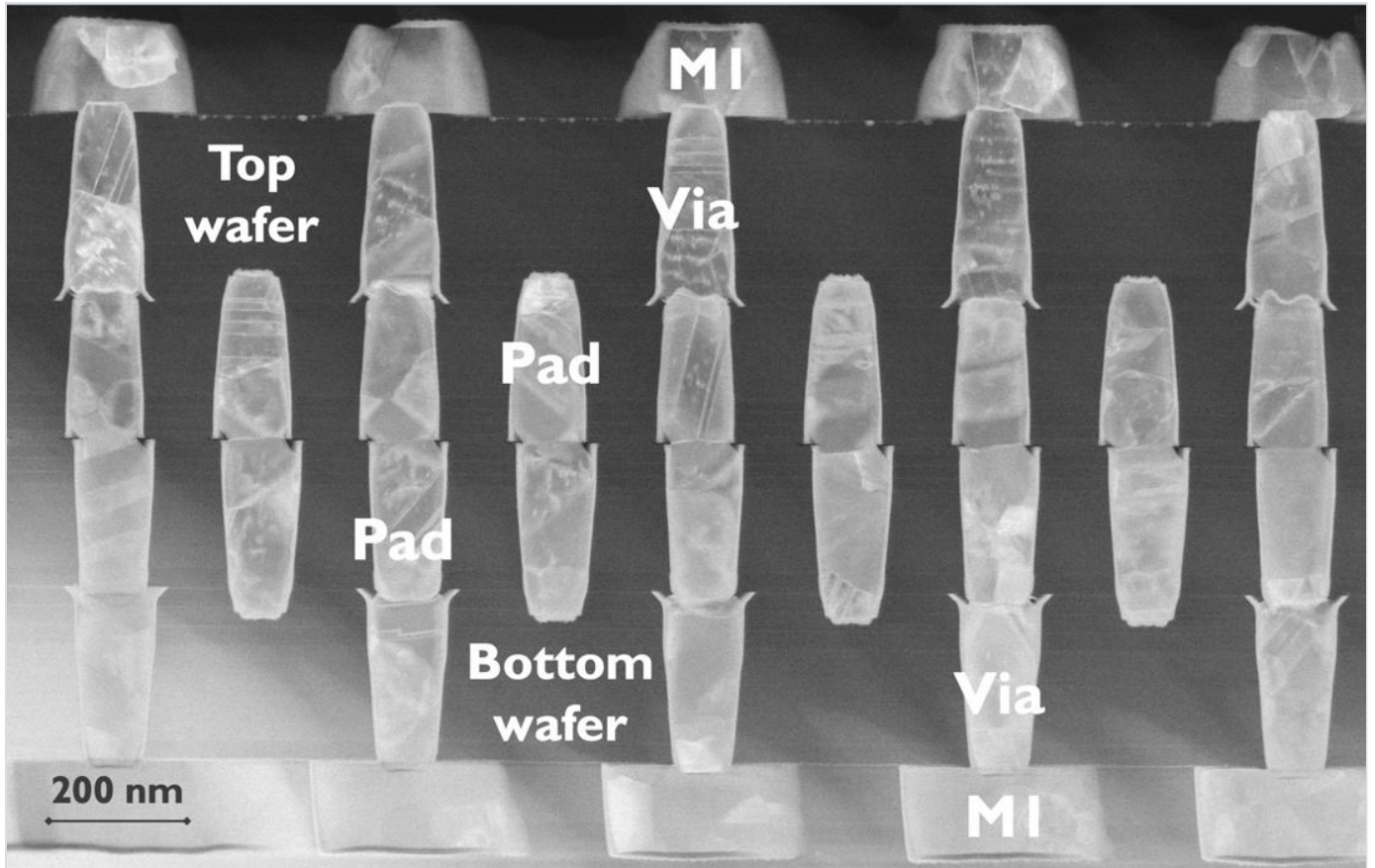


圖 8-2 | 200nm pitch 晶圓對晶圓混合鍵合 TEM（穿透式電子顯微鏡）剖面。上下晶圓（Top wafer / Bottom wafer）的 M1—Via—Pad 結構在鍵合面精準對接，比例尺 200nm——這正是論文端已驗證、但距離量產仍有約 30 倍差距的技術前沿。

© imec/IEEE（EVG 新聞稿，2026-05-28）

落差判讀（本報告核心論點）

1. 量產線與論文線差距約 30 倍，而且量產線的 pitch 在 2025–2028 連四年停在 $6\mu\text{m}$ ，微縮讓位給「堆疊節點的加速」——頂部晶粒由 N5 一路推進到 N3P、N2P、A14。
2. 連 Broadcom 這種先行者，在 Fujitsu Monaka 上仍選擇保守的 $9\mu\text{m}$ pitch——先進封裝與先進製程的採用行為完全不同：CoWoS 客戶搶用最新版本，SoIC 客戶則趨於謹慎。
3. 瓶頸已從「鍵合物理做不做得得到」轉為「晶圓形貌、對位精度（overlay）與良率經濟」——這正是 CMP 耗材與檢測設備價值量上升的技術根源。
4. Kevin Zhang 的說法點出真正的節拍器是 **base die 的 TSV 成熟度**：3nm TSV 約需到 2027 年、A14 TSV 則在量產後約一年即可用。

第九章 | 三道物理天花板：散熱、供電、測試

散熱

晶片堆疊之後，整體熱阻上升，而最熱的邏輯層往往被埋在堆疊中間，散熱路徑最長。ECTC 2026 的實測數據顯示：混合鍵合（HCB）相較傳統熱壓接合（TCB），堆疊熱阻降至 0.81（以 TCB=1.0 為基準），加大功率密度後進一步降至 0.78（×2） / 0.71（×4）——鍵合工法本身就是散熱設計的一個變數。Samsung 的數據顯示，2.5D 封裝的熱阻中，HBM internal（記憶體內部）貢獻高達 57%；堆疊層數愈高，內部溫升愈難壓制。

AMD 第二代 3D V-Cache 把 SRAM 從 CCD（運算晶粒）上方改移到下方，讓 CCD 能直接貼合散熱器，平均遊戲效能因此提升約 8%——**堆疊方向本身就是熱設計的自由度**，不只是互連密度的取捨。在微流道散熱方面，台積電的 micropillar 微柱結構在 CoWoS-R 上實測可達 4–5.3kW 散熱能力；微軟則更進一步，直接在 GH200 實機晶片上蝕刻微通道，封裝熱阻降低約 50%，6 個月內 4,370 次觀測僅出現 9 次疑似堵塞。

供電

TSV 貫穿造成的供電壓降是另一道天花板。Intel 的 EMIB-T 方案以 TSV 供電路徑改善壓降 68–80%（Intel ECTC 2026）。深溝電容（DTC）與 BSPDN 背面供電，都是緩解這道壓降問題的技術手段。

測試與良率

KGD（Known Good Die，已知良品晶粒）篩選成本是堆疊經濟學的核心：堆疊前每一顆晶粒都必須先確保是良品，否則一顆壞晶粒就可能讓整疊報廢。加上前述的「良率疊乘」效應——5 道鍵合步驟中任何一站失手，都是整體堆疊的損失——使得堆疊後測試（test shift right，把測試往後段移）的需求持續上升。

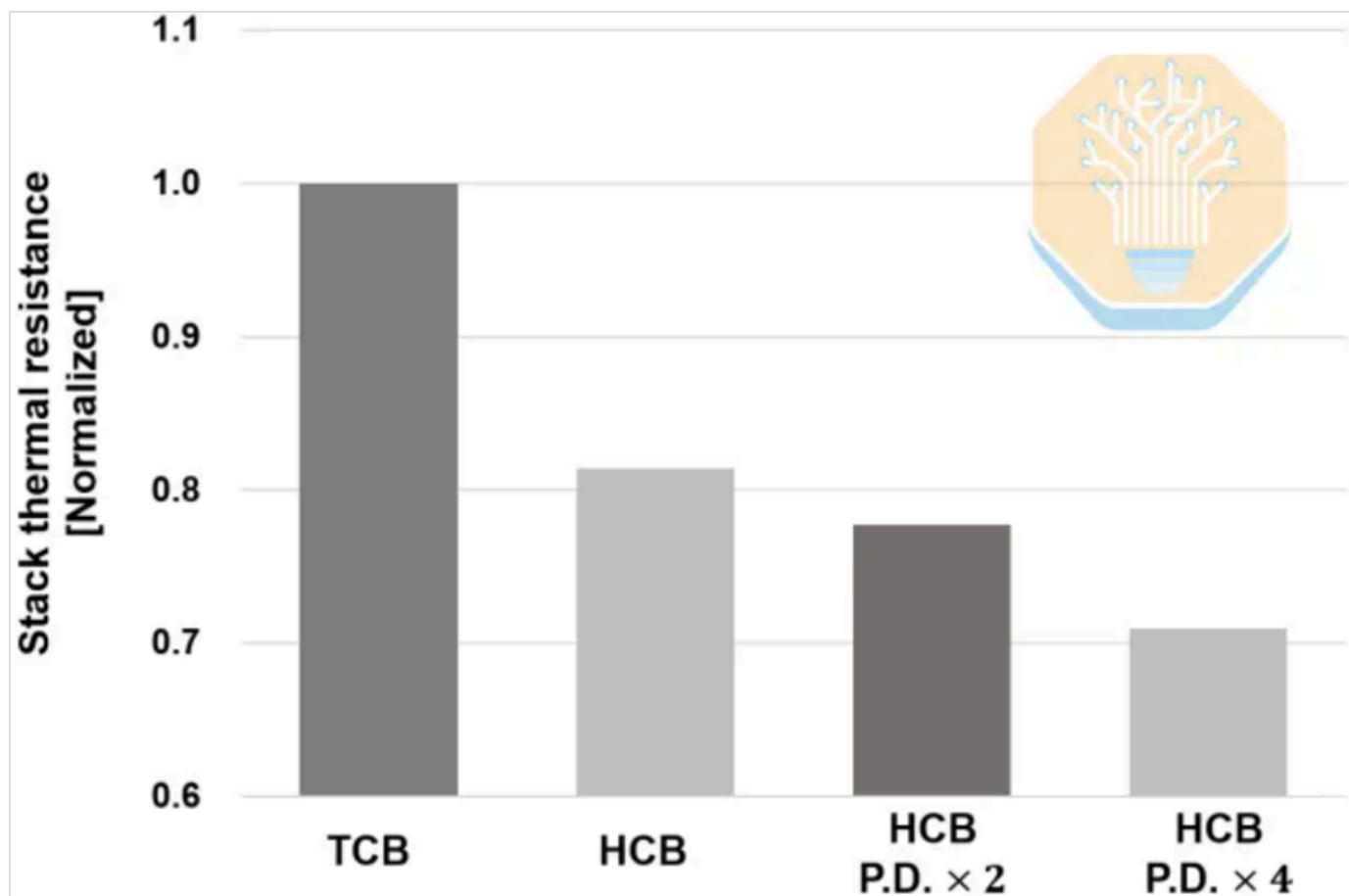


圖 9-1 | 堆疊熱阻比較。Stack thermal resistance (標準化)：TCB=1.0、HCB=0.81、HCB 加大功率密度 ×2 為 0.78、×4 為 0.71——混合鍵合的熱阻優勢隨功率密度提高而擴大。

來源：SemiAnalysis ECTC 2026 大會綜述，2026-07-02。

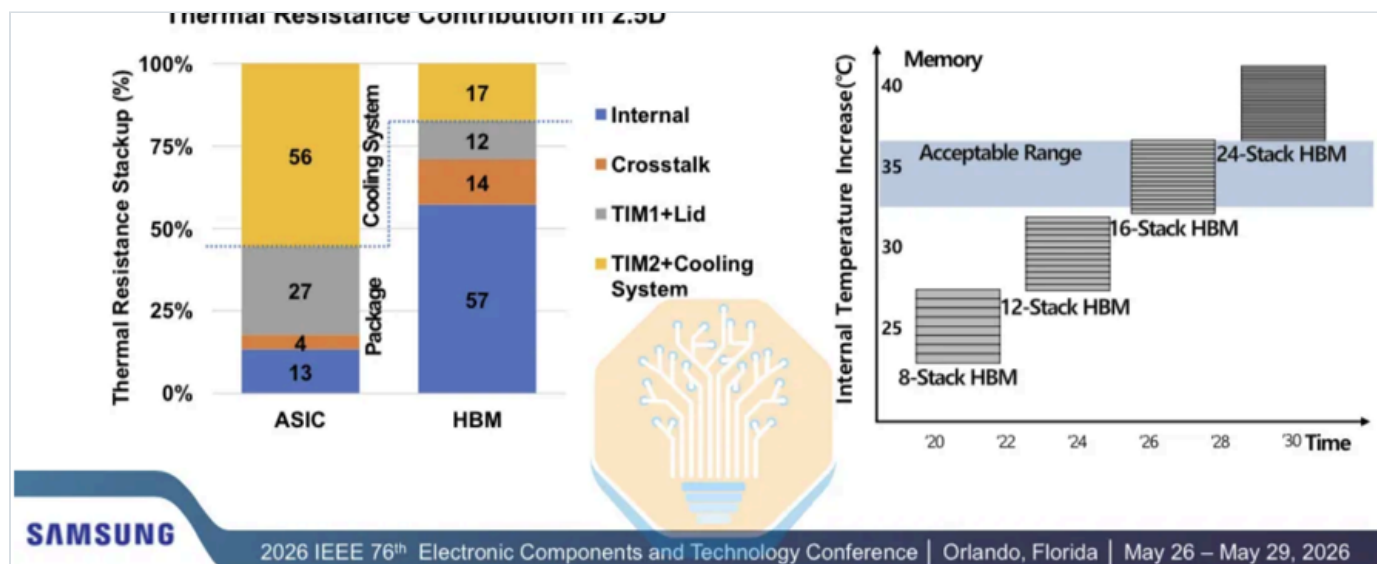


圖 9-2 | 2.5D 封裝熱阻貢獻拆解 (左) 與堆疊層數對內部溫升的關係 (右)。左圖：ASIC 熱阻堆疊中 Internal 佔 13%、Package 佔 27%、Cooling System 佔 56%；HBM 熱阻堆疊中 Internal 佔比大幅提高至 57%。右圖：隨堆疊層數由 8-Stack 增至 24-Stack HBM，內部溫升逐步逼近並超出「可接受範圍 (Acceptable Range)」。

來源：SemiAnalysis ECTC 2026 大會綜述引用 Samsung 數據，2026-07-02。

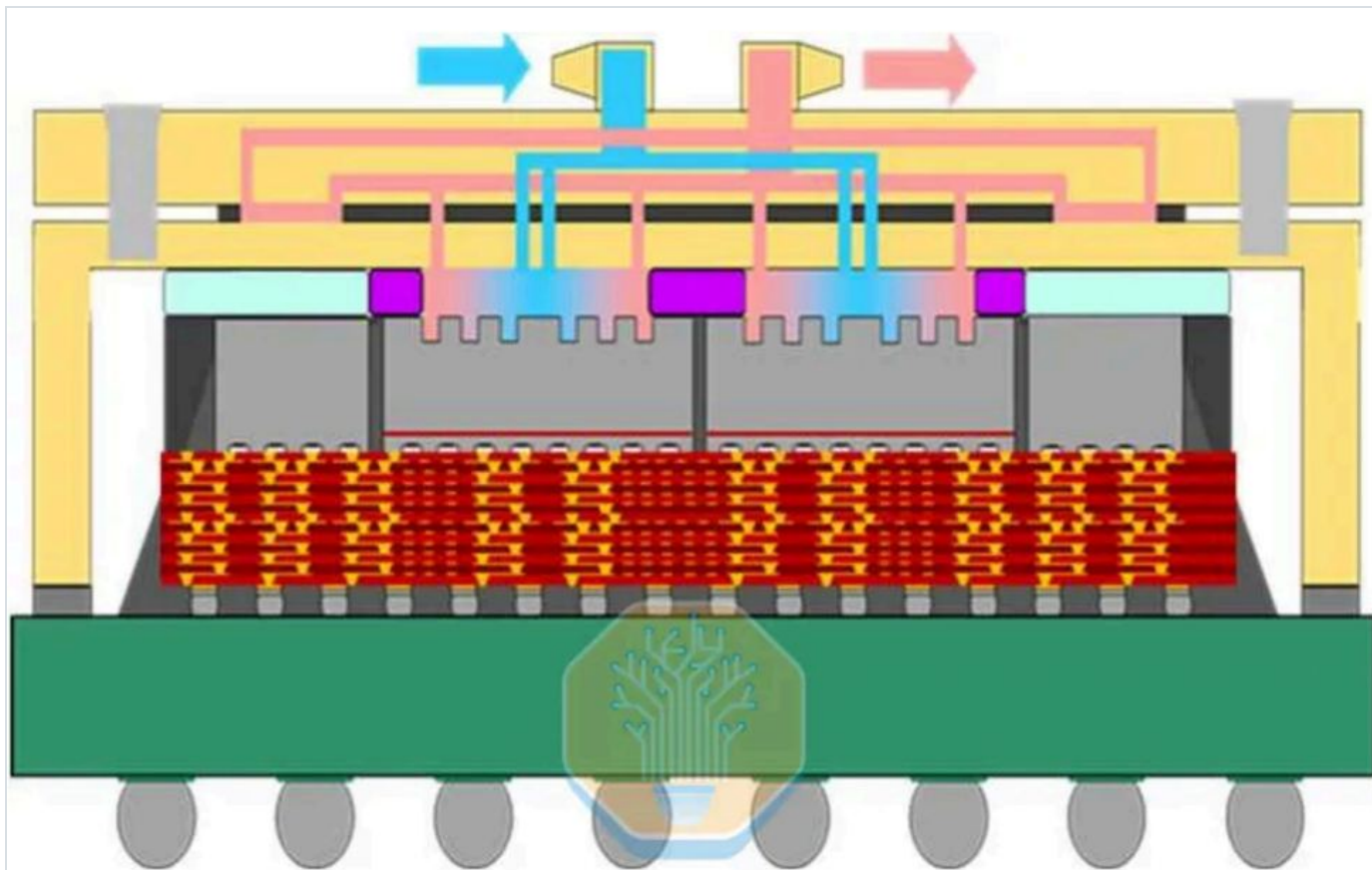


圖 9-3 | 直達矽（直接液冷）封裝剖面。冷卻液由上方進出流道（藍色進液 / 粉色出液），經過齒狀 micropillar 微柱結構直接接觸矽晶背面完成熱交換，下方為晶粒堆疊與基板。

來源：SemiAnalysis ECTC 2026 大會綜述，2026-07-02。

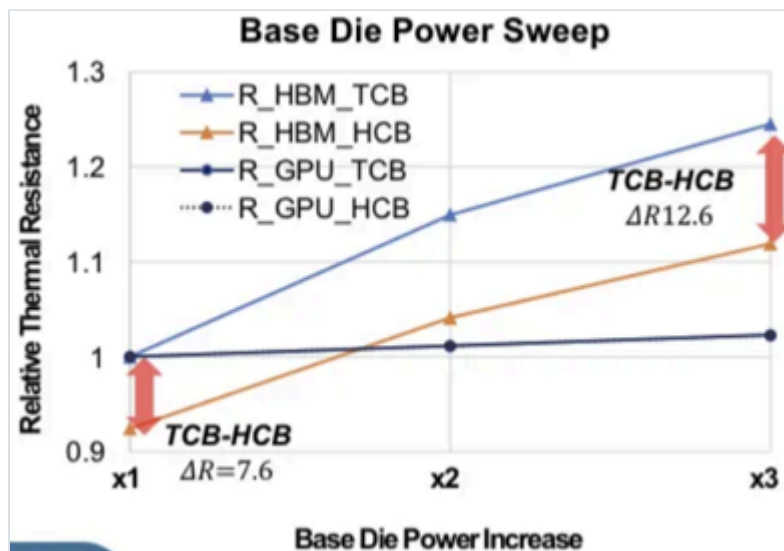


圖 9-4 | Base die 功率掃描（Power Sweep）下 TCB 與 HCB 的相對熱阻差距。隨 base die 功率由 x1 提升至 x3，HBM 側 TCB 與 HCB 的熱阻差距（ ΔR ）由 7.6 擴大到 12.6；GPU 側差距則相對平緩——功率愈高，混合鍵合的散熱優勢愈明顯。

來源：SemiAnalysis ECTC 2026 大會綜述，2026-07-02。

第十章 | 應用地圖與時程

客戶 / 產品	SoIC 用法	時程	來源
AMD MI300	SoIC-X 將 XCD / CCD 堆疊於 IOD 上，再以 CoWoS 連接 HBM	2024 起量產	富果，2026-06-20
AMD MI400 / MI455X	深化 3D chiplet，每 GPU 最高搭載 432GB HBM4	2026H2-2027	群益定錨，2026-07-08
NVIDIA Rubin Ultra	七顆晶片、五種機櫃組態	2027	TrendForce，2026-03-18
NVIDIA Feynman	SoIC 用量顯著上升、搭配客製 HBM；並用於 COUPE（EIC/PIC 垂直堆疊）	2028	TrendForce，2026-03-18
Apple M5 Pro / M5 Max	採 SoIC-MH，CPU+NPU 與 GPU 拆分獨立	已發表	TechPowerUp / TrendForce，2026
Apple M5 Ultra	雙 M5 Max die、UltraFusion 頻寬 >1,000GB/s，N3P	可能延至 2026-10	TrendForce，2026-06-08
Fujitsu MONAKA（Broadcom 打造）	144 核 Armv9，4 顆 N2 運算 chiplet 以 F2F 混合鍵合疊在 N5 SRAM chiplet 上，另有大型 I/O die（12 通道 DDR5）； 仍用 9μm pitch ，且不做 logic-on-logic	送樣中，2027 量產	Tom's Hardware，2026

HBM 導入爭點（必寫）

一方觀點：JEDEC 已將 HBM4 封裝厚度上限由 720μm 放寬至 775μm，讓 SK hynix（Advanced MR-MUF）與 Samsung（Advanced TC-NCF）不必被迫立即轉向混合鍵合；混合鍵合的導入時點可能遞延至 HBM4E（約 2027 前後）甚至 HBM5 的 20/24-Hi 世代（2028 之後）（**待核對**）。

另一方觀點：ECTC 2026 數據顯示，混合鍵合在 20/24-Hi 堆疊層數下的必要性正在上升（stack 熱阻降 19-29%），導入時點應該提前而非遞延。

本報告判讀：兩者其實並不衝突——厚度規格放寬買到的是「時間」，不是「豁免」。堆疊層數與頻寬持續上升時，熱阻與 pitch 極限仍會把 HBM 推向混合鍵合；真正該追蹤的觀察點，是 HBM4E 客製版本的先導驗證節點。

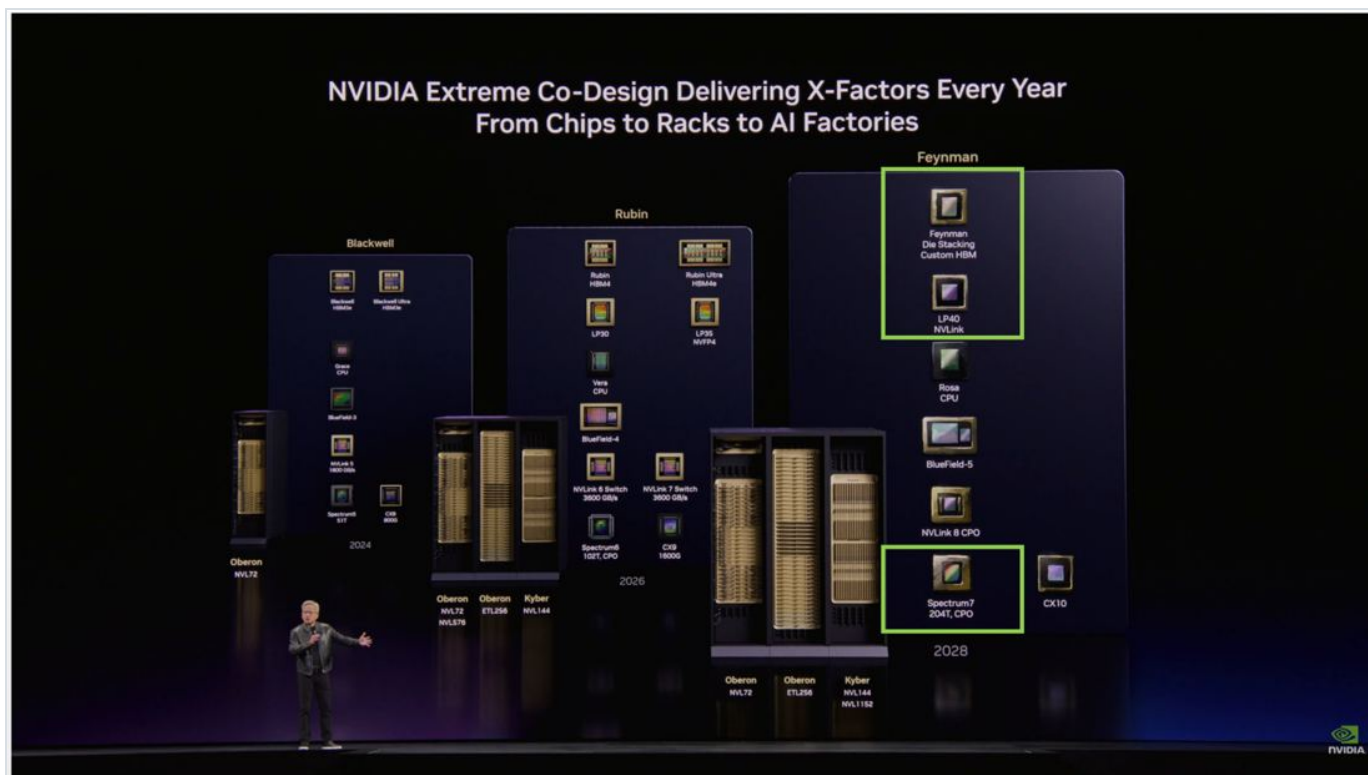


圖 10-1 | NVIDIA 三代平台路線圖：Blackwell（2024） / Rubin（2026） / Feynman（2028）。Feynman 世代欄位明確標示「Feynman Die Stacking Custom HBM」，是 SoIC 垂直堆疊技術首度出現在 NVIDIA 官方 co-design 路線圖上的節點。
來源：群益證券 × 定錨產業筆記，2026-07-08。

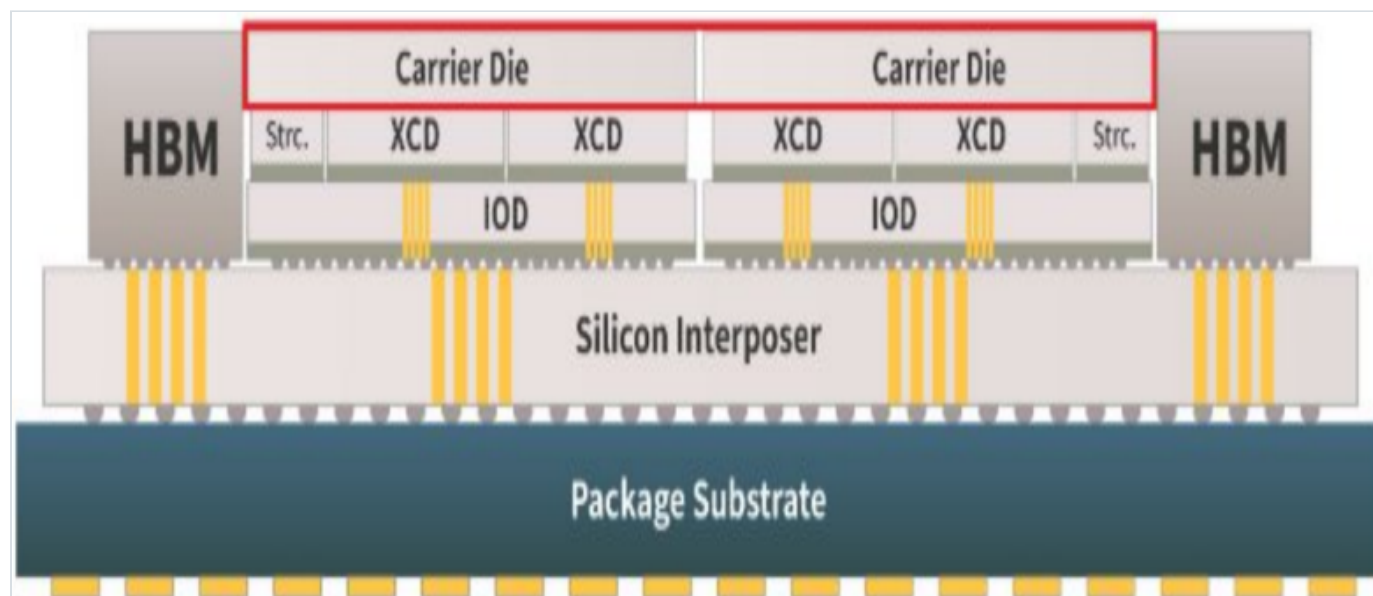


圖 10-2 | AMD 封裝結構示意。兩顆 Carrier Die（各含 XCD+IOD+Strc.）左右並列，兩側各接 HBM，下方為矽中介層與封裝基板——與圖 6-1 的 MI300 剖面呼應，是「SoIC 堆疊+CoWoS 中介層」複合結構的示意版。
來源：群益證券 × 定錨產業筆記，2026-07-08。

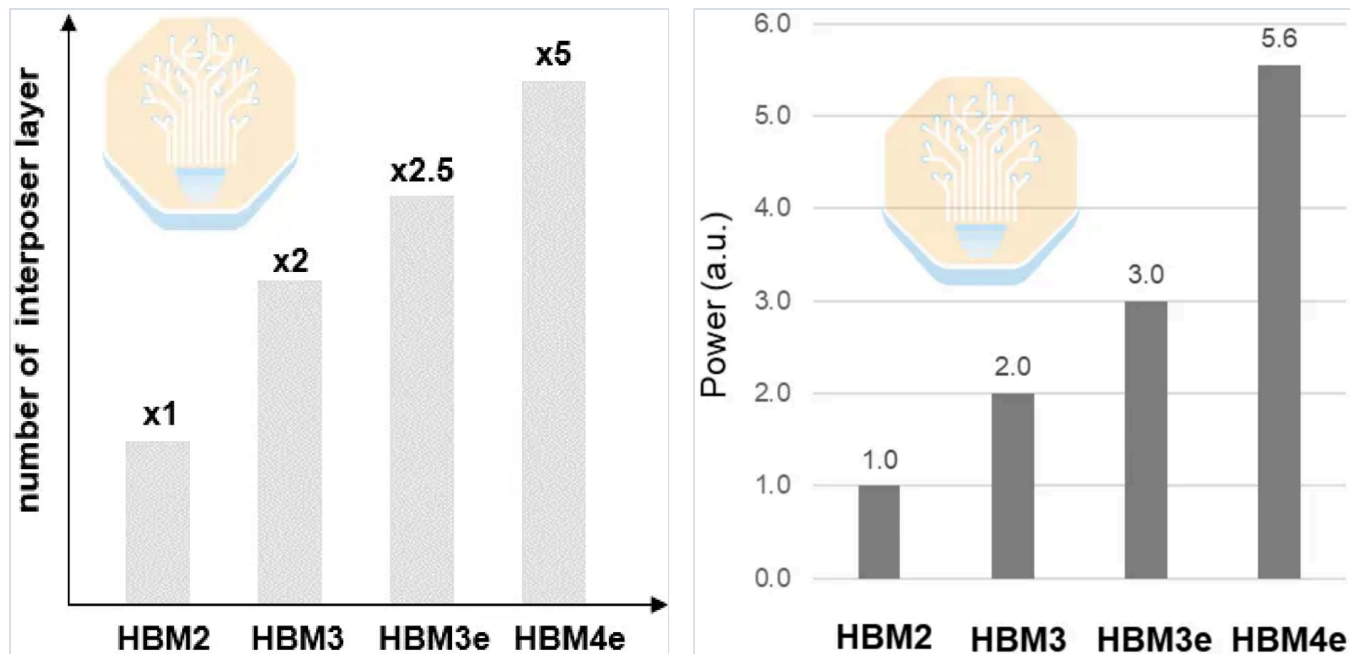


圖 10-3 | HBM 世代對中介層層數（左）與介面功耗（右）的需求倍增。左：中介層層數需求由 HBM2 的 $\times 1$ 一路上升到 HBM4E 的 $\times 5$ ；右：介面功耗（Power, a.u.）由 HBM2 的 1.0 上升到 HBM4E 的 5.6——中介層複雜度與功耗同步上升，是把 HBM 推向混合鍵合的物理壓力來源。

來源：SemiAnalysis ECTC 2026 大會綜述，2026-07-02。

第十一章 | 產能、資本支出與設備寡占

台積電 SolC 產能有四種口徑並存，彼此估計基準不同，本報告並列呈現、不擅自收斂成單一數字：

來源	2026	2027	2028
野村（2026-05-21）	約 15k wpm	約 30k wpm	—
富果（2026-06-20）	約 1.6-2 萬片	約 4.8 萬片	約 7.8 萬片
產業調研（WMCM memo，2026-05-26）	—	2027 底 4.5-5 萬片	7-8 萬片
TrendForce 引述供應鏈（2026-03-18）	1-1.5 萬 wpm	因 NVIDIA / Broadcom / AMD 續擴	—

資本支出強度：每萬片月產能約需 68-70 億美元（TrendForce 引述法人，2026-03-18，**待核對**）——遠高於 CoWoS，是設備供應鏈價值量的根源。

產地布局：主力位於 AP6（竹南），AP5B（台中）擔任支援角色；AP7（嘉義）與 AP8（南科）則在擴建中。值得注意的是，AP7 原規劃以 SolC 為主力產線，但依三福化 2026-05 法說揭露，**AP7 已改以 CoWoS 為主**，AP8 亦同——耗材端受惠的廠區與時點因此存在遞延風險。

設備寡占與驗證（已查證）

- BESI 2Q26（2026-07-23 公布）：營收 €249.9m（+68.7% yoy）、淨利 €89.0m（+177.3%）、訂單 €292.9m（**+128.8% yoy**）；H1-26 訂單 €562.6m（+116.5%）
- 2026-06-18 投資人日上調長期財務目標
- 混合鍵合客戶數由 2025 年底 15 家增至 2026 年中 21 家（agy 搜尋，**待核對**）
- 野村原預期 BESI 訂單 2026-27 由谷底回升——**此預測已被 2Q26 實績驗證**，可由 estimate 升級為 **fact**
- 其他設備商：EVG（GEMINI FB，imec 200nm W2W）、ASMPT（FIREBIRD TCB）、Shibaura、AMAT / TEL（前段設備）

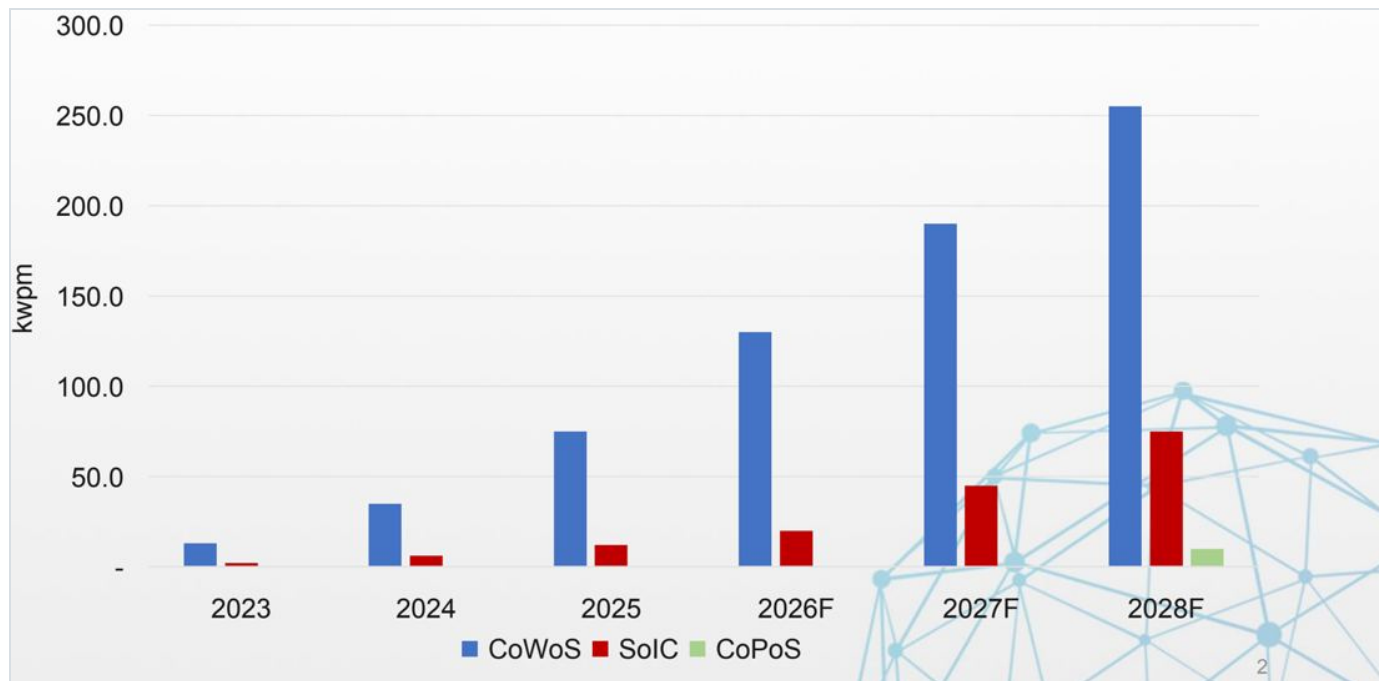


圖 11-1 | 台積電先進封裝產能 (kwpm) 2023–2028F，CoWoS / SolC / CoPoS 三線並列。CoWoS 產能由 2023 年約 13kwpm 擴增到 2028F 約 255kwpm；SolC 由趨近於零擴增到 2028F 約 75kwpm；CoPoS 於 2028F 開始出現產能。
來源：群益證券 × 定錨產業筆記，2026–07–08。

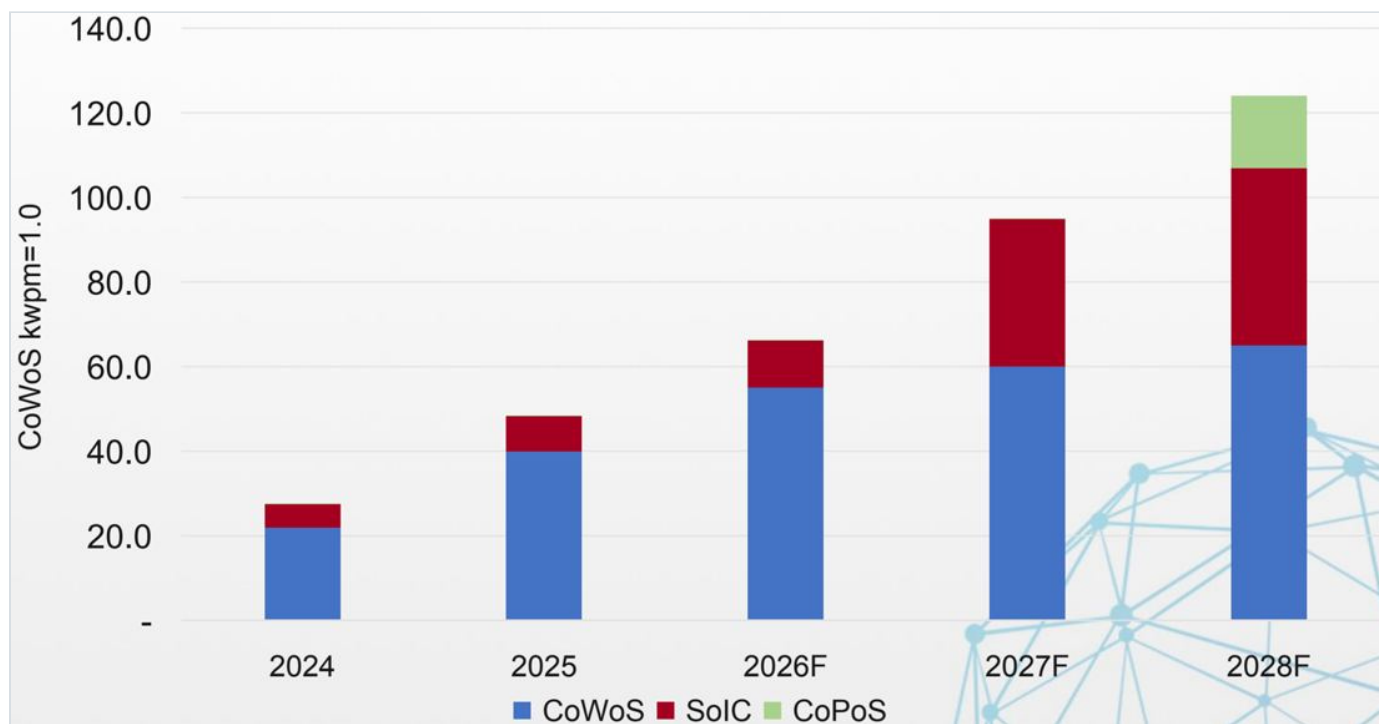


圖 11-2 | 台積電先進封裝資本投入 (以 CoWoS kwpm=1.0 標準化)，2024–2028F。SolC 資本投入占比隨產能擴增快速上升，2028F 已與 CoWoS 相當甚至超出；CoPoS 於 2028F 開始貢獻資本投入——資本支出結構正快速向 SolC / CoPoS 傾斜。
來源：群益證券 × 定錨產業筆記，2026–07–08。

圖 11-3 | BESI 2Q26 訂單 / 營收年增率 (本報告自繪)



來源：BESI 2Q26 財報新聞稿，2026-07-23（以 4 項年增率最大值 177.3% 為長條圖 100% 基準）。

第十二章 | 台股映射：從名單到實績

圖 12-1 | SoIC 台股四段供應鏈（本報告自繪）

設備端		耗材端		零組件端	服務端
弘塑（濕清獨供）、均華（die bonder）、大量、晶彩科、倍利科		中砂（鑽石碟）、頌勝（研磨墊）、長興（研磨液）、三福化（蝕刻液）、晶呈科技（TSV 特化氣體）		瑞耘、慶康（保持環）、意德士（密封環 / 真空吸盤）	昇陽半導體（薄化 / 承載晶圓）、德律（檢測）

環節	台廠	角色	2026 最新實績
濕製程 / 清洗設備	弘塑 3131	台積電 SoIC 濕清獨家供應商	GS 估 SoIC 佔其 2027-28 設備營收約 50%（2026-05-26）
黏晶 / 挑晶設備	均華 6640	Die bonder 切入台積電先進封裝	2026-08-12 法說：先進封裝設備佔營收 90-95%，能見度至 2027Q2（待核對）；2Q26 EPS 4.33（Yahoo 核實）
設備	大量 3167、晶彩科 3535、倍利科 7822	隨 CoWoS 切入、延伸 SoIC 驗證	—
CMP 鑽石碟	中砂 1560	混合鍵合前 CMP 關鍵耗材	2026-08-11 法說：2Q26 EPS 3.49（Yahoo 核實，季增 18.7%、年增 91.8%）；先進製程與先進封裝佔營收 61.2%、鑽石碟月產能上修至 7 萬顆以上（待核對）
CMP 研磨墊	頌勝 7768	研磨墊	—
CMP 研磨液	長興 1717	slurry	—
特化耗材	三福化 4755	SoIC 蝕刻液、release layer	蝕刻液已通過驗證，3Q26 起貢獻營收；2026-08 董事會通過 1.5 億元擴建善化廠（待核對）
TSV 特用氣體	晶呈科技 4768	TSV 製程氣體	—
晶圓夾持環	瑞耘 6532、慶康 8098	CMP 保持環（新品 + 翻修）	—
密封環 / 真空吸盤	意德士 7556	FFKM 密封環、微影載台真空吸盤	—
晶圓薄化 / 承載晶圓	昇陽半導體 8028	堆疊前薄化、BSPDN 承載晶圓	再生晶圓月產能 2026 年底擴至 120 萬片（待核對）
檢測	德律 3030	AOI / X-ray / CT	—

判讀

- 設備端先行、耗材端遞延但彈性大——設備隨產能建置一次性入帳，耗材則隨量產片數長期累積。
- 第二波耗材已開始由「名單」轉「實績」：三福化蝕刻液進入營收、中砂先進佔比突破六成。
- 風險：AP7 / AP8 改以 CoWoS 為主，SoIC 耗材放量的廠區與時點需重新確認。

第十三章 | 追蹤指標與反證條件

指標	為什麼重要
台積電 SolC 2027 月產能落點（野村 3 萬 vs 富果 4.8 萬 vs 調研 4.5–5 萬）	三口徑收斂決定供應鏈量級假設
6μm pitch 是否如路線圖停留至 2028、4.5μm 是否 2029 如期到位	決定 CMP / 檢測價值量升級節奏
base die TSV 成熟度（3nm 約 2027、A14 量產後一年）	3D 堆疊時程的真正節拍器
Broadcom Monaka 2027 量產與 pitch 選擇	驗證「先行者仍保守」是否改變
HBM4E 客製版本是否成為混合鍵合先導驗證節點	HBM 導入爭點的裁決點
AP7 / AP8 SolC vs CoWoS 配比	決定耗材放量廠區與時點
BESI 訂單與混合鍵合客戶數是否續增	設備端景氣延續性
NVIDIA Feynman SolC 用量與 COUPE 量產時點	SolC 新增需求最大單一變數

反證條件

台積電法說下修先進封裝資本支出、AP 廠 SolC 配比持續縮減、BESI 訂單連兩季低於預期、NVIDIA Feynman 改用非 SolC 方案——上述四項中出現任兩項，本報告論點應下修。

附錄 | 來源清單

查證狀態

已核實 (defuddle 原始出處)：BESI 2Q26 財報數字、中砂 2Q26 EPS 3.49、均華 2Q26 EPS 4.33、TSMC SolC pitch 路線圖與 56x/5x 官方口徑、Broadcom F2B/F2F 訊號密度、Fujitsu Monaka 規格、SolC-MH 與 Apple M5、SolC 產能與資本支出強度 (TrendForce 2026-03-18)。

待核對 (僅單一搜尋來源、未取得原始出處)：中砂鑽石碟產能 7 萬顆、三福化善化擴廠 1.5 億元、均華能見度、昇陽半導體再生晶圓產能、BESI 客戶數 15→21 家、CEA-Leti 低溫退火、JEDEC 775μm 厚度規格。

主要來源

- TSMC North America Technology Symposium 2026 (經 Tom's Hardware 報導，2026)
- Tom's Hardware, "TSMC SolC 3D stacking roadmap outlines path from 6-micron pitches today to 4.5-micron in 2029"
- TrendForce, 2026-03-18 (NVIDIA Rubin Ultra/Feynman 帶動 SolC)、2026-06-08 (Apple M5 Ultra 與 SolC-MH)
- BESI Q2-26 財報新聞稿，2026-07-23
- 富果研究，2026-06-20
- 野村《Greater China Semi: A Guide to Semi Renaissance in 2026-30F》，2026-05-21
- SemiAnalysis ECTC 2026 大會綜述，2026-07-02
- 群益定錨 2026 半導體先進封裝設備展望，2026-07-08
- Goldman Sachs 弘塑報告，2026-05-26
- imec/EVG ECTC 2026 200nm W2W 新聞稿，2026-05-28
- 福邦投顧《2026 台灣半導體特化與耗材展望》，2026-03
- Yahoo 股市 (中砂 / 均華 2Q26 EPS 查證，2026-08-16)

本報告由 LLM 依上述公開來源整理改寫，供產業研究參考，不構成投資建議。內文標註「待核對」之數字僅來自單一搜尋來源，尚未取得原始出處佐證，讀者引用前應自行查證。