SoIC ／ 3D 堆疊

從「為什麼要疊」，到「誰真的受惠」

01　為什麼要疊

三堵牆同時擋住，只好往上長

縮不動

電晶體微縮紅利遞減

單靠製程節點已經拉不開效能差距

830 mm^2

光罩極限，單顆做不大

再大就得拆成多顆，良率也隨面積崩壞

1000 W+

封裝功耗，資料跑太遠

搬資料的能量開始超過算資料的能量

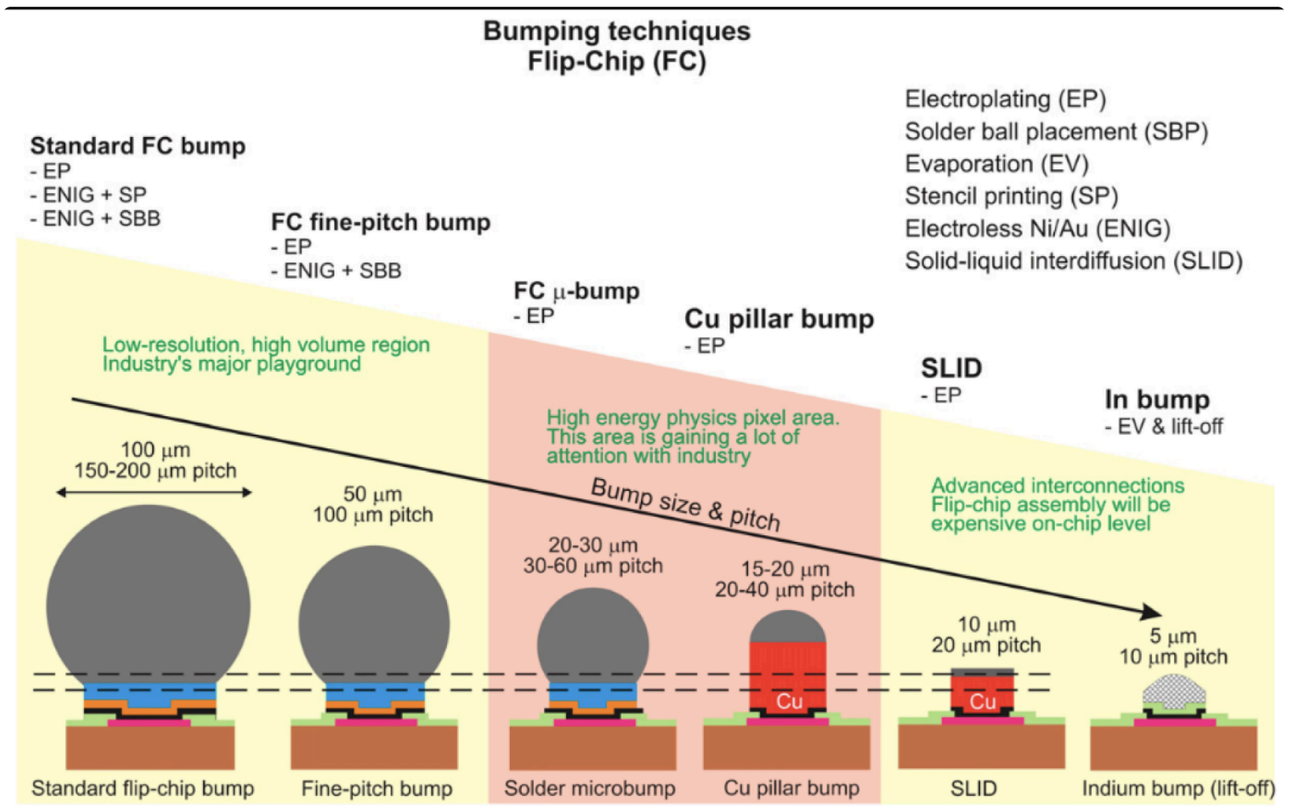
> 三堵牆的解法其實是同一件事：**把互連距離縮短、把接點數量放大**。這就是 3D 堆疊的全部動機——先記住這句，後面每個技術名詞都是在服務它。

- 三堵牆**不是同時開始擋**：微縮先減速、光罩極限接著卡住大晶片、資料搬運的功耗最後才變成主要矛盾
- 所以先進封裝的採用順序也是這樣——先為了**做得出來**（良率、面積），才為了**跑得快**（頻寬、功耗）

接點一路縮小，pitch 從 200μm 走到 10μm

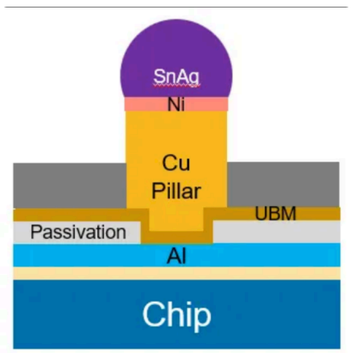
- 右圖橫軸就是這條路：標準凸塊 **100μm / 150–200μm pitch** → 細間距 50μm → 焊料微凸塊 20–30μm → **Cu pillar 15–20μm / 20–40μm pitch**
- Cu pillar 的意義：把球狀焊料換成**垂直的銅柱＋薄焊帽**，同樣面積能塞更多接點，也不會壓扁短路
- 再往下 SLID 10μm、Indium bump 5μm 屬特殊應用；主流量產走到 Cu pillar 就遇到牆

> 10μm 以下，焊料量不夠、共平面度壓不住、空孔率上升——**只剩無凸塊的混合鍵合**。



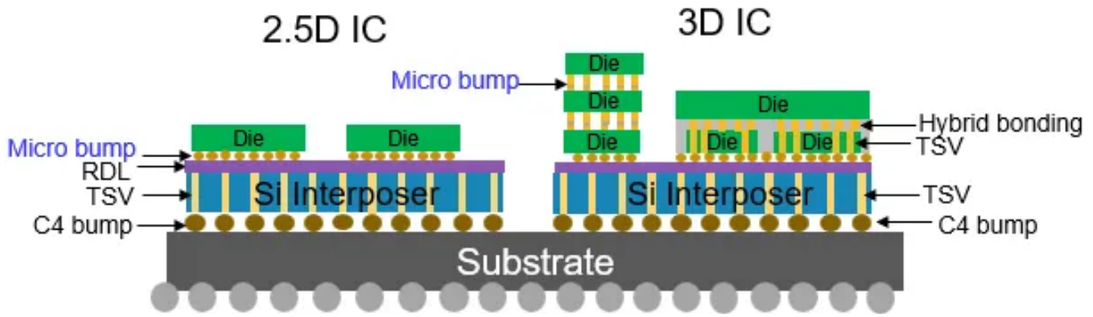
Bumping techniques（Flip–Chip）：由左至右為標準覆晶凸塊、細間距凸塊、焊料微凸塊、**Cu pillar bump**、SLID、銦凸塊，斜箭頭標示 bump size & pitch 遞減。來源：Sensors 25(1):263, MDPI, Fig.5（CC BY）

μbump 的四層，每一層都在解一個問題



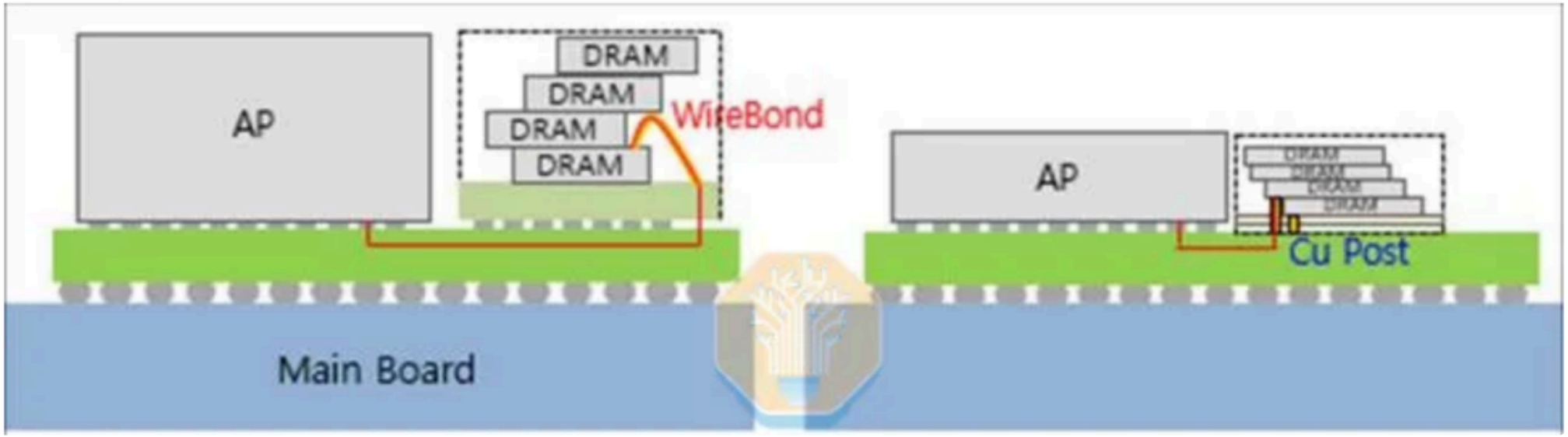
由下而上：Chip / Al / Passivation / UBM / Cu Pillar / Ni / SnAg。來源：辛耘企業

- **UBM（Ti/Cu）** 增強黏著力，並阻擋原子擴散
- **Cu pillar** 凸塊主體：導電與機械支撐，也是能縮小間距的原因
- **Ni 阻障層** 防止銅與錫反應過快，生成過厚的**脆性 IMC**
- **SnAg 焊錫帽** 回焊後與另一顆晶片的金屬墊結合——**有焊料，這正是它和混合鍵合的根本差別**
- 尺寸定位：BGA **>500μm** → Flip Chip bump **80–120μm** → **μbump <40μm，已縮到 10–20μm**
- 三大挑戰：錫球縮小**加速 IMC 生成**削弱接點強度、高電流密度造成**電遷移空洞**、微影對準與電鍍均勻性拉高成本與缺陷敏感度
- 間距小於 10μm 時混合鍵合會逐漸取代它——但辛耘自己的結論是：**可預見的數年內 μbump 仍是先進封裝主力**



四種接點各就各位：**C4 bump** 接基板、**Micro bump** 接 die 與矽中介層（2.5D）或 die 與 die（3D）、**TSV** 打通垂直路徑、只有最上層 3D 堆疊處才用 **Hybrid bonding**。來源：辛耘企業 TechNews-287

同樣是連上去，銅柱讓整包又矮又窄

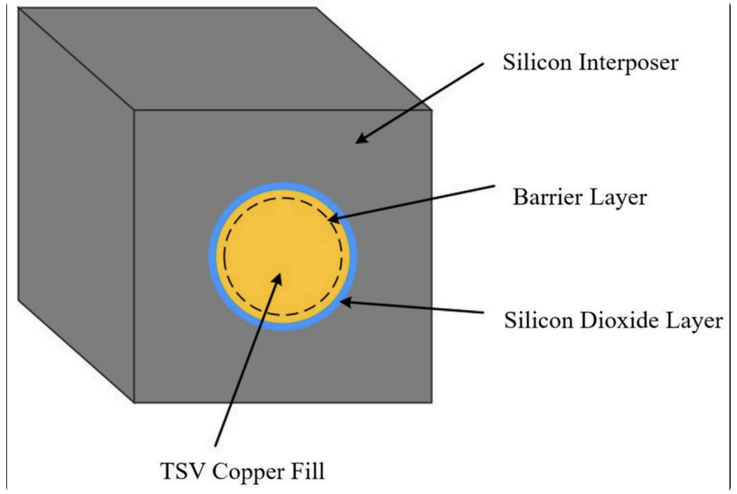


左：WireBond——四層 DRAM 以金線繞出晶片邊緣下彎接基板，高度與占地都被拉大。右：Cu Post——銅柱垂直互連，整體明顯更矮更窄。來源：Samsung, ECTC 2026 © SemiAnalysis

- **打線繞邊緣，接點數被周長綁死**；金線還要往上拉再下彎，高度吃掉封裝厚度
- 銅柱走垂直，接點可以佈成**面陣列**而不是只排在四周——這是接點數量級躍升的起點
- 訊號路徑短、電阻低、寄生電容小，**驅動電路可以跟著縮小，也省電**
- 同一個封裝裡通常四種接點並存：BGA → C4 → μbump → 混合鍵合，各自負責不同層級

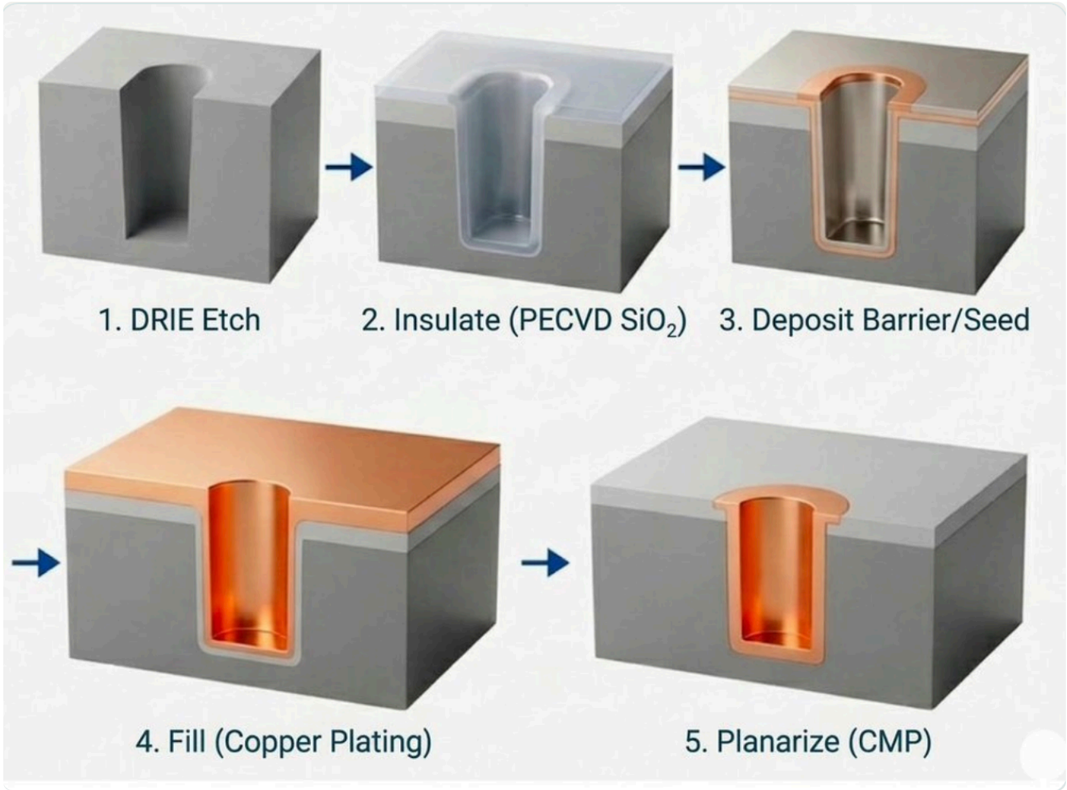
> 所以「先進封裝」**不等於**「混合鍵合」——**CoWoS 從頭到尾都不需要它**。這是入門者最常搞混的一刀。

TSV：在矽裡打一個洞，讓訊號垂直穿過去



由外而內：**矽基材**（灰）→ **SiO_2 絕緣層**（藍，防止銅漏電到矽）→ **阻障層**（虛線，擋銅擴散）→ 中心**銅填充**。來源：Micromachines 17(5):601, MDPI（CC BY）

- **TSV 是一個家族**：中介層 >10μm ／ 一般約 5μm ／ μTSV 1–2μm ／ nTSV 次微米
- 洞愈細愈深、蝕刻愈慢——**TSV 是 HBM / CoWoS 的瓶頸站點之一**



五道製程：① **DRIE 深蝕刻**挖洞 → ② PECVD 長 SiO_2 **絕緣** → ③ 沉積**阻障層與種子層** → ④ **電鍍銅填孔** → ⑤ **CMP 平坦化**磨掉表面多餘的銅。
做完這五步 TSV 仍是**盲孔**——要再從**背面磨薄**到銅露出來才貫穿，所以晶圓薄化與 CMP 在 3D 堆疊裡是綁在一起的兩站。來源：Nanosystems JP Inc.

pitch 減半，同面積接點數變四倍

10 μm

μbump 的物理天花板

不是還沒做到——焊料量不夠、共平面度壓不住、空孔率上升。之下只剩混合鍵合

6 μm

量產線卡了四年

2025–2028 連四年不動，微縮讓位給堆疊節點加速

200 nm

實驗室線已經到這

imec / EVG 的 W2W 成果，與量產線差約 30 倍

- 接點愈小，寄生電容愈小，**驅動電路可以縮小、也省電**——pitch 不只是密度問題，是功耗問題
- 卡住量產的已經不是鍵合物理，是**晶圓形貌、對位精度與良率經濟**
- Amkor 直言：roadmap 雖然畫到 1μm，但 **6μm 會是商業可行點很長一段時間**——邏輯對記憶體 6μm 已創造足夠系統價值

> 判讀口訣：看到任何 3D 堆疊方案，**先問 pitch，再問這個 pitch 是量產線還是論文線**。兩條線差一個數量級以上，混著引用就會得出錯誤結論。

03　一張表看完

哪一層用什麼接點、pitch 各是多少

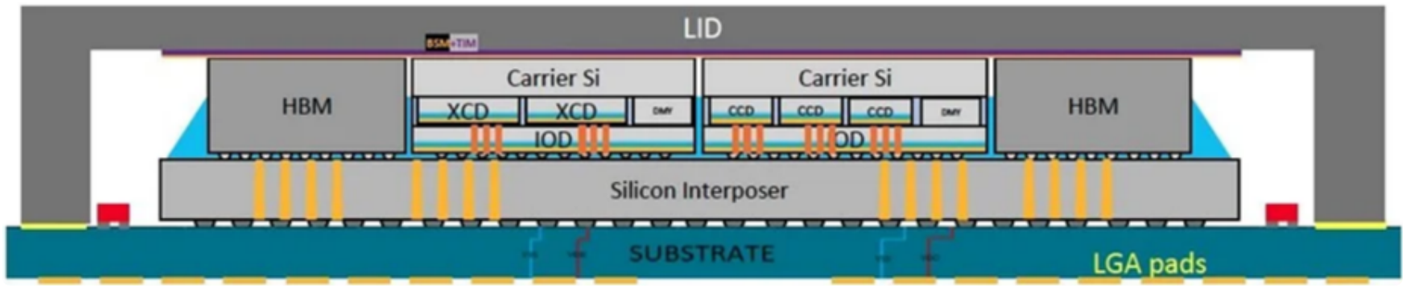
位置	接點型式	尺寸	pitch	實例
基板 → 中介層 / 晶片	C4 / flip chip bump	直徑 **80–120μm**	標準 150–200μm 細間距版 100μm	CoWoS 中介層下方那排
die → Si interposer 2.5D	焊料微凸塊 solder microbump	20–30μm	**30–60μm**	CoWoS 上的 GPU / HBM 接中介層
die → die 3D，現行主流	**Cu pillar μbump** 配 TCB 熱壓	15–20μm	**20–40μm**	HBM 堆疊層間；Feynman 的 SRAM 層間也用這個
die → die 3D，無凸塊	**混合鍵合 HCB**	無凸塊	**量產 6μm**（2025 起） Gen1 為 9μm / 2029 到 4.5μm	**SoIC-X**：AMD MI300、Apple M5 Pro / Max
垂直穿透 不是接點，是通道	TSV	中介層 >10μm 一般約 5μm / μTSV 1–2μm	以直徑論，不以 pitch 論	Si interposer、HBM base die

最值得記的一組對照：同樣是 3D die-to-die，**μbump 20–40μm vs 混合鍵合 6μm**——pitch 差 4–6 倍，換算面積密度差一個數量級以上。這就是 SoIC 值得那麼貴的原因。
另注意實驗室線：imec / EVG 的 W2W 已到 200nm、AMAT＋EVG 450nm（2,000 萬鏈結 98% 良率），與量產 6μm 差約 30 倍，引用時要分清楚。

尺寸來源：辛耘 TechNews-287（C4 / μbump 尺寸）、Sensors 25(1):263 MDPI Fig.5（bump 階梯與 pitch）、TSMC 2026 北美技術論壇（SoIC pitch）、Broadcom（F2B / F2F）

台積電的 3D 堆疊平台，三個版本各有戰場

版本	接合方式	pitch	代表案例與定位
SoIC-X	無凸塊混合鍵合	**9 → 6 → 4.5 μm**	AMD MI300、NVIDIA Feynman——效能主力路線
SoIC-P	μbump	> 10 μm	成本敏感型應用；台積電**刻意保留**的低成本檔位
SoIC-MH	混合鍵合 ＋ **水平**模封 molding horizontal：並排不是疊高	—	Apple M5 Pro / Max（Fusion Architecture）

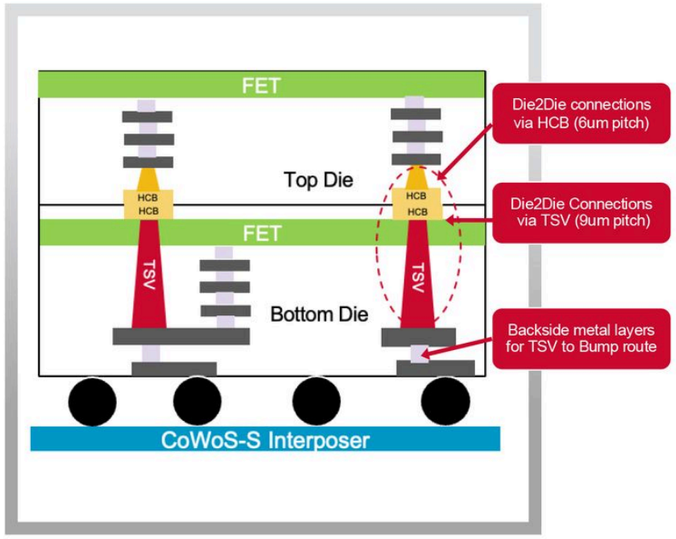


3D-on-2.5D 的實體——AMD MI300：**XCD / CCD 以 SoIC-X 垂直堆疊在 IOD 之上**（3D 那一層），兩側 HBM，整組再放上 **Silicon Interposer**（CoWoS，2.5D 那一層），底下 substrate 與 LGA pads。來源：富果研究，2026-06-20

台積電官方口徑：SoIC 的 3D 互連相較 CoWoS 的 2.5D 具 **56 倍互連密度、5 倍能效**。**SoIC-P 的存在本身就是訊號**——台積電並不認為所有客戶都該用混合鍵合。

F2F 還是 F2B，比 pitch 數字更決定成敗

Face-to-Back 3D SoIC Technology (Gen1)

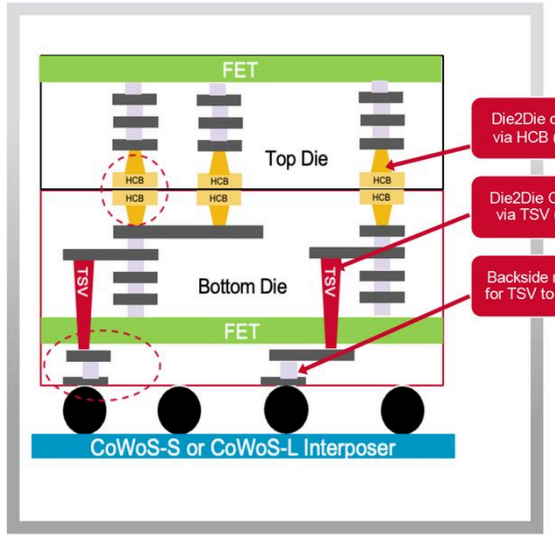


Raw Die2Die TSV density = 3k signals/mm²
→ Signal density = **~1.5k signals/mm²**

Low interconnect density forces rethinking of the 2D logic architecture

TSV based interface has higher parasitic loading
→ Requires specialized PHY to achieve BW required

Face-to-Face 3D SoIC Technology (Gen2)



Raw Die2Die HCB density = 27k signals/mm²
→ Signal density = **14k signals/mm²**

Very high-interconnect density means no change needed to 2D logic architecture

Direct HCB provides low parasitic/high performance interface
→ More seamless integration between die, simple interface

左 Gen1 Face–to–Back：訊號經 TSV（9μm pitch），Raw density 3k、**有效訊號密度僅約 1.5k signals/mm²**，且 TSV 寄生負載高、需專用 PHY。右 Gen2 Face–to–Face：兩顆晶粒直接以 HCB（6μm pitch）對接，Raw 27k、**有效 14k signals/mm²**，2D 邏輯架構不需改動。來源：Broadcom，TSMC 2026 北美技術論壇

約 **9.3 倍**的有效訊號密度落差，讓晶片間通訊「更像同一顆晶片內部繞線」。所以：**混合鍵合本身不保證高密度——F2B 架構下 TSV 仍是瓶頸**。第一代 SoIC 只支援 F2B，這正是它 2023 年就存在卻遲遲沒被廣泛採用的結構性原因。

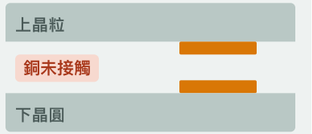
難點只有兩個：CMP 平整度、對位精度

混合鍵合沒有焊料。**焊料的作用其實是容錯**——它會熔、會流、會填補高低差。拿掉焊料，就等於拿掉所有容錯，於是全部壓力落在這兩件事上。

難點一　CMP 平整度

唯一一個「不是越好越好、而是要落在窗裡」的參數

太深
→ 開路



介電層貼上了，但**銅端面留空隙** → 開路

落在窗裡
→ 接合成功



介電層先貼合，退火後**銅剛好脹滿**

太淺
→ 貼不上



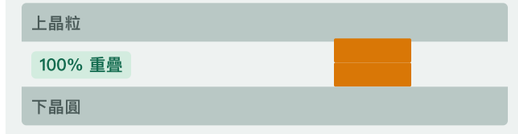
銅先頂住 → **介電層碰不到**，親水鍵結失效

- 粗糙度門檻：介電層 **RMS <0.5nm**、銅 pad **<1nm**
- 銅 pad 目標內縮約 **5nm**，容許窗僅 **1–3nm**——要用**低 / 高 Cu removal slurry 多道組合**才做得出來
- Sony 在 ~1μm pitch 時**反而讓銅微突出**——路線到極細間距會反轉

難點二　對位精度（overlay）

精度和吞吐直接對立，沒有兩全的解

對準
→ 全接觸面積



上下 pad 完全對齊，接觸面積最大

偏移
→ 電阻上升、可靠度掉



錯位 → 有效接觸面積下降，pitch 越細越致命

- **W2W 已達 sub-50nm**——因為對位腔與鍵合腔**分離**，晶圓間距控制在 50μm 內、只走 X / Y 不走 Z，而且晶圓級對位慢一點也不傷吞吐
- **D2W 是一顆一顆貼**，每顆都要重新對位——這就是 hybrid bonder 台數必須隨產量**線性成長**的原因
- 台廠水準：梭特 DB-22HP 官方標 **±0.2μm**，與 BESI / EVG 的次微米級仍有距離

為什麼其他站也難？因為它們的規格是被這兩件事綁架的。　切割方式由潔淨度決定（blade 最髒所以不用）；CP 測試的探針會壓傷 pad 平坦度，所以 **probing 後得再補一道 CMP**；晶圓薄化的 TTV 變異會直接變成邊緣不鍵合，因為混合鍵合零間隙、**沒有凸塊可以補償**。

兩條線分頭做，在鍵合合流；每一站都對應一種設備或耗材

上晶粒 Top Die	**SoC 前段製程** 邏輯晶圓做完	**CP 測試** 先篩出 KGD 探針卡 · 測試介面	**CMP 平坦化** RMS <0.5–1nm 均豪 5443（設備） 中砂 1560 · 頎勝 7768 · 長興 1717	**切割** laser / plasma blade 太髒不用
下晶圓 Bottom Wafer	**SoC 前段製程** 含 via-middle TSV 晶呈 4768（TSV 氣體）	**CP 測試**	**CMP 平坦化** 銅凹陷窗 1–3nm 瑞耘 6532 · 慶康 8098（保持環） 大量 3167（後段階高量測）	**不切割** 整片進鍵合
鍵合段 D2W	**電漿活化＋清洗** queue time 是製程窗 弘塑 3131（濕清獨家） 勝一 1773 · 天虹 6937	**對位鍵合** 常溫 pre-bond BESI · EVG · ASMPT 均華 6640（挑 KGD＋貼）	**低溫退火** 175–200°C 銅擴散 志聖 2467（WPRA-A12） 印能 7734（WSAS 抗翹曲）	**鍵合後檢測** 查空洞與對位 政美 7853（鍵合前對位） 德律 3030（X 光 / CT）
背面段 3D 專屬	**暫時鍵合載體** 薄化前先貼 carrier 志聖 2467（Carrier Bonder） 山太士 3595 · 台虹 8039 · 南寶 4766	**背面薄化** 磨到 TSV 銅露出 昇陽半 8028	**背面金屬化** RDL / bump	**解鍵合** 雷射釋放層分離 山太士 3595（LRL） 東捷 8064（雷射剝離）

載體晶圓（TBDB）是入門者最容易漏掉的一段：磨到 TSV 露銅時矽薄得自己站不住，得先暫時鍵合到載體上；做完背面工程再解鍵合。而混合鍵合**零間隙、全剛性、沒有凸塊可補償**，載體的厚度變異會直接變成邊緣不鍵合——這就是 TBDB 材料被細間距綁死的原因。

05　入門者最該搞懂的一組

W2W 快但不能挑，D2W 慢但能篩良品

W2W　整片對整片

WAFER TO WAFER

- 快、**對位最準**（已達 sub-50nm）
- 但不能挑良品，**良率直接相乘**：90% × 90% ＝ 81%
- 上下 die 尺寸必須一致
- 適合：記憶體、影像感測器——晶粒小、良率本來就高

D2W　先挑好的再貼

DIE TO WAFER ← SoIC 走這條

- 能篩**已知良品（KGD）**再貼
- 但一顆一顆貼，**吞吐低、設備台數隨產量線性成長**
- 上下 die 尺寸可以不同
- 適合：先進邏輯——晶粒大、良率低

- 成本曲線在某個 die size 交叉：**die 愈大，W2W 把壞 die 鍵到好 die 上的浪費愈兇**

法則：**晶片愈大、良率愈低，就愈非 D2W 不可。**die 愈大，W2W 把壞 die 鍵到好 die 上的浪費愈兇，成本曲線在這裡交叉——這就是 SoIC 走 D2W 的根本原因，也是 KGD 篩選站點在 SoIC 供應鏈裡特別值錢的原因。

四個驅動力，一個都不占就不該用

要接得密 | **要疊得薄** | **要散得掉熱** | **要省得下電**

案例	占哪幾項	為什麼非用不可
AMD 3D V-Cache	**密・電**	快取要對接幾萬條線；二代把 SRAM 移到下面讓運算晶粒直接貼散熱器，效能再 +8%
Apple M5 Pro / Max SoIC-MH，水平非垂直	**密・熱**	4 顆 die（1 CPU＋1 GPU＋2 dummy）**水平**分離在模封區內，用意是**攤開熱點**（筆電持續功耗僅 30–40W）＋維持 UMA 所需的低延遲 die-to-die。 Counterpoint 拆解標 likely SoIC-mH，Apple 官方只稱 Fusion Architecture
AMD MI300 / MI350	**密・薄・熱**	量產中的 logic-on-logic，上下都是發熱源
NVIDIA Feynman 2028 下半	**四項全中**	A16 製程＋**首次大規模導入 SoIC 3D 堆疊**＋CPO＋客製化 HBM。DIGITIMES / 群益等多方供應鏈消息，未經 NVIDIA 官方確認；「SRAM 層間用 TCB」的混用細節查無來源
HBM / CPO 光引擎	**薄・熱 / 電**	HBM 目前還沒轉；CPO 是唯一由省電單獨驅動的案例

看這張表要抓兩件事：

① **「占幾項」比「有沒有用」重要**——Apple 只占「密」一項，所以它用 SoIC 純粹是被光罩極限逼的，不能拿來論證效能敘事。

② **NVIDIA Feynman 刻意混用**是最好的反例教材：同一顆產品裡 SRAM 層間用便宜的 TCB、只有 SRAM 對 GPU 這一刀用 SoIC。技術不是愈先進愈好，是**哪一刀值得花錢**。

SoIC 特別拉動的四個環節

環節	為什麼特別受惠	台廠
CMP	鍵合面平坦度要求遠高於一般 CMP，**整條鏈上被拉最高的一站**	中砂 1560（鑽石碟）、頌勝 7768（研磨墊）、長興 1717（研磨液）、瑞耘 6532、慶康 8098（保持環）、**均豪 5443**（CMP 設備 / TTV 量測）、昇陽半 8028（薄化）
檢測與量測	鍵合對微粒與平整度極敏感，**站點價值結構性上升**	大量 3167（CMP 後階高）、政美應用 7853（鍵合前對位平整度）、德律 3030（鍵合後 X 光 / CT）、倍利科 7822
黏晶 Pick & Place	D2W 一顆一顆貼，**設備台數隨產量線性成長**	均華 6640（Die Sorter 挑 KGD ＋ Die Bonder 貼）
Hybrid Bonder 機台	SoIC 核心設備，BESI 2Q26 訂單 **YoY +128.8%**	梭特 6812（自研 DB-22HP）、均華 6640（開發中）、印能 7734（Cu-Cu 翹曲抑制）

這四個環節的共通點是：**它們是 SoIC 相較 CoWoS 額外拉出來的增量，不是原本就有的需求放大**。
另一個容易被忽略的量級感——**每萬片月產能約需 USD 6.8–7.0bn 資本支出**，遠高於 CoWoS。這就是為什麼 SoIC 設備與耗材供應鏈的**價值量遠高於片數比例**：看片數會低估，要看資本支出強度。

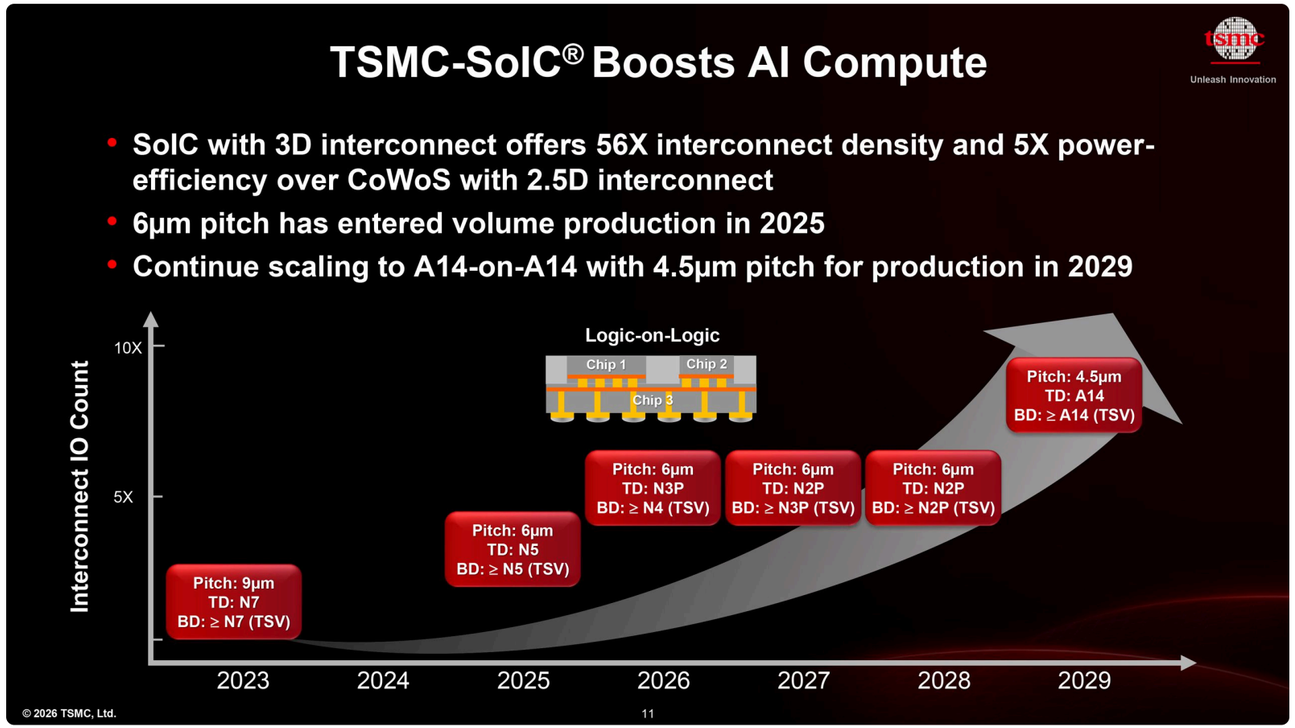
盤點方式：stock_llm_wiki 全庫掃描（全文 grep ＋ 標籤與 sector 雙掃）

撐住製程但不在鎂光燈下的三塊

環節	在解什麼問題	台廠
暫時鍵合 / 解鍵合 TBDB	薄化需要載體晶圓；而混合鍵合**零間隙、全剛性**，厚度變異直接變成邊緣不鍵合	山太士 3595（雷射釋放層，材料核心）、辛耘 3583（與山太士合作）、台虹 8039、南寶 4766、達興材料 5234
濕製程清洗	一顆 1μm 微粒毀掉十毫米見方的鍵合區	弘塑 3131（台積電 SoIC 濕清**獨家**）、勝一 1773（洗淨液）
特化耗材與氣體	TSV 蝕刻、release layer、腔體耗材	三福化 4755、晶呈科技 4768（TSV 特用氣體）、意德士 7556（FFKM 密封環）、天虹 6937（SiCN ALD）

- 這三塊的共同特徵是**「不出事沒人注意，出事整批報廢」**——議價權比表面看起來高
- 暫時鍵合尤其被細間距綁死：混合鍵合**零間隙全剛性、沒有凸塊可以補償**，載體晶圓的厚度變異會直接變成邊緣不鍵合

微縮讓位給節點升級，節拍器在底層晶片



SoIC 世代與 pitch 路線圖：2023 年 9μm（TD N7）、2025–2028 均為 6μm（TD 由 N5→N3P→N2P）、2029 進到 4.5μm（A14–on–A14）。縱軸為互連 IO 數。來源：© 2026 TSMC，2026 北美技術論壇

- pitch **6μm 用到 2028**，2029 才到 4.5μm
- 微縮讓位給**堆疊節點加速**：頂部晶粒 N5 → N3P → N2P → A14
- **真正的節拍器是底層晶片的 TSV 成熟度**：3nm TSV 約 2027 到位，而 A14 在初期量產後**僅一年**即可用
- 意思是堆疊時程正在加速——過去要等 base die 成熟好幾年，未來只要一年

> 追蹤這個主題，看四件事：**混合鍵合設備訂單**、**cHBM base die 的代工投片量**、**三大記憶體廠的邏輯設計人才招募**、**熱管理進展**。

光通訊：不疊起來，就得用 DSP 硬補回來

這是目前**最能說明「為什麼非疊不可」**的案例——因為它的代價可以直接換算成瓦數。

光偵測器輸出
光電流極微弱

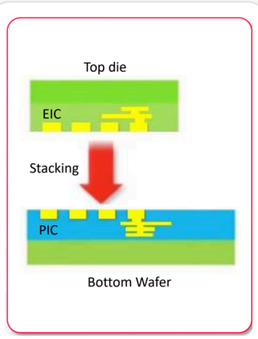
PIC → EIC 之間
每段導線都帶寄生電容

訊號進一步劣化
頻寬受限、眼圖惡化

只好用 DSP 等化補償
把劣化的訊號算回來

DSP 吃掉 ~40% 模組功耗
800G 模組 DSP 佔 8–12W

解法：把距離從「毫米」變成「微米」



EIC 為 Top die、PIC 為 Bottom Wafer，兩者 pad 面對面直接堆疊。來源：TSMC，引自穎崴 CPO 論壇 2026-05-14

- 台積 COUPE：EIC face-down 與 PIC face-up 以 F2F 混合鍵合對接——SoIC-X 的典型應用
- **介面寄生電容降低 85%**、整體功耗降約 **40%**
- PIC 內含 **TDV**，底部以 **Cu Pillar** 接基板——同時用到混合鍵合和銅柱，**不是二選一**

為什麼一定要分成兩顆再疊？**EIC 是 7nm FinFET、PIC 是 65nm SOI 矽光子**——製程節點差了好幾代，物理上做不進同一顆晶片。**異質整合不是選擇，是被製程逼出來的。**

能效階梯：距離縮短換來的量級

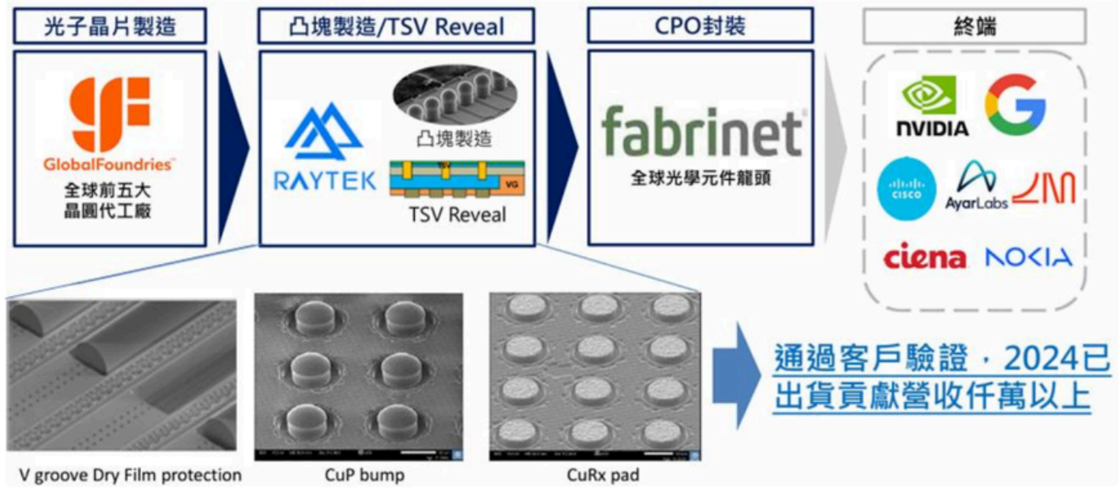
架構	能效
可插拔光模組（含 DSP）	DSP 獨佔約 **40%** 模組功耗
DR Optics CPO（OE＋ELSFP）	約 **5–6 pJ/bit**
OCI-MSA（50G NRZ、interposer）	低於 **3 pJ/bit**
台積 COUPE（SoIC-X 3D 疊合）	**deep sub-pJ/bit（約 0.5）**

- 同一條訊號，**從可插拔走到 3D 疊合，能效差了一個數量級以上**
- LPO 走的是另一條路——直接**拔掉 DSP**、改 linear driver / TIA，把補償責任丟回 switch ASIC

誰在做這件事：瑞峰的位置與 Broadcom 的雙軌

瑞峰 7873　TSV ＋ μbump 的實例

前面講的兩種技術，在這家身上同時出現



矽光子聯盟分工：GlobalFoundries（光子晶片製造）→ **RAYTEK 瑞峰（凸塊製造 / TSV Reveal）** → Fabrinet（CPO 封裝）→ 終端 NVIDIA / Google / Cisco / AyarLabs / Ciena / Nokia。下排為實拍 SEM：V-groove 保護膜、**CuP bump**、CuRx pad。來源：元大，2026-05-25

- **3D TSV Reveal 與工研院合作開發**，專為 CPO——就是第 6 頁「盲孔要磨薄露銅才貫穿」那一站
- **Fabrinet 持股 13.35%**，已開始出貨
- **門檻**：元大口徑，台灣具 12 吋 bump ＋ 3D TSV Reveal 能力的只有日月光、矽品、力成，**僅日月光已有 CPO**；中信另一口徑則**只剩瑞峰與台星科**

Broadcom　同時押兩條路

不是所有人都認為現在就該全面疊起來

路線	內容
Track 1 CPO	Tomahawk 6–Davisson **102.4T CPO**；OFC 2026 揭露 Taurus **400G/lane DSP**；roadmap 指向 204.8T
Track 2 NPO	**VCSEL-based 3.2T NPO** 搭 400G EML / PD，面向 hyperscaler **短期可量產**的需求

- NPO 是 CPO 的**橋接架構**——先過渡到 socket 近封裝，對封裝廠門檻較低，是**台廠的第一站**
- 到 2031 年**可插拔仍是主流**；CPO / NPO 只取代特定 segment，滲透速度取決於**封裝良率與熱管理，而非市場意願**

> 注意 Track 1 裡**還是有 DSP**（Taurus 400G/lane）。**「疊起來」和「拿掉 DSP」是兩件可以分開發生的事**——CPO 縮短距離，LPO 拔掉 DSP，兩條路互相加成但不互為前提。

10　額外介紹：天虹 6937

台灣首家自製 PVD 與 ALD 設備的廠商

三條腿的商業模式

- **自製設備**——PVD、ALD、Bonder / Debonder、Etch、EUV Pellicle 檢測。決定成長性
- **客製化零組件耗材**——陶瓷 / 石英 / 金屬 / 真空傳動件等 **2,000+ 種**。提供穩定現金流
- **代理設備**

> 機台 2018→2026Q1 **累計只出貨 154 台**——低量、高單價、驗證期以年計的生意。所以看這家不是看單季出貨，是看**站點有沒有變多**。

客戶是誰

產品線	客戶
PVD 設備	**台積電**、OSAT 廠
ALD 設備	晶電、鴻揚半導體
零組件耗材	**台積電、聯電、日月光、矽品**
EUV Pellicle 檢測	晶圓代工廠

- 耗材客戶涵蓋**四大晶圓廠與封測廠**——這是它能一直有現金流的原因
- 設備端**重心兩年內大幅移動**：封裝占比 19.4%→38.1%→**43.1%**（FY26F），化合物 55.6%→**29.2%**，光電 9.7%→**19.4%**
- 玉山預估 **2027 年設備營收占比過半**，且封測產品線取代化合物成為最大來源——**成長故事已經換了主角**

兩大主力機台：用在哪、為什麼重要

PVD　物理氣相沉積

FY26F 占設備營收 68.8%　·　最大主力

- **做什麼**：金屬薄膜導線鍍膜，支援 20+ 種導體薄膜（鈦 / 銅 / 鉭）
- **用在哪**：TSV / TGV **種子層**、**UBM**（bump 的打底層）、面板級封裝正背面金屬導線、光通訊 InP 鍍膜
- InP 晶片**極易碎**，所以還要配自動化搬運——這是設備商能拿到光通訊訂單的隱形門檻

為什麼重要：12 吋晶圓的 TGV 動輒**上百萬孔**，單孔直填或化學注入的良率與可靠度挑戰太大——量產主流仍是**PVD 整面均勻鍍膜、之後再電鍍**。

TGV 專家的原話：「問台積電供應鏈 CoPoS / TGV 用什麼，**答案一定是濺鍍**」。

換句話說，只要玻璃基板 / TGV 這條路線往前走，**PVD 就是繞不開的必經站**。

ALD　原子層沉積

FY26F 占 23.6%　·　單台 ASP 約 6,000 萬元

- **做什麼**：絕緣層 / 保護層 / 部分導體（鉭）薄膜沉積，10+ 種薄膜
- **用在哪**：光電 / CPO 高精準絕緣層、化合物半導體、Micro LED 玻璃光波導微結構與保護層（與 Apple 合作，降低運行電壓、提升電池續航）
- ALD 單台造價高但站點少，**營收占比會比 PVD 波動大**——2025 曾到 31.9%，FY26F 回到 23.6%

為什麼重要：ALD 和 CVD 是**互補不是取代**。CVD 快、便宜、適合大面積平鋪（每分鐘約 100 單位）；ALD 慢（1–2 單位）、造價高——**但只有它能完美包覆 3D 崎嶇結構**。

所以邏輯很直接：**製程愈往 3D、愈往細微結構走，ALD 的站點就愈多**。3nm / 2nm 底層的需求就是這樣長出來的。

一句話分工：PVD 負責「把金屬鋪上去」，ALD 負責「把難鋪的地方鋪好」。前者吃的是面積與台數（面板愈大、孔愈多，PVD 台數愈多）；後者吃的是結構複雜度（愈 3D、愈細微，ALD 站點愈多）。所以兩者的成長驅動其實來自**不同的產業變化**——PVD 跟著面板級封裝與玻璃基板走，ALD 跟著製程節點微縮與光電走。

其他機種與三條動能

其他機種	做什麼
Lumina（UV ALD）	**全球首創把 UV 光結合進 ALD**；同一台可做 UV treatment / ALD / CVD。以特定波長 UV 打開化學鍵結，適合處理 **3D 堆疊底層膠的 undercut 結構**
HB ALD（第四代混合腔體）	金屬 ALD，客戶委託開發 **鉬沉積**——3nm 以下用來取代鎢；具原位清洗、抗氯氣腐蝕
RA（Silicon Etch）	矽蝕刻新腔體，支援**電漿切割**與 **TSV 成孔**
ABF 蝕刻	ABF 載板新配方，解決傳統乾蝕刻的**表面坑洞**問題
Mechanical De-bonding	載板改成不透光後，雷射 / UV 解鍵合失效——這台是**機械式的替代解**
EUV Pellicle 檢測	光罩保護膜品質檢測，**5W 原型機已推進到 200W 第二代量產機**

① 面板級封裝

- PLP PVD **310×310mm**（與 CoPoS 同規格）已出貨 OSAT 驗證
- **急單由 8 月提前到 6 月**，正洽談三號機
- 量產期**單廠 4 萬片約需 8 台 PVD**——台數可估算

② TGV 填銅

- 3300 型機台完成**無空隙填銅**大規模驗證
- 累計逾 48,000 片、**連續五天平均良率 99.7%**
- 直接呼應玻璃基板路線的 PVD 需求

③ 光電 / CPO

- 光通訊**累計 14 家客戶**，涵蓋磊晶、保護層到 CPO 減薄
- 量級要留意：InP 晶圓多為 3 / 4 吋、月需求僅數百片，**設備總量需求低於邏輯晶圓**

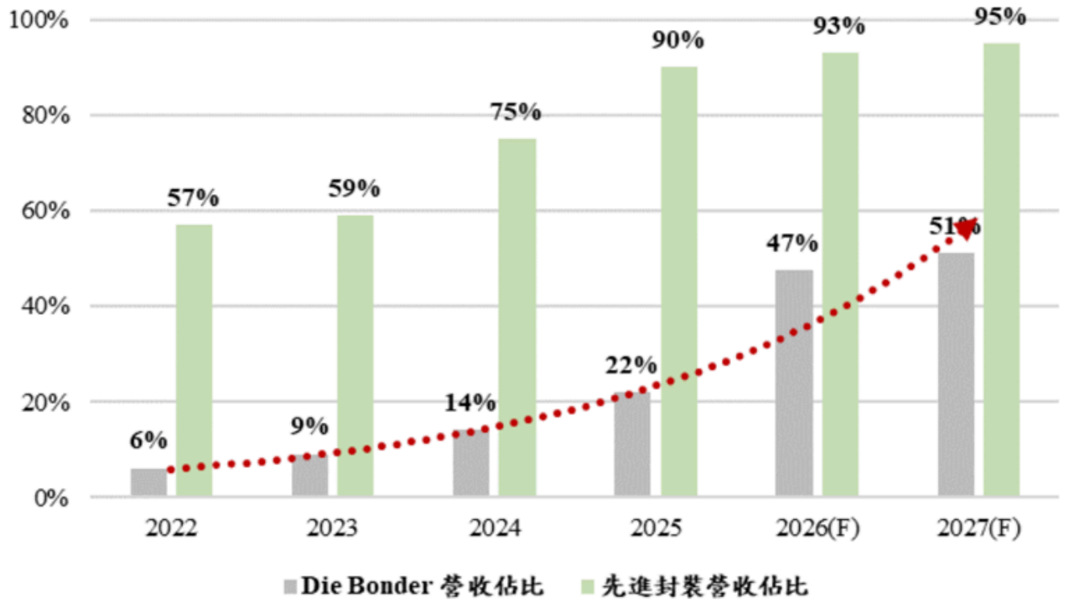
均華精密 6640 精密取放

主力：現在靠什麼賺錢

- **Die Bonder 黏晶機**——KB-9000 / 9150 / 9300 / 9X00，bonding accuracy **<3μm**、bonding force 1–300N+，支援 face-up / face-down 可切換與晶粒表面 AOI
- **Chip Sorter 晶片挑揀機**——KGD 篩選、Die Sort
- 半導體封裝**模具**；蘇州製造基地服務華東封裝廠，中美貿易摩擦下具分散產地優勢
- **Die Bonder 營收占比 2026 年 7 月已破 50%**（2022 年僅 6%），較券商原估提前約一年；CTBC 上修全年占比至 2026F 51% / 2027F 55%

切入中

- **CPO Sorter**——4Q26–2027 量產，**單價較 CoWoS 機型高雙位數百分比**
- **Hybrid Bonder**——2025-11 法說宣告投入開發、研發人力大幅擴增
- 2Q26 曾因 OSAT 客戶新廠**裝機遞延**（5M26 衝擊 1.5 億元）+提前備料，毛利率降至 41.4%；**3Q26 營收上修至 15.22 億元（QoQ +85%）**，7 月營收 6.9 億（MoM +102%）已回溫



Die Bonder 營收占比 2022 年 6% → 2027F 51%；先進封裝營收占比同期 57% → 95%。來源：CTBC，2026-06-03

訂單能見度
3Q27，已訂未銷 34–35 億元（約 7 月營收 5 倍）

營收結構
先進封裝占自身營收 90–95%；1H26 EPS 9.50 創新高

券商
CTBC 8/13 買進 TP 1,700；26F/27F EPS 31.2 / 48.5

製程定位
D2W 的前後兩站——Chip Sorter 挑 KGD、Die Bonder 貼裝。應用涵蓋 CoWoS、SoIC、WMCM、CoPoS

主要客戶
台積電、OSAT 廠。**G2C+ 聯盟**成員，負責 die placement（志聖鍵合 / 東捷雷射 / 均豪 CMP）

成長動能與追蹤點
CPO Sorter 4Q26 量產、Hybrid Bonder 首台進機與客戶認證。**風險：精度落差**——3μm 到 100nm 是換等級不是延伸

來源：CTBC 2026-06-03 / 2026-08-13、公司法說 2026-08-12、均華官網

印能科技 7734　封裝熱製程

主力：現在靠什麼賺錢

- **VTS（Void Terminator System）**——液態膠除泡（毛細填膠），用於 2.5D CoW / CoP、FCCSP、FCBGA。**目前營收主力**
- **VFS**（2007 一代）——薄膜 / 膏狀材料除泡，已被 VTS 超越，現多為改機升級標的
- **AMHS / CIM**（OHT 天車、AS/RS、MES / RMS）廠內物流與製程整合，2025 營收占 **16.5%**
- 核心就兩件事：**除泡（Void）**與**翹曲（Warpage）**——封裝愈大、材料層數愈多，這兩件從次要工程變成良率殺手

切入中：正在發展什麼

- **EvoRTS（四代）**——除泡 ＋ 去助焊劑殘留、**免洗**；用於 CoWoS / CPO / AI chiplet。**ASP 為 VTS 的 2–5 倍**，已取得終端晶片與封裝廠認證，**2027 占比上看 35–40%、超越 VTS**
- **Pioneer & PRO（三代）**——金屬材料貼合除泡（石墨烯、鋁片）；PRO 用於高溫與特殊材料除助焊劑。**晶圓廠客戶驗證中，4Q26 給結果**
- **WSAS 抗翹曲退火**——2H26 小量出貨；初期單獨販售、後續與 VTS / RTS **綁售**，2027 占比低個位數
- **BMAC / CMAC / SMAC**（2024 起）——高功率晶片**老化測試與機櫃散熱**，由封裝爐體延伸到 Burn-in / SLT

裝機規模
累計逾 3,000 套除泡方案，除泡類全球市佔約 80%（公司自述）

近況
2Q26 EPS 14.03、毛利率 67.3%；能見度 1Q27；中國新廠 +30% 產能

⚠ 追蹤
營收預估 5 個月連續下修 –16.7%，目標價卻由 2,460 升到 4,660——本益比從 23x 撐到 56x

製程定位
Dispensing 之後、Reflow 前後的熱製程段。官網站點涵蓋 Wafer Laminate、CUF 液態填膠、InkJet Print、Reflow、Die Attach、TCB Bond、Via Fill

主要客戶
台積電（2025 占 13.9%）、日月光 / 矽品、Amkor、力成，官網稱涵蓋全球前十大封裝廠與晶圓廠；另有**未具名記憶體客戶，HBM 用到第三代機**。前三大合計約 44%，無單一客戶支配。耗材線：**泓瀚 4741** 噴墨助焊劑對應 InkJet Print 站點

成長動能與追蹤點
EvoRTS 從 VTS 接棒的速度是最大單一變數（ASP 差 2–5 倍，換機即營收結構跳升）；次看 PRO 的 4Q26 驗證結果

來源：印能官網產品矩陣 2026-07-26 查證、券商報告

政美應用 7853 先進封裝檢測與量測

主力：現在靠什麼賺錢

- 五大成長引擎：① **RDL 重佈線層檢測（最大營收貢獻）** ② 量測設備 ③ AI 軟體平台 ④ 良率管理 ⑤ 智慧工廠平台
- **WLP 檢測量測**——8 / 12 吋的 bump、pad、**RDL**、表面缺陷與尺寸量測；不只判斷缺陷有無，也做 2D / 3D 量測，對 **bump 高度、RDL 線寬**、平整度與對位誤差更有價值
- **四大獨家技術**：過濾（濾掉金屬 / 導線架 / 氧化層干擾）、**螢光**（讓透明殘膠發光，免切換機台）、**共聚焦**（量共面度）、**SWIR**（穿透保護層檢測內部裂痕）
- **在手訂單能見度看到 2027Q2、產能滿載**；備料時間已從 8 個月拉長到 **12 個月**

切入中：正在發展什麼

- **矽光子 CPO**——已佈局缺陷檢測、模組測試、良率分析，**2026 下半年起陸續有相關檢測應用**；公司估 2030 年 CPO 市場達 **5,000 億台幣**
- **玻璃基板 TGV**——以 SWIR 與光學過濾技術**已能順利檢測玻璃物理與結構缺陷、掌握客戶量產標準（Criteria）**；預計 **2028 年 TGV 爆量**後帶動 2028–2033 成長
- **Hybrid Bonding AOI**——晶圓全域對位、平整度、3D 量測、AI 缺陷分類；官網指針對 **Cu–Cu、SiO_2–SiO_2 介面**提供缺陷檢出
- **CoPoS / Panel-level** 方形 carrier 大面積檢測，媒體報導已有出貨與客戶驗證進展

能見度
在手訂單看到 2027Q2、產能滿載；備料 8 → 12 個月

產能
2026 客戶要求年產能 百台級，2027 年底台南擴廠再翻倍

題材
CPO 檢測 2026H2 起、TGV 2028 爆量；2026Q3 送件申請上市

製程定位
先進封裝 AOI 與 2D / 3D 量測——不是泛用 PCB AOI，聚焦 WLP、Hybrid Bonding、CoPoS、MicroLED、III–V 等高階場景

主要客戶
主要為日月光，亦涵蓋蘋果、台積電相關供應鏈。同段觀察：德律 3030、由田 3455、倍利科 7822

成長動能與追蹤點
2026Q3 送件申請上市；2026 客戶要求年產能達**百台級別**，2027 年底台南擴廠再翻倍。追蹤 CPO（2026H2）與 TGV（2028）首筆訂單揭露

來源：政美投資人說明 2026–07–03、官網 hybrid bonding 應用頁 2026–07–26 查證