

SoIC 3D 先進封裝深度報告

從混合鍵合製程門檻到台股供應鏈兩波受惠：2026–2028 產能擴張路線全解析

報告日期：2026-07-17 | 資料基礎：富果研究（2026-06）、野村（2026-05）、Goldman Sachs（2026-05）、SemiAnalysis、Semiconductor Engineering、公司法說與產業調研

3D 堆疊是唯一解

先進製程微縮趨緩、SRAM 停止微縮、AI 晶片功耗破 1,000W——算力密度、訊號傳輸、散熱三大瓶頸同時逼晶片走向垂直堆疊。

產能 3 年近 4–5 倍

台積電 SoIC 月產能 2026 約 1.6–2 萬片，2028 年上看 7.8 萬片；AMD 已量產、NVIDIA 與 Apple 2026 年起陸續導入。

台廠兩波受惠

第一波設備端（弘塑等）隨 CoWoS 驗證順延進 SoIC；第二波耗材零組件端（中砂、三福化等）待量產放量後進入高毛利長線成長。

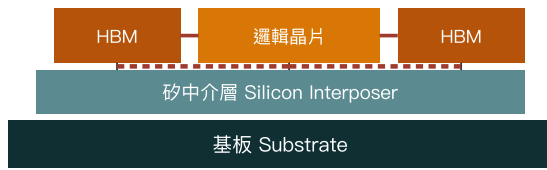
一、為什麼 2.5D 封裝走到極限：三大瓶頸

生成式 AI 模型參數由千億級邁向兆級，晶片效能提升有兩條路：先進製程微縮（提高單晶片電晶體密度）與先進封裝（縮短晶片間溝通距離）。目前主流的 2.5D 封裝（台積電 CoWoS）把邏輯晶片與 HBM 記憶體並排放在矽中介層（silicon interposer）上，訊號仍須「橫向繞路」——像平房社區之間靠聯外道路運輸物資。當資料中心的資料交換量暴增，這條路徑帶來延遲、阻抗與能耗問題，且中介層面積有物理上限，晶片無法無限水平擴張。

3D 封裝改成「蓋摩天大樓」：晶片垂直堆疊，訊號改走「電梯」（TSV 矽穿孔與銅對銅直接鍵合），傳輸路徑大幅縮短。具體來說，單一晶片面臨三大瓶頸，而 3D 堆疊同時回應這三者：

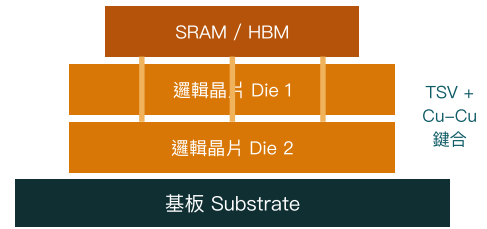
瓶頸	現況	3D 堆疊（SoIC）解方
算力密度	先進製程微縮趨緩、SRAM 幾乎停止微縮，靠電晶體密度提升算力的邊際效益遞減	垂直疊加晶片，相同面積下增加算力
訊號傳輸效率	邏輯晶片每次向外部 HBM 存取資料，能耗高且延遲大	SRAM / 邏輯 / 光引擎 / ASIC 垂直貼合，資料路徑縮到最短
功耗與散熱	AI 伺服器晶片功耗已超過 1,000W，發熱持續增加	銅對銅直接鍵合降低訊號阻抗，功耗與發熱同步下降

2.5D 封裝 (CoWoS)：水平並排



訊號經中介層「橫向繞路」→ 延遲、阻抗、能耗 ↑

3D 封裝 (SoIC)：垂直堆疊



訊號走「電梯」直上直下 → 路徑最短、功耗↓、頻寬↑

圖 1：2.5D (CoWoS) 與 3D (SoIC) 封裝結構對比示意。2.5D 靠矽中介層橫向連接晶片；3D 以 TSV 矽穿孔與銅對銅鍵合垂直互連，大幅縮短傳輸路徑。(自繪示意圖，結構參考富果研究 2026-06-20 報告)

二、SoIC 是什麼：台積電的 3D 堆疊平台

SoIC（System on Integrated Chips）是台積電的 3D 晶片堆疊技術平台，核心是以混合鍵合（hybrid bonding）將晶片垂直整合。它與 CoWoS 不是替代關係而是互補：SoIC 負責垂直堆疊出「更強的單顆晶片」，再放上 CoWoS / CoPoS / InFO 完成與 HBM、基板的整合——2 奈米以下高效能運算晶片的主流架構正是這種「SoIC + 2.5D」混搭。

SoIC-X 與 SoIC-P：兩條並行版本

傳統晶片堆疊靠微凸塊（micro bump）——在兩片晶片之間放錫料凸塊當「接點」。業界共識是微凸塊間距（pitch）約在 10 μ m 見底；再小，錫料量不足、共面性與空洞問題會失控。10 μ m 以下必須改走混合鍵合：讓兩片晶片的介電質表面與銅接點「直接貼合」，完全省去凸塊。

版本	互連方式	應用
SoIC-X	無凸塊（bumpless）混合鍵合，pitch 可小於 10 μ m	AMD 3D V-Cache、MI300 等高密度堆疊；台積電本波擴產主力
SoIC-P	微凸塊（ μ bump）版本	間距要求較鬆的應用

混合鍵合的效益有量化依據：AMD 5800X3D（7nm、SoIC 堆疊 SRAM）相較未堆疊版本效能提升約 15%、互連功耗降至約三分之一，約等於「白拿一個製程節點」；AMD 執行長蘇姿丰稱混合鍵合互連密度較微凸塊高 15 倍，理論極限可達千倍。

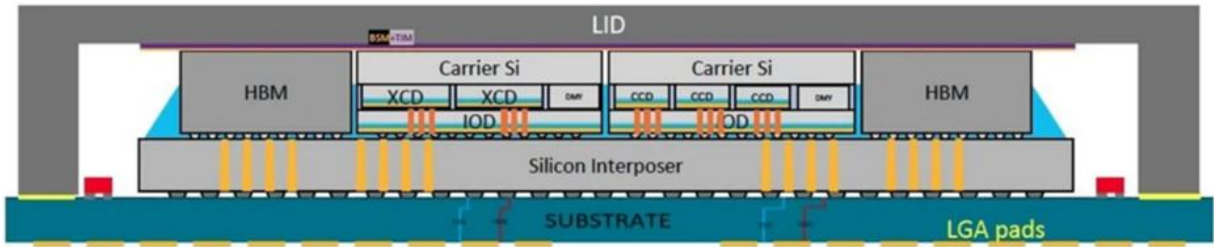


圖 2：AMD Instinct MI300 架構剖面——全球首款大規模採用 SoIC 的伺服器晶片。運算晶片（XCD）與加速器晶片（IOD）以 SoIC-X 垂直堆疊在輸入輸出晶片（IOD）上方，上蓋 Carrier Si；再以 CoWoS 經下方矽中介層與兩側 HBM 水平相連，是「SoIC + CoWoS」混搭架構的量產範本。（來源：IEEE Spectrum，轉引自富果研究 2026-06-20）

實際組裝：collective D2W（晶粒先重組、再整片鍵合）

SoIC 採用 die-to-wafer（D2W）而非 wafer-to-wafer（W2W）路線，根本原因是經濟性：W2W 是兩片完整晶圓對貼，壞晶粒會被鍵到好晶粒上，晶粒越大浪費越嚴重；D2W 先做晶圓測試、只挑已知良品晶粒（KGD）參與堆疊。實務上台積電走 collective D2W——上下晶片各自切割、篩選良品後，先鍵合到各自的重組載板上，最後以 W2W 方式一次完成。以 AMD 3D V-Cache 為例，每顆產品共需 5 道鍵合步驟（CPU 晶粒上載板、V-Cache 晶粒上載板、2 顆填充用 dummy 矽上載板、最終晶圓對晶圓鍵合）——估算鍵合設備需求時，這個「步驟乘數」比產能片數本身更關鍵。

補充：堆疊方向也是設計自由度

第二代 3D V-Cache (Zen 5 世代 Ryzen 9800X3D) 把 SRAM 快取從運算晶粒上方翻轉到下方，讓運算晶粒直接貼散熱器，散熱改善並解鎖超頻，平均遊戲效能再提升 8% (TechInsights 拆解)。

三、製程全流程與良率關卡：為什麼這是「前段等級」的後段製程

SoIC 在產業分類上屬後段封裝，但製程環境與規格已提升至前段晶圓製造標準。完整流程為：TSV 形成 → 鍵合層形成 → 晶圓測試與切割 → 電漿活化與清洗 → 鍵合（pre-bond）→ 低溫退火。

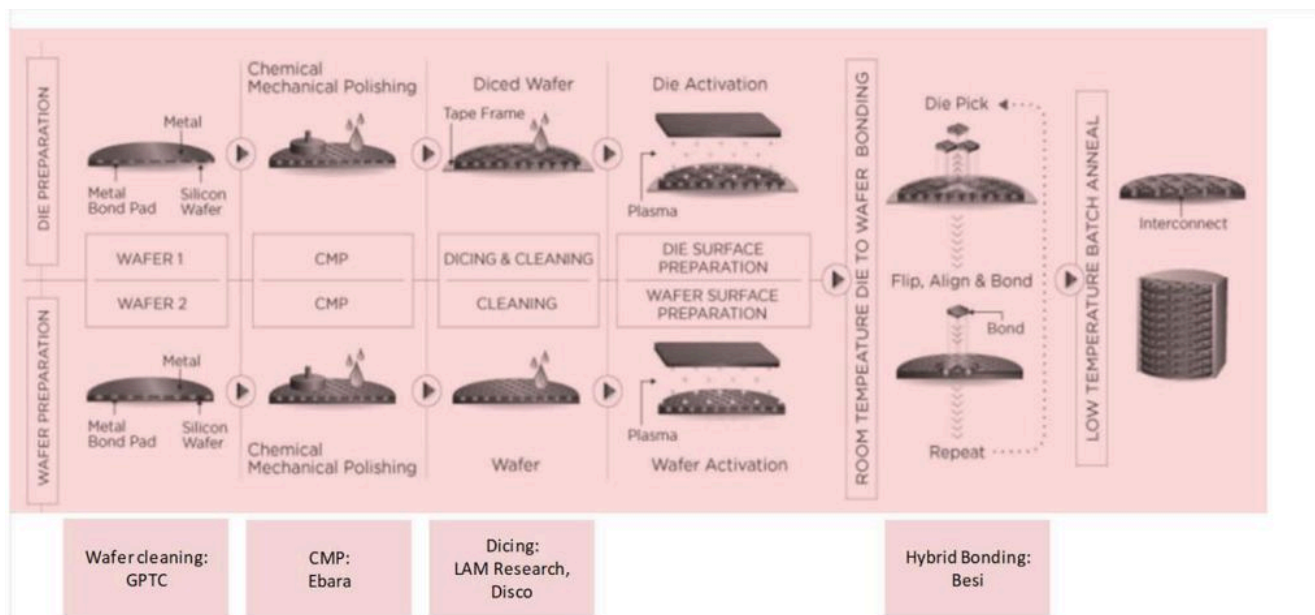


圖 3：SoIC（D2W 混合鍵合）製程流程——上下兩片晶圓各自完成 CMP 平坦化，切割、電漿活化後在室溫下對位鍵合，最後低溫批次退火完成銅對銅接合。圖下方標註各環節代表設備商：晶圓清洗（GPTC）、CMP（Ebara）、切割（Lam Research / Disco）、混合鍵合（Besi）。（來源：野村證券《Semi Renaissance in 2026—30F》，2026-05-21）

四道關鍵良率關卡

- **CMP 平坦化（良率核心）**：混合鍵合要求介電層平坦度約 0.5nm、銅接點約 1nm——頭髮直徑（約 70μm）的十萬分之一等級。銅比介電質軟，研磨後銅面會形成微凹陷（dishing），必須精準控制在約 1—3nm 的工程窗口：太深，退火時銅膨脹填不滿形成開路；太淺，銅面先頂住讓介電質貼不上。需多次 CMP 搭配不同銅移除率的研磨液才能控制凹陷輪廓——這是 CMP 鑽石碟、研磨墊、研磨液耗材在 SoIC 用量與規格同步升級的原因。
- **切割潔淨度**：blade 切割最髒基本不用；以雷射與電漿切割為主。電漿切割最乾淨但速度最慢，晶粒越大吞吐壓力越高。
- **表面潔淨（第一敵人）**：1μm 高的微粒就會造成直徑 10mm 的鍵合空洞。混合鍵合需 ISO 3（class 1）以上無塵室，台積電、Intel 實際上到 ISO 1—2。
- **鍵合對位**：W2W 對位精度已達 50nm 以下；die bonder 單價約 300 萬美元、最高吞吐約 2,000 顆 / 小時、放置偏差需小於 0.2μm，晶粒數越多吞吐越容易下滑。

為什麼傳統封測廠（OSAT）跨不過這道牆

混合鍵合大量使用 CVD / PVD / 電鍍 / CMP 等前段設備，並要求 ISO 1—3 無塵室——這是前段晶圓廠的資本與經驗結構，傳統後段封裝廠兩者皆缺。這是 SoIC 留在台積電廠內、具晶圓代工能力者（台積電、Intel）在 3D 封裝佔絕對優勢的結構性原因，也界定了台廠的切入方式：核心機台由歐美日大廠壟斷，台廠以「配套設備 + 特用耗材 + 關鍵零組件」為主要切入點。

四、誰在用 SoIC：三大客戶導入路線

廠商	應用	導入路線
AMD	資料中心 AI 加速器	先行者。從 3D V-Cache (X3D，遊戲 CPU 超車 Intel) 累積經驗後，自 Instinct MI300 起全面導入——全球首款大規模採用 SoIC 的伺服器晶片，後續 MI 系列 (MI450 等) 延續
NVIDIA	AI 加速器、CPO 矽光子	Rubin Ultra / Feynman 世代跟進，將 SRAM 與邏輯晶片垂直堆疊解決記憶體存取瓶頸；同時用於台積電 CPO 的 COUPE 平台 (電 IC 與光 IC 垂直堆疊)，首發用於 Quantum-X Photonics 交換器
Apple	M 系列 (電腦 / 平板)	邊緣 AI 驅動：不增加晶片尺寸與系統能耗前提下提升 CPU / GPU 效能，回應地端 AI 運算的效能 / 能耗平衡需求

值得注意的是需求的「跨域性」：Apple 代表地端邊緣運算、AMD 與 NVIDIA 代表雲端資料中心，三者同步導入說明 SoIC 不是單一產業驅動，而是從終端到雲端的全面性晶片架構升級。

2027—2028 需求線索 (產業調研，2026-05)

應用 / 客戶	需求線索	備註
NVIDIA CPO	首個 CPO 產品預計 2027 年量產 (調研稱 2027 年 2 月進機、4 月量產；富果則稱 2026 下半年啟動量產)，EIC / PIC 間以混合鍵合連接	約占 4—5 萬片 SoIC 產能中的 10%
NVIDIA Feynman / SRAM 堆疊	每模組 4 顆 GPU、每 GPU 兩疊 SRAM、每疊約 1GB	SRAM 疊間用 TCB，SRAM 與 GPU 間用 SoIC
AMD	2027 年約 6 萬片 / 年，折合約 5 千片 / 月	看 CPU / HPC 路線與 MI450 進展
Apple	約 5 千片 / 月，部分可能在美國 AP1 廠	與 WMCM 同屬 Apple 先進封裝升級線
Google TPU	V9 可能採用 SoIC，2027 年主力仍是 CoWoS	2028 年後再密切追蹤

五、台積電產能路線：三種口徑並列

台積電 SoIC 產能 2023 年僅約 1,900 片 / 月，2024 年隨 AMD MI300 放量突破 4,000 片，2025 年約 1 萬片。2025 年需求偏慢 (Intel 暫緩資本支出、AMD AI 晶片需求不如預期、除 AMD 與 Apple 外缺新客戶)，但 2026 年起三家客戶陸續導入，擴產重新加速。市場對 2026—2028 的產能預估有三種口徑：

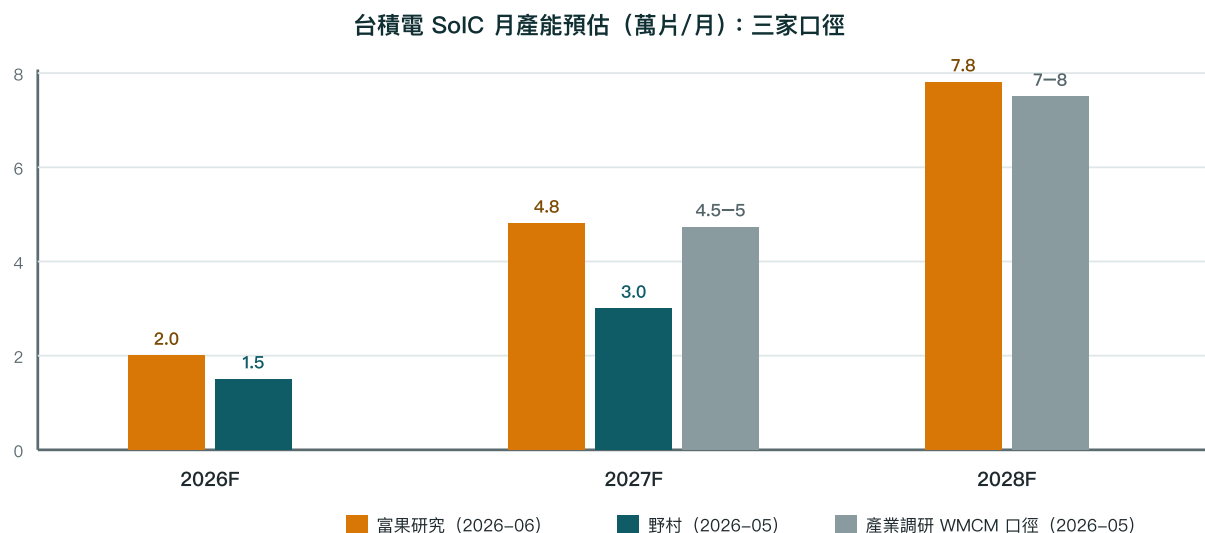


圖 4：台積電 SoIC 月產能三家預估口徑並列。富果 2026 年起始值在其報告內有 1.6 萬與 2 萬兩種說法（此處取 2 萬）；野村相對保守（2027F 約 3 萬片，2025-27F 年複合成長率仍超過 90%）；產業調研口徑最積極（2027 年底 4.5-5 萬、2028 年 7-8 萬，動能為 NVIDIA CPO / SRAM 堆疊、AMD 與 Apple）。三口徑對 2028 年方向一致：較 2026 年成長約 4-5 倍。（自繪圖表）

設備市場含義：若 chiplet 成為後摩爾定律的標準設計，野村估純混合鍵合設備市場規模至少 10 億美元，且是現有封裝設備市場之外的增量；台積電 SoIC 擴產將帶動 BESI 混合鍵合設備訂單自 2025 年谷底回升，主要反映在 2026-27 年。

六、供應鏈投資映射：國際壟斷核心，台廠兩波切入

國際核心設備商

環節	供應商
混合鍵合機（D2W）	BESI（龍頭，與台積電、Intel 關係深）、ASMPT；Shibaura 積極擴大參與，TEL 可能憑前段客戶關係切入
W2W 鍵合設備	EVG（W2W 龍頭）
蝕刻 / 沉積 / 電鍍（TSV）	Lam Research、Applied Materials
CMP	Ebara、Applied Materials
檢測 / 量測	KLA、Onto Innovation
切割	Disco（雷射 / 電漿切割）
自動化搬送	Daifuku、Muratec

台廠兩波受惠架構（富果研究框架）

第一波 設備端——CoWoS 階段已與台積電共同開發，順勢延伸進 SoIC 製程驗證，能見度較高		
弘塑 3131 濕製程 / 清洗設備 台積電 SoIC 濕式清洗設備獨家供應商（Goldman Sachs，2026-05）。3D 結構清洗較 2.5D 具結構性更高 ASP 與毛利率；GS 估 SoIC 約占其 2027-28 年設備營收 50%（券商預估，待驗證）	均華 6640 封裝設備 CoWoS 階段共同開發廠商之一，延伸進 SoIC 驗證	大量 3167 設備 富果列入 SoIC 設備供應鏈台廠名單
晶彩科 3535 檢測設備 富果列入 SoIC 設備供應鏈台廠名單	倍利科 7822 檢測設備 富果列入 SoIC 設備供應鏈台廠名單	家登 3680 / 萬潤 6187 載具 / 設備 富果觀點提及與台積電自 CoWoS 共同開發、可延伸 SoIC 的廠商群
第二波 耗材與零組件端——SoIC 量產啟動後，高毛利耗材進入長線成長週期，彈性大但須等量產確認		

中砂 1560

CMP 鑽石碟

混合鍵合要求 0.5–1nm 級平坦度與 1–3nm 銅凹陷窗口，鑽石修整碟精度是 CMP 良率關鍵，用量與規格同步升級

頌勝科技 7768

CMP 研磨墊

多道 CMP 製程直接受惠

長興 1717

CMP 研磨液

控制銅凹陷輪廓需搭配不同銅移除率的研磨液

三福化 4755

SoIC 蝕刻液 / release layer

SoIC 蝕刻液已通過認證（AP6 少量出貨）；先進封裝 release layer 預計 3Q26 放量，可接續 CoWoS Stripper 成為新成長線（公司法說，2026-05-28）

晶呈科技 4768

TSV 特用氣體

TSV 深蝕刻是 SoIC / HBM 產出瓶頸站點之一，特用氣體用量隨之成長

意德士 7556 / 瑞耘 6532 / 慶康 8098

晶圓夾持環

晶圓夾持 / 陶瓷零組件，隨機台裝機量放大

昇陽半導體 8028

晶圓薄化服務

堆疊前晶圓薄化，3D 堆疊層數越多需求越大

風險提示：AP7 路線轉向

三福化 2026-05-28 法說揭露，原規劃以 SoIC 為主力的台積電 AP7 廠已改為以 CoWoS 為主（AP8 亦同）。這代表 SoIC 相關耗材在 AP7 的放量節奏可能僅落在局部產能，須追蹤台積電 AP7 的 SoIC 與 CoWoS 配比——這也提醒：SoIC 擴產的「廠區歸屬」仍在滾動調整，耗材端受惠時點存在遞延風險。

七、投資結論

核心論點

1. **SoIC 自 2026 年起進入量產放量期**：AMD 已量產驗證可行性，NVIDIA (Rubin Ultra / Feynman + CPO) 與 Apple (M 系列) 2026 年起陸續導入，三口徑一致指向 2028 年產能較 2026 年成長約 4—5 倍。
2. **競爭格局高度集中**：前段等級的潔淨室與設備門檻讓具晶圓代工能力者（台積電、Intel）佔絕對優勢，傳統封測廠難以切入——SoIC 產能擴張的價值鏈利益將集中在台積電及其設備 / 耗材供應商，而非封測代工。
3. **台廠受惠分兩波、節奏不同**：設備端（弘塑等）已隨 CoWoS 進入共同開發關係，SoIC 驗證是「順延」而非「新開拓」，能見度較高、先行受惠；耗材零組件端（中砂、頌勝、長興、三福化、晶呈、昇陽半等）彈性更大且屬高毛利長線，但受惠時點取決於量產實際啟動，須逐家確認認證與出貨進度。

驗證清單：接下來看什麼

追蹤指標	為什麼重要
台積電 SoIC 進機與 2027 年月產能落點 (3 萬 vs 4.8 萬 vs 4.5—5 萬)	三口徑收斂方向決定整條供應鏈的量級假設
NVIDIA CPO 量產時點 (2026H2 vs 2027 年 4 月) 與 Feynman SRAM 堆疊規格定案	SoIC 新增需求中最大的單一變數
AP7 / AP8 的 SoIC vs CoWoS 產能配比	決定耗材端（蝕刻液、CMP 耗材）放量的廠區與時點
BESI 混合鍵合設備訂單回升幅度	驗證野村「2026—27 谷底回升」路線；鍵合步驟乘數（V-Cache 一顆 5 道）放大設備需求
耗材端各家認證進度（中砂 / 頌勝 / 長興進入 SoIC 製程驗證與出貨；三福化 release layer 3Q26 放量；夾持環三家認證）	第二波受惠由「名單」變「實績」的關鍵節點
Apple M 系列採用 SoIC 的實際時點與美國 AP1 廠配置	驗證邊緣端需求線是否成立

風險與反證條件

- **需求遞延重演**：2025 年 SoIC 需求已因 Intel 資本支出暫緩、AMD AI 晶片不如預期而偏慢；若 AMD MI450 或 NVIDIA Feynman 時程滑動，2027 年產能口徑將向野村保守版收斂。
- **吞吐與成本瓶頸**：混合鍵合機吞吐（最高約 2,000 顆 / 小時）隨晶粒數增加而下滑，若實際吞吐不佳，設備需求上修但客戶導入成本壓力也升高。
- **技術路線競合**：SRAM 堆疊之外另有 TCI 近場無線互連等無孔路線；CoPoS / 面板級封裝若提前放量，可能分流部分先進封裝資本支出。
- **反證訊號**：台積電法說下修先進封裝資本支出、AP 廠 SoIC 配比持續縮減、BESI 訂單連兩季低於預期——出現任兩項應下修整條 thesis。

附錄、學術文獻深讀：從 ECTC 論文看 SoIC 技術路線的底層邏輯

本文前述產能與供應鏈判斷，技術可信度的最終依據是台積電歷年在 IEEE ECTC（電子構裝領域最重要的國際會議）發表的原始論文。這批論文構成 SoIC 的官方技術路線圖：鍵合間距（bond pitch）從微米級一路收斂到 200 奈米，每一步都對應明確的效能與設備門檻變化。本附錄整理五篇 TSMC 論文、封裝權威 John H. Lau 的 IEEE 系列綜述、Intel 架構師在《Nature Electronics》的系統展望，以及 imec 在 ECTC 2026 的最新突破（各篇書目均經 Crossref 資料庫核對，摘要取自 OpenAlex 開放書目庫）。

一張表看懂：bond pitch 微縮 = SoIC 的「製程節點」

先進製程用「幾奈米」衡量世代，SoIC 的世代尺就是 bond pitch——上下晶片之間銅鍵合點的中心距。間距每縮一半，單位面積可用的垂直互連數大約翻四倍，訊號路徑更短、能耗更低。台積電論文揭露的路線如下：

論文（IEEE ECTC）	Bond pitch	互連密度	關鍵訊息
2019 〈System on Integrated Chips (SoIC) for 3D Heterogeneous Integration〉	微米級	—	業界第一個 logic-on-logic / memory-on-logic 「前段製程」3D 堆疊平台；整合不同節點、不同尺寸的已知良品晶粒（KGD）；開宗明義點名 3D 封裝三大挑戰＝散熱、供電、良率
2020 〈Ultra High Density SoIC with Sub-micron Bond Pitch〉	亞微米	≥120 萬點/mm ²	首度示範亞微米間距，室溫預鍵合＋低於 300°C 退火；主張把 SoC 「深度切分成 mini chiplets」以延續摩爾定律，且優於微凸塊式 3DIC
2022（由 2023 可靠度論文引述）	3μm	—	3μm 相較 9μm 間距：能效（EEP）增益 8 倍、接觸電阻降 33% ——「間距微縮直接換算能效」的量化錨點
2023 〈Ultra High Density Low Temperature SoIC with Sub-0.5μm Bond Pitch〉	0.4μm	約 625 萬點/mm ² *	退火溫度再降（保護先進節點與記憶體元件）；已實現 logic-on-DTC（深溝電容）架構；下一步是把 2D 功能區塊直接切分到 3D
2023 〈Reliability Performance on Fine-Pitch SoIC Bond〉	3μm	—	低於 300°C 熱預算下，6×6mm ² 全陣列測試晶片通過可靠度驗證——細間距不只做得出來，也扛得住溫循與長期應力
2024 〈A Study of Low Temperature SoIC Targeting 200 nm Bond Pitch〉	0.2μm（目標）	上看 2,500 萬點/mm ² *	深亞微米鍵合把 bond pad 直接併入晶片 BEOL 金屬繞線層， 可減少 BEOL 總層數 ；瓶頸轉向晶圓來料形貌與對位（overlay）控制

* 標示者為網路搜尋彙整數據，待原文核對；其餘取自論文摘要。對照尺度：200nm 約為頭髮直徑（約 70μm）的 1/350；傳統微凸塊間距約 30—40μm，極限約 10μm。

對投資人而言，這張表有兩層意義。第一，**間距微縮是「已被論文驗證的路線」而非願景**：2019 年概念平台、2020 年亞微米、2023 年 0.4μm、2024 年瞄準 0.2μm，節奏約兩年一個世代，與前述 2026—2028 產能擴張的時間軸互相印證。第二，**每縮一個世代，設備與耗材的規格門檻同步上調**：2024 年論文明示瓶頸已從「鍵得

起來」轉向晶圓平坦度與對位精度——這正是 CMP（研磨墊、漿料、鑽石碟）、濕式清洗與量測檢測設備價值量提升的技術根源。

imec+EVG 的 200nm 對照組：CMP 與鍵合機是兩大精度瓶頸

研究機構 imec 與奧地利設備商 EV Group (EVG) 在 ECTC 2026 (2026 年 5 月) 發表晶圓對晶圓 (W2W) 混合鍵合成果：**200nm 銅墊間距**，且全片 300mm 晶圓 100% 晶粒的鍵合後對位誤差低於 40nm——業界首見。關鍵手段包括 SiCN 介電材料、鍵合前 CMP 全晶圓均勻度優化（介電面須極度平坦、銅墊凹陷控制在數奈米）、銅墊設計改良與鍵合前微影補正；鍵合設備為 EVG GEMINI FB。imec 並將此技術定位為「CMOS 2.0」架構的核心——把 SoC 依功能切分成高驅動邏輯、高密度邏輯、快取、供電等多個晶片層垂直重組，與台積電論文「2D 功能區塊切分到 3D」的方向一致。

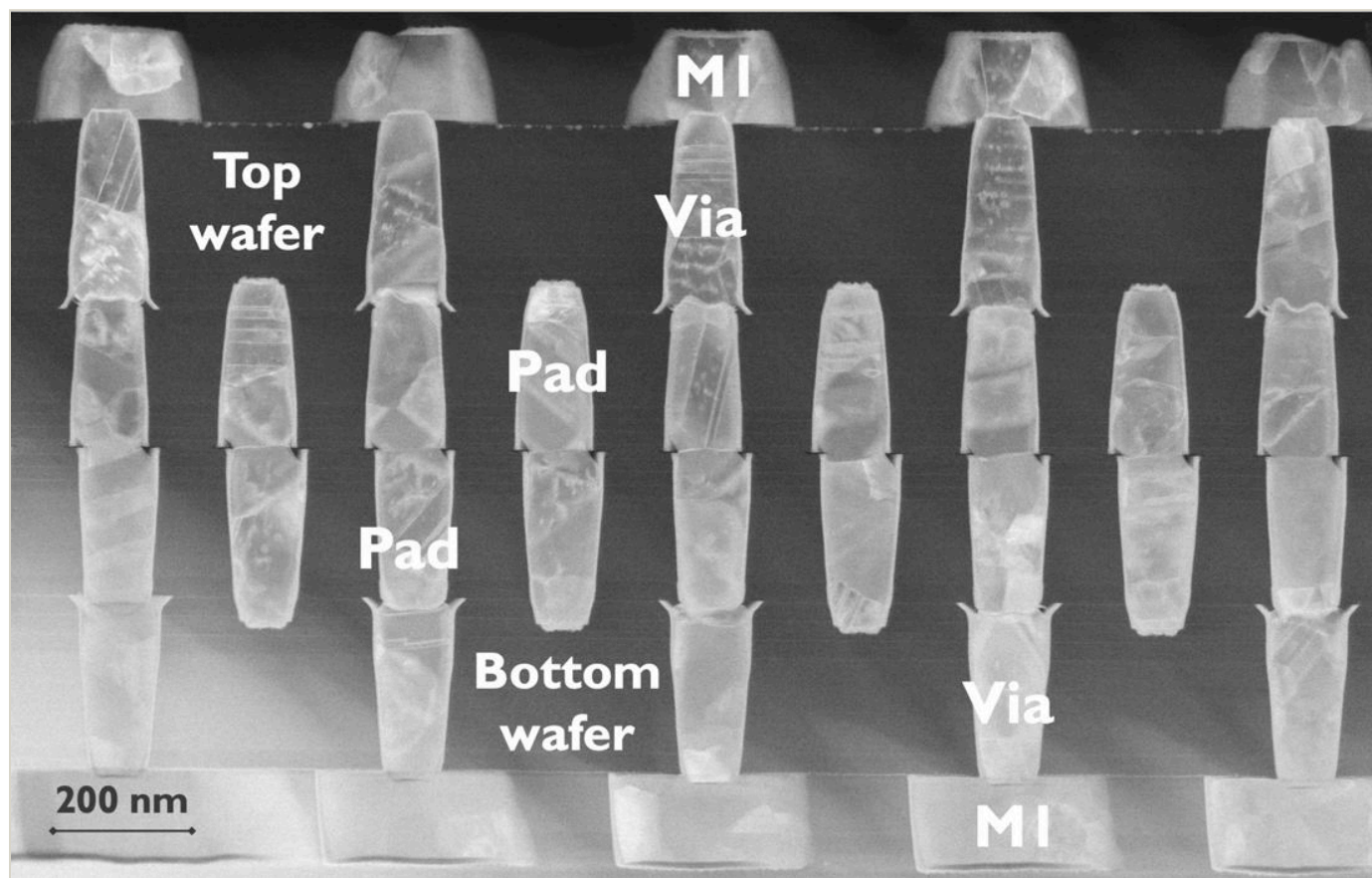


圖 A1：200nm 間距 W2W 混合鍵合的 TEM 電子顯微鏡剖面。上下晶圓各自的金屬層（M1）—導孔（Via）—鍵合墊（Pad）在鍵合面精準對接，比例尺 200nm。此即「銅對銅直接鍵合」的實際樣貌：沒有凸塊、沒有底部填膠，兩片晶圓的銅墊在退火後直接長成一體。© imec / IEEE (EV Group 新聞稿，2026-05-28)

投資解讀：imec 路線與台積電殊途同歸，共同指向兩個設備結論——① **CMP 是混合鍵合的良率製程**（平坦度與銅凹陷直接決定鍵合成敗），對應本文第六章 CMP 耗材鏈（鑽石碟、研磨墊、研磨液）的長線邏輯；② **鍵合機精度是稀缺能力**，全球僅 BESi、EVG 等少數玩家，40nm 級對位是資本與技術雙重門檻，短期難有新進者。

權威綜述與系統展望：失效模式對應供應鏈角色

封裝領域最高引用作者之一 John H. Lau（劉漢誠，現任職欣興電子）在《IEEE Transactions on CPMT》的系列綜述（2023、2024、2025 年各一篇）系統性整理了混合鍵合的失效模式，恰好是理解「為什麼這些台廠會受惠」的技術對照表：

失效模式（Lau 綜述）	物理成因	對應供應鏈環節
應力誘發空洞（stress-induced voids）	退火時銅膨脹不均、介面殘留應力	CMP 凹陷控制（鑽石碟、研磨墊、漿料）、退火溫控
鍵合面剪切強度不足	表面活化不完全、介面粗糙度過高	電漿活化、濕式清洗設備（弘塑等）
微落塵造成大面積未鍵合	一顆微米級顆粒即可撐開周圍大片鍵合面	ISO 1—3 級潔淨室、鍵合前清洗與檢測（AOI / 紅外）

2025 年最新一篇綜述涵蓋 Sony、三星、Applied Materials、EVG、imec、台積電、SK 海力士、TEL、DISCO、聯發科、工研院、陽明交大、清大、欣興等三十餘家機構的進展——混合鍵合已從台積電獨走，變成全產業競逐的主戰場；這同時意味著設備與耗材的市場天花板不只由台積電 SoIC 產能決定，記憶體（HBM 混合鍵合化）與影像感測器是後續增量。

系統層面，Intel 資深院士 Das Sharma 與 Mahajan 在《Nature Electronics》（2024）的展望文章給出終局圖像：封裝從 2.5D（凸塊間距 30—40μm）過渡到混合鍵合 3D（10μm 以下、邁向亞微米），目標是讓晶片間每 bit 傳輸能耗趨近單晶片內部線路的水準*。當 AI 資料中心的電力成為第一約束，「省下的每一皮焦耳都是算力」——這是雲端業者願意為 3D 堆疊支付溢價、也是 SoIC 需求具備長期結構性的根本原因。

* 網路搜尋彙整稱該文目標值為每 bit 低於 0.05 皮焦耳（pJ/bit），原文為付費文獻，數字待核對。

附錄文獻清單

- TSMC, "System on Integrated Chips (SoIC™) for 3D Heterogeneous Integration," IEEE 69th ECTC, 2019. DOI: 10.1109/ectc.2019.00095
- TSMC, "Ultra High Density SoIC with Sub-micron Bond Pitch," IEEE 70th ECTC, 2020. DOI: 10.1109/ectc32862.2020.00096
- TSMC, "Ultra High Density Low Temperature SoIC with Sub-0.5μm Bond Pitch," IEEE 73rd ECTC, 2023. DOI: 10.1109/ectc51909.2023.00008
- TSMC, "Reliability Performance on Fine-Pitch SoIC™ Bond," IEEE 73rd ECTC, 2023. DOI: 10.1109/ectc51909.2023.00136
- TSMC, "A Study of Low Temperature SoIC Targeting 200 nm Bond Pitch," IEEE 74th ECTC, 2024. DOI: 10.1109/ectc51529.2024.00125
- J. H. Lau, "Recent Advances and Trends in Cu—Cu Hybrid Bonding," IEEE Trans. CPMT, 2023. DOI: 10.1109/tcpmt.2023.3265529
- J. H. Lau, "State of the Art of Cu—Cu Hybrid Bonding," IEEE Trans. CPMT, 2024. DOI: 10.1109/tcpmt.2024.3367985
- J. H. Lau, "State of the Art and Outlooks of Cu—Cu Hybrid Bonding," IEEE Trans. CPMT, 2025. DOI: 10.1109/tcpmt.2025.3625856
- D. Das Sharma, R. Mahajan, "Advanced packaging of chiplets for future computing needs," Nature Electronics, 2024. DOI: 10.1038/s41928-024-01175-3
- imec / EV Group, "Imec and EV Group demonstrate wafer-to-wafer hybrid bonding with 200nm interconnect pitch and record high overlay accuracy," press release, 2026-05-28 (ECTC 2026: S. Van Huylenbroeck et al., Session 26)

本報告由股票研究知識庫彙整編寫（2026-07-17），供研究參考，非投資建議。主要資料來源：富果研究〈2026 年先進封裝產業深度報告：台積電 SoIC 引領全新世代 3D 先進封裝〉（Wayne Chang，2026-06-20）；野村證券《Greater China Semi: A Guide to Semi Renaissance in 2026-30F》（2026-05-21）；Goldman Sachs 弘塑報告（2026-05-26）；SemiAnalysis Advanced Packaging Part 5 與 ECTC 2026 系列；Semiconductor Engineering；三福化法說（2026-05-28）；產業調研（2026-05）。文中預估值均為各機構口徑，非本報告獨立預測；券商預估已標注來源，實際數字以公司法說與後續驗證為準。