

FORUM PREVIEW · 學術論壇預習報告

Scale-out Photonic IC 與 Scale-up Array OE Engine 的下一步

名詞概念 · 技術邏輯 · 發展路線 · 產業辯論 · 個股映射

2026 年 6 月 11 日

依據：GS AI 光網路（2026-04-17）、穎崴 CPO 論壇（2026-05-14）、群益 COUPE/D-FAU（2026-05-14）、
野村半導體文藝復興（2026-05-21）、Latitude 光互連（2026-05）、SemiAnalysis（2026-06-08）、
Morgan Stanley CPO Investor Concerns（2026-06-10）等研究與供應鏈訪查之綜合改寫

目錄

1. 導讀：這個論壇標題在問什麼

2. 基礎框架：Scale-up / Scale-out / Scale-across 三層網路

3. 為什麼必須走光：銅互連的物理極限

3.1 銅與光的本質對比 3.2 448G Electrical Wall 3.3 PAM4 / PAM6 / PAM8 的取捨

4. Photonic IC (PIC) 完整解剖

4.1 PIC Blueprint 五個元件層級 4.2 光源矩陣 4.3 調變器三方對決 (MZM / EAM / MRM) 4.4 波導、WDM 與耦合 4.5 材料平台分工 (InP / SOI / Ge / GaAs / LiNbO₃)

5. OE 光學引擎與「Array 化」：從單引擎到引擎陣列

5.1 OE 內部拆解 5.2 封裝位置演進 (Pluggable → OBO → NPO → CPO) 5.3 TSMC COUPE 平台 1.0 / 2.0 / 3.0 5.4 陣列頻寬的乘法：115.2T 的計算鏈 5.5 FAU / iFAU / D-FAU 與對位容差

6. Scale-out Photonic IC 的下一步

6.1 現況：1.6T 可插拔為主、CPO switch 起步 6.2 交換器世代節奏與 204.8T 拐點 6.3 CPC 與 CPO 的分層共存

7. Scale-up Array OE Engine 的下一步

7.1 NVLink 光化三代路線 7.2 Dollar content 16x / 45x 7.3 Photonic Fabric 與 OCS 7.4 Micro LED CPO 替代路線

8. 量產的真正關卡：良率、熱、光源與測試

8.1 Attach Yield 乘法懲罰 8.2 對位容差與耦合損耗 8.3 EML → CW-LD 結構轉換與材料瓶頸 8.4 四階段測試方法論

9. 多空辯論：2027 是放量還是驗證年

10. 個股映射：台股供應鏈全圖與國際龍頭

11. 論壇提問建議與驗證清單

12. 詞彙速查表

1. 導讀：這個論壇標題在問什麼

論壇標題把 AI 資料中心光互連的兩條主戰線並列：**Scale-out Photonic IC**（跨機櫃網路用的光子積體電路）與 **Scale-up Array OE Engine**（單一運算單元內、圍著 ASIC 排成陣列的光學引擎）。「下一步」三個字則指向 2026–2030 年最關鍵的產業辯論——光電轉換點要繼續下沉到哪裡、什麼時候沉、誰先量產。

拆解標題的兩個關鍵詞：

關鍵詞	指的是什麼	現況（2026 年中）	「下一步」的核心問題
Scale-out Photonic IC	跨機櫃 Ethernet / InfiniBand 網路中的 PIC：可插拔光模組內的 SiPh 晶片、LPO，以及 CPO 交換器（如 Broadcom Tomahawk 6–Davisson 102.4T、NVIDIA Quantum / Spectrum-X）裡的光引擎	1.6T 可插拔放量主軸；CPO switch 進入初期出貨觀察（2026H2）	200G/lane → 400G/lane 何時收斂；204.8T 交換器世代 CPO 是否成為唯一物理可行解；CPC（共封裝銅）共存多久
Scale-up Array OE Engine	同一 computing unit 內，把多顆 OE（光學引擎）以陣列形式與 GPU / Switch ASIC 共封裝——例如 NVIDIA 32 顆 COUPE 圍一顆 ASIC、Quantum 系統 4 ASIC × 6 模組 × 3 引擎的陣列結構	Rubin NVL72/144（2026）機架內仍全銅；NPO 在封裝廠驗證	Rubin Ultra NVL576（2027）scale-up 是否如期走光；Feynman NVLink8 CPO（2028）能否解決 attach yield 乘法懲罰；陣列良率經濟學

一句話抓住論壇主軸

Scale-out 的光化已經發生（可插拔→LPO→CPO switch，是「滲透率」問題）；Scale-up 的光化還沒發生（機架內仍是銅的天下，是「何時跨過良率與物理門檻」的問題）。標題把兩者並列，意味著講者大概率會比較兩條路線的時程差、技術瓶頸差與價值分配差。

本報告依「概念 → 物理 → 元件 → 架構 → 路線圖 → 瓶頸 → 辯論 → 個股」的順序鋪陳，所有規格數字均標註出處機構與日期，方便會後查證與追問。

2. 基礎框架：Scale-up / Scale-out / Scale-across 三層網路

AI 叢集網路依距離與角色分三層。這套分類出自 Goldman Sachs 2026–04–17《AI 光網路》報告，已是產業通用語言，論壇上所有討論都會掛在這個框架下：

SCALE-ACROSS 跨資料中心 / 跨園區 (80–1000km+)

Coherent · 400ZR / 800ZR · DWDM line system · EDFA → DWDM / TFF 最剛需場景

SCALE-OUT 跨機櫃 AI cluster (1m–2km)

800G / 1.6T pluggable · LPO / TRO · AEC / DAC · CPO switch · FR4 / 2xFR4 + WDM

SCALE-UP 同一 computing unit 內 (mm–30m)

NVLink · PCB midplane · DAC / AEC · NPO / CPO · parallel optics

GPU / Switch ASIC + OE 陣列

例：32 顆 COUPE 光引擎圍一顆 ASIC
= 本論壇的「Array OE Engine」

2027 關鍵驗證節點

Rubin Ultra NVL576：8 機櫃 supernode，
scale-up 第二層連接「必須走光」(Latitude)

圖 1：AI 網路三層框架（自繪；依 GS 2026-04-17 與 Latitude 2026-05 定義整理）。

層級	定義	距離	主流互連 (2026)	光化確定性
Scale-up	同一 computing unit 內 GPU / XPU / switch / memory 高頻寬低延遲互連；supernode 世代延伸到跨機櫃	mm ~ 30m	NVLink 銅纜、PCB midplane、DAC / AEC；NPO / CPO 驗證中	不確定——取決於 2027 Rubin Ultra 與 2028 Feynman 是否如期
Scale-out	多機櫃透過 Ethernet / InfiniBand 連成 AI cluster	1m ~ 2km	800G / 1.6T 可插拔、LPO、CPO switch 起步	中高——光模組已是現在進行式
Scale-across	跨資料中心 / 跨區域 AI fabric (DCI)	80 ~ 1000km+	Coherent ZR / ZR+、DWDM、EDFA	最高——長距離光是剛需

容易踩的概念陷阱

「Scale-up 光化」不等於「離散 DWDM 元件放量」。若平台商採多光纖 parallel optics、BiDi 或 on-chip WDM (AWG / ring / echelle)，傳統薄膜濾光片 (TFF) MUX/DEMUX 的用量會低於想像；離散 TFF 較確定的需求仍在 scale-out 的 FR4/2xFR4 與 scale-across 的 DCI。聽報告時要分清楚講者說的 WDM 是「on-chip」還是「離散元件」。

3. 為什麼必須走光：銅互連的物理極限

3.1 銅與光的本質對比

光與電不是競爭技術，而是同一電磁場的兩種載體；CPO 的本質是讓 ASIC 同時取用兩者的優勢。關鍵差異在損耗的尺度——銅的損耗以「公分」計，光纖以「公里」計，相差約五個數量級：

維度	電氣（銅）	光學（光纖 / 波導）
載體	電子（銅導體 + 介電質回路）	光子（波導內全反射，Si + SiO ₂ ）
損耗	約 1 dB/cm @ 53 GHz（皮膚效應主導）	< 0.2 dB/km @ 1550nm（Rayleigh 散射）
可用頻率	DC ~ 100 GHz	~193 THz（C-band 載波）
傳輸距離	mm ~ cm（封裝內）；m 級（DAC / AEC）	cm ~ km（機櫃到跨資料中心）
EMI 電磁干擾	敏感	免疫

3.2 448G Electrical Wall：銅的頻寬牆

目前單通道 224 Gbps PAM4（Nyquist 56 GHz）是銅介質的成熟上限。下一步 448 Gbps 若仍用 PAM4，Nyquist 頻率翻倍到 112 GHz，四個物理效應同時惡化（穎威 2026-05-14 論壇整理）：

- ① 通道損耗：1 英吋高階介電質在 112 GHz 下插損已接近 -10 dB——意即訊號走 2.5 公分就剩十分之一功率；② 皮膚效應：超過 100 GHz 時電流集中層（skin depth）跌破 0.2 μm，比一根頭髮（約 70 μm）細 350 倍，有效導體截面急縮、電阻飆升；③ 介電損耗隨頻率線性放大；④ DSP 功耗爆炸：要靠 DSP 補償物理損耗，ADC 取樣率需超過 224 GS/s，功耗與成本不可持續。

3.3 PAM6 / PAM8 的退路與代價

規格	224G PAM4	448G PAM4	448G PAM6	448G PAM8
Bits / Symbol	2	2	~2.58	3
Nyquist 頻率	56 GHz	112 GHz	86.8 GHz	74.7 GHz
SNR 代價	基準	基準	-3.7 dB	-6.2 dB
DSP 複雜度	中	高	更高	最高
結論	成熟生態	頻寬牆，不可行	編碼複雜	SNR 懸崖

提高每符號位元數（PAM6 / PAM8）可壓低 Nyquist 頻率，但 SNR 代價 3.7~6.2 dB 等於把雜訊容忍度砍半以上，需要更強 FEC 與更複雜 DSP——繞了一圈又回到功耗問題。這就是「448G 撞牆後，銅路線被迫往 CPO 收斂」的邏輯起點，也是光通訊演進三部曲「增加電平（PAM4→6→8）→ 利用相位（Coherent）→ 重構架構（CPO）」的最後一步。

NVIDIA 給出的量化誘因（穎威論壇引述）

1.6T CPO 在 million-GPU 規模可省 180 MW（約等於一座中型電廠的持續輸出）；Spectrum-X CPO 交換器達 5× 能效、2 Tb/s、10× 可靠度。同時 NVIDIA 明示「CPO and copper coexist, layered deployment」——光與銅分層共存，不是一夜全換。

4. Photonic IC (PIC) 完整解剖

PIC (Photonic Integrated Circuit, 光子積體電路) 是把雷射光源、調變器、波導、波分多工與耦合器整合在同一晶片上的「光的 IC」。它與 EIC (Electronic IC, 負責驅動與放大) 合稱光學引擎的兩塊基石。理解 PIC 的五個元件層級, 就能聽懂論壇上九成的技術討論。

4.1 PIC Blueprint : 五個元件層級

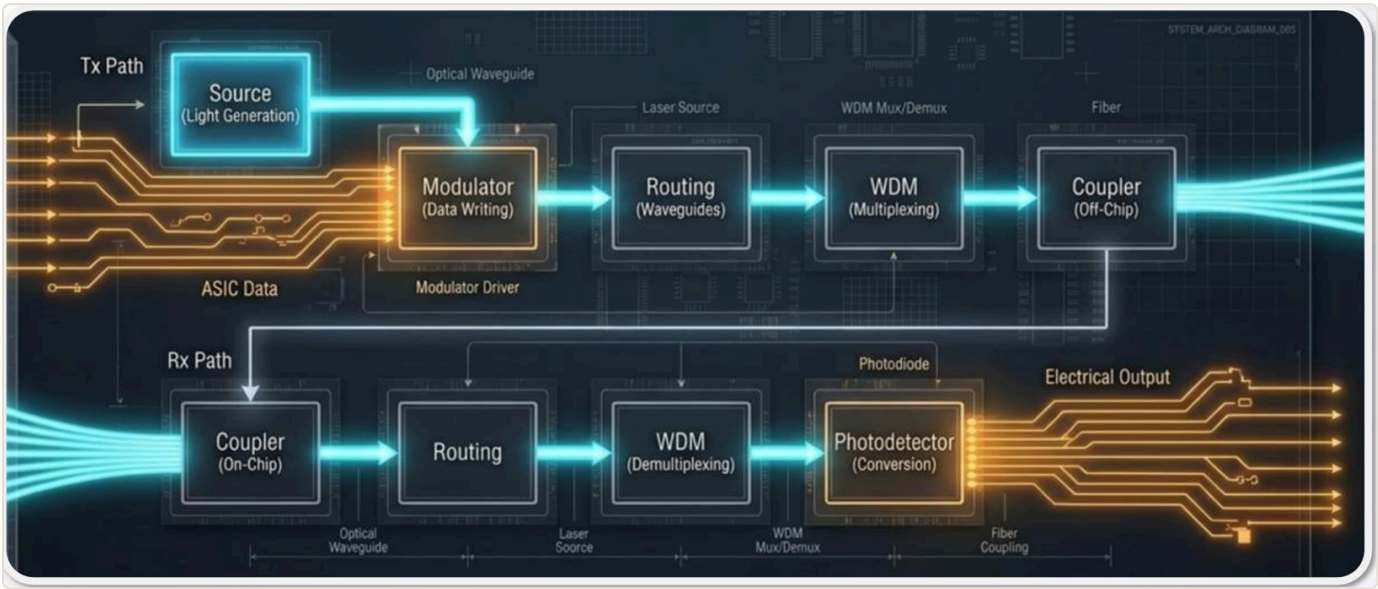


圖 2 PIC 收發雙路藍圖。發射路徑 (Tx)：光源 (Light Generation) → 調變器 (Data Writing) → 波導路由 → WDM 合波 → 離片耦合器；接收路徑 (Rx)：耦合器 → 路由 → WDM 分波 → 光偵測器 (光轉回電)。每一格都是獨立的良率瓶頸。來源：穎歲 CPO 論壇簡報 (2026-05-14)。

步驟	元件	功能	關鍵選項	主要陣營 (穎歲整理)
①	光源 Light Source	產生承載資料的光	DFB / VCSEL / Comb Laser	各家磊晶廠；Comb Laser 對應 102.4T CPO
②	調變器 Modulator	電訊號「寫入」光	MZM / EAM / MRM	MZM：Broadcom / Intel / Marvell；EAM：NVIDIA / Ayar Labs；MRM：Coherent / Lumentum / Intel
③	路由 Routing	晶片內光波導	Si / SiN 波導	各 SiPh foundry
④	WDM	多波長合 / 分波	on-chip AWG / ring vs 離散 TFF	Crosstalk 須 < -20 dB
⑤	耦合 Coupling	光進出晶片	Grating (垂直) / Edge (水平) / BBC	TSMC COUPE 兩者皆支援

4.2 光源矩陣

光源	原理與特性	適用場景
DFB Laser（分布反饋雷射）	晶體內建光柵鎖定單一波長，窄線寬、高穩定	1310 / 1550nm 標準電信與資料中心
EML（電吸收調變雷射）	DFB + 電吸收調變器單晶整合，發射與調變一體	長距離、1.6T 高階模組主流
VCSEL（垂直腔面射雷射）	垂直出光、易做陣列、成本低	短距多模；Broadcom 3.2T NPO 採用
CW Laser（連續波雷射）	不承載資料，只供穩定連續光，由 PIC 上的調變器寫入資料；CPO 多以 ELS（外置雷射源）形式部署，故障可換、熱與 ASIC 隔離	SiPh / CPO 外部光源——本輪需求結構轉換的主角
Comb Laser（光梳雷射）	單一裝置產生多個等間距波長	102.4T CPO 等大規模 WDM；與 MRM 陣列天生互補

4.3 調變器三方對決：MZM / EAM / MRM

調變器是「電寫入光」的閘門，三種路線的取舍是論壇必考題：

屬性	MZM（Mach-Zehnder）	EAM（電吸收）	MRM（微環）
體積	大（1—3 mm）	中（50—100 μm）	微（10—20 μm）
頻寬	高	中	中
熱穩定性	高	臨界（需 TEC 主動製冷）	中（需 per-ring heater 補償）
PAM4 線性度	優異	中	差（共振響應非線性）
良率成熟度	最高（10+ 年）	中	中
採用陣營	Broadcom / Intel / Marvell / Cisco	NVIDIA（部分） / Ayar Labs	NVIDIA Spectrum-X / Coherent / Lumentum / Intel

MZM 用兩條干涉臂的相位差調光，線性好但要佔 mm 級面積；MRM 用直徑 10—20 μm 的微米環形共振腔，電訊號微調環內折射率使共振波長偏移、進而調變輸出光強——體積比 MZM 小兩個數量級，因此一條波導上可串接數十個 MRM、各對應一個波長，是大規模 on-chip WDM 的唯一務實解。NVIDIA Spectrum-X CPO 交換器選擇 MRM，被穎威論壇視為 CPO 規格里程碑：它宣告了「Comb Laser 多波長光源 + MRM 陣列 + on-chip WDM」成為 scale-up 高密度架構的主流候選。

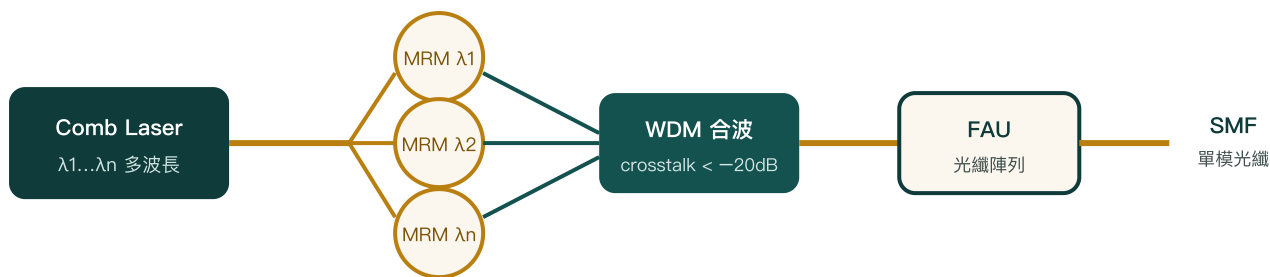


圖 3：MRM 陣列式 WDM 發射鏈（自繪）。一顆 Comb Laser 供應多波長，每個 MRM 微環各鎖一個波長寫入資料，合波後經 FAU 出纖——「一纖多波長」的密度優勢來自 MRM 的 10–20 μm 足跡。

MRM 的三大工程挑戰：① **熱敏感**——共振波長漂移約 10 pm/°C，在 CPO 大封裝 >4,000W 熱密度下需 per-ring heater 與波長鎖定回饋電路；② **PAM4 線性度差**——需 DSP 或專屬 driver 校正；③ **製程偏差**——每環共振波長不一致，需 wafer-level trim 或冗餘環設計。這三項直接決定 MRM 路線的量產良率。

4.4 耦合：光怎麼進出晶片

耦合方式	光路方向	優勢	挑戰
Grating Coupler (GC，光柵耦合)	垂直進出晶片表面	可在切割前做晶圓級測試 (wafer-level test) ——降低後段報廢成本的關鍵	插損較高、波長敏感
Edge Coupler (EC，邊緣耦合)	水平從晶片側面進出	高頻寬、插損 < 1.0 dB、偏振不敏感、適 128 芯 FAU	要求次微米對位精度
BBC (垂直寬頻耦合器)	垂直，TSMC 三篇專利	結合 GC / EC 優點：0.3 dB 插損、±10 μm 容差、寬波長範圍、可整合偏振分光旋轉器 (PBSR)	TSMC 平台綁定

4.5 材料平台分工：SiPh 不是「純矽」

矽本身是間接能隙材料，不會發光——所以完整 PIC 必然是多材料平台（野村 2026-05-21）：

材料	角色	意義與瓶頸時序
InP 磷化銦	EML、CW 雷射	矽平台缺光源，全靠 III–V 補；InP 基板 2H25 起供給吃緊，是先行瓶頸
Photonics SOI 晶圓	PIC 平台 (220 / 400nm Si 器件層)	CPO PIC die 面積放大到 50–100mm ² ，野村估 2027F 後接棒轉緊
Ge-on-Si 鍺	光偵測器 (PD)	接收端把光轉回電流
GaAs 砷化鎵	EIC driver、VCSEL	高速驅動端
LiNbO ₃ 鋱酸鋰	新興高速調變器	薄膜鋱酸鋰 (TFLN) 研究熱點

野村進一步指出，理想終局是 **monolithic InP-on-insulator**——InP 晶體直接長在 buried oxide 上、與矽器件層同平面 (in-plane) 整合，讓光侷限於磊晶 InP 內。這是「下一步」討論中材料端最前沿的題目。

5. OE 光學引擎與「Array 化」：從單引擎到引擎陣列

5.1 OE 是什麼：整合層，不是單一零件

OE（Optical Engine，光學引擎）是負責電光轉換、光路整合與光纖耦合的完整模組：上承 SerDes / DSP 的高速電訊號，經 EIC（驅動 / 放大 / 控制）、PIC（調變 / 偵測 / 波導）、雷射光源，最後經耦合器與 FAU 出纖。它可以住在可插拔模組裡，也可以共封裝在 ASIC 旁——位置決定一切。

OE 內部層級	關鍵元件	觀察重點
EIC 電子層	Linear Driver、TIA（轉阻放大器）、CDR、熱控制	200G/lane、224G PAM4、線性度與功耗
PIC 光子層	MZM / MRM、Ge PD、Si / SiN 波導、WDM	光損耗、熱敏感、die 面積
光源	EML / CW Laser / Comb Laser（多為 ELS 外置）	InP 供給、功率與壽命
耦合	GC / EC / BBC + microlens / Meta-lens	插損、對位容差、可否晶圓級測試
光纖介面	FAU / iFAU / D-FAU、MPO / MT 插芯	對位 throughput、可維修性
封裝測試	OE die attach、光電測試	attach yield——CPO 成本核心

5.2 封裝位置演進：光一步步貼近 ASIC

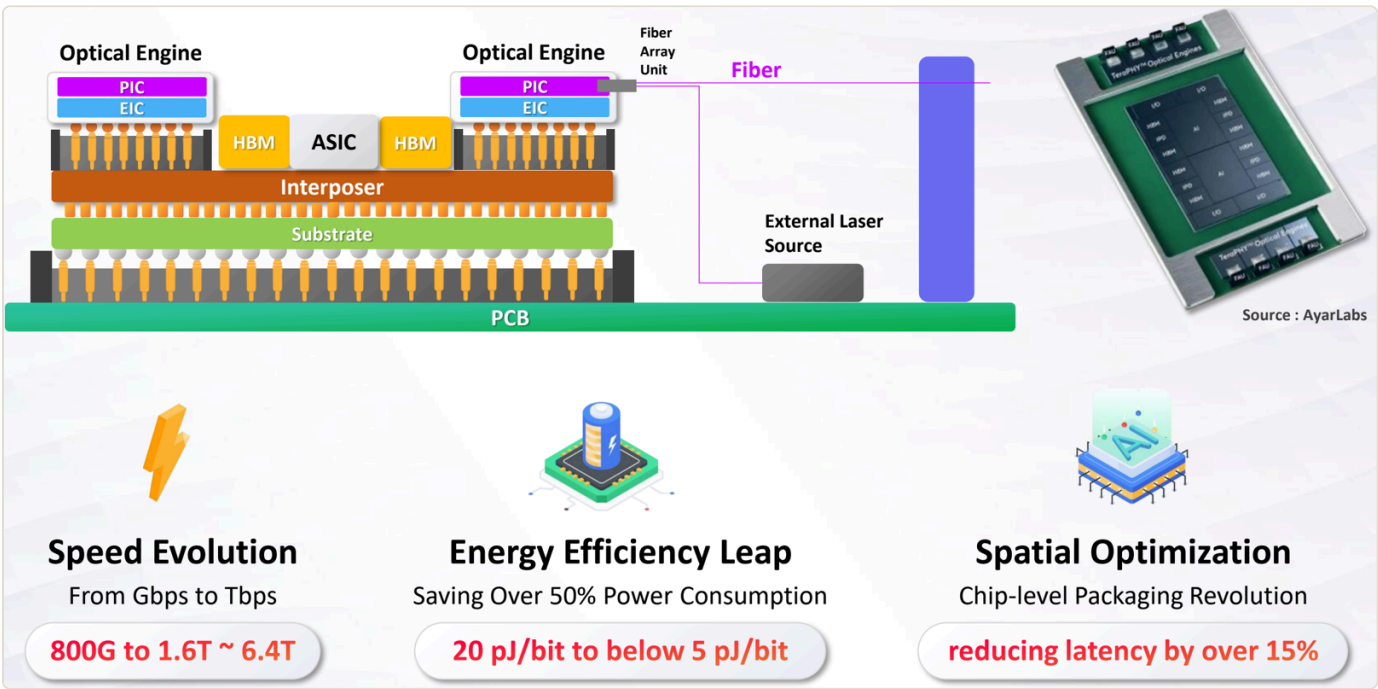


圖 4 CPO 結構與三大效益總覽（Source: Ayar Labs，引用自穎崴 2026-05-14 簡報）。左：光學引擎（EIC+PIC）與 ASIC、HBM 同坐 interposer，外置雷射源（ELS）經光纖陣列供光。下方三效益：速度從 800G 邁向 1.6—6.4T；能效從 20 pJ/bit 降到 5 pJ/bit 以下（省電過半）；晶片級封裝革命使延遲再降 15% 以上。

架構	年代	銅光比	頻寬級距	相對功耗	意義
Pluggable 可插拔	~2016	100% 銅	~800G	1×	成熟生態、可熱插拔維修
OBO 板上光學	2023	80 / 20	< 1.6T	~0.8×	過渡方案
NPO 近封裝光學	2025	50 / 50	< 3.2T	~0.6×	封裝廠進入門檻較低，台廠首站
2.5D CPO (COUPE Switch)	2027	20 / 80	< 6.4T	< 0.5×	交換器端共封裝
3D CPO (COUPE XPU)	2030~	100% 光	12.8T+	< 0.1× (延遲 < 0.05×)	GPU 本體的光學 I/O

資料：Counterpoint Research，引用自穎崙 2026-05-14 簡報。

5.3 TSMC COUPE 平台：1.0 → 2.0 → 3.0

COUPE (Compact Universal Photonic Engine，緊湊型通用光子引擎) 是台積電的 OE 平台實作，2026 技術論壇上被列為「全光互連取代銅線」的關鍵路徑。核心做法：EIC 面朝下、以 SoIC-X 銅對銅混合鍵合 (Cu-Cu hybrid bonding) 直接疊在 PIC 上，介面寄生電容降低 85%、功耗降約 40%。

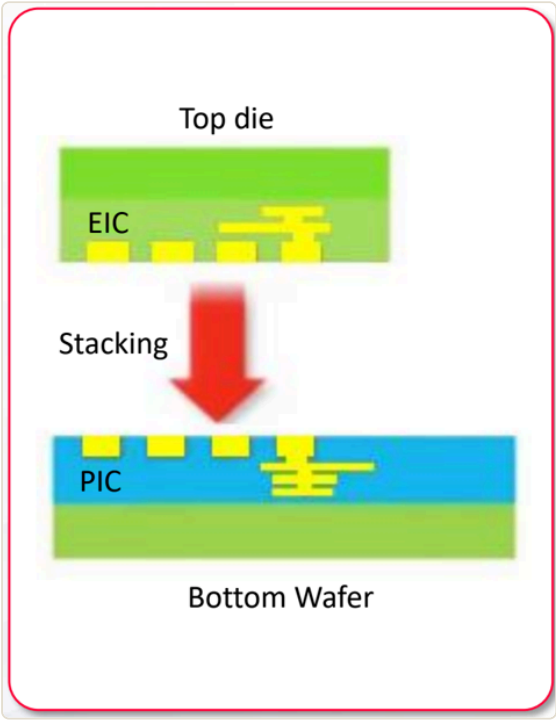


圖 5 COUPE 的 3D 堆疊本體：頂部 EIC die 以面對面方式直接鍵合到底部 PIC 晶圓 (die-on-wafer stacking)。電子層與光子層的距離從「公分級板距」縮到「微米級鍵合介面」，是寄生電容 -85% 的來源。來源：TSMC，引用自穎崙 2026-05-14 簡報。

	COUPE 1.0	COUPE 2.0 (iOIS)	COUPE 2.0 進階	COUPE 3.0 (OLSI)
對應平台	Blackwell 初期	Quantum-X800 / Quantum 3450 CPO 交換器 (115.2T)	Rubin Ultra (2027Q1) 、NVLink 6.0	Feynman (2029) 、全光 NVLink
定位	可插拔模組	共封裝光學 (CPO)	處理器內整合 (on-package)	Optical CoWoS 、3D 光路由
頻寬	~1.6 Tbps	~6.4 Tbps	~12.8 Tbps+	>3.2T/link 、PB 級系統
能效	pJ/bit	< pJ/bit	sub-pJ	deep sub-pJ (~0.5)
光電距離	cm (板級)	mm (封裝級)	μm (晶片級)	sub-μm (近 on-die)
製程	EIC N6 / PIC 65nm SOI	N5/N3 級 + iOIS	N2 級準單晶整合	N2 / A16
波導	Si / SiN	多層 SiN + 聚合物波導	高密度 OLSI 矽波導	SiN + hybrid 超低損
光源	ELS 外置	ELS 或封裝側 CWDM	混合整合 DWDM	co-packaged / remote array (或 μLED)

資料：群益 CPO / D-FAU 供應鏈簡報 (2026-05-14)。專利布局上 TSMC 2024 年美國 SiPh 申請 50 件 vs Intel 26 件 (Nikkei)，差距持續拉開。

5.4 陣列頻寬的乘法：115.2T 怎麼算出來

「Array OE Engine」的具體形象，就是 NVIDIA Quantum 系列交換器的引擎陣列結構。頻寬是一連串乘法：

115.2T 計算鏈 (群益簡報)

每 lane 200 Gbps → 1 顆光引擎 8 lanes = **1.6T** → 1 個模組 3 顆引擎 = **4.8T** → 1 顆 ASIC 6 個模組 = **28.8T** → Quantum X 系統 4 顆 ASIC = **115.2T**。

對照傳統 MCM 架構：COUPE / CoWoS-S 方案把 OE-ASIC 連線從 5mm 縮到 **1mm**、佈線密度提升 **80 倍**、頻寬密度提升 **37.6 倍**、系統能耗降至 **0.19x**。

陣列化的另一面是良率的乘法懲罰：一顆 Spectrum 級 ASIC 周圍要貼 32 顆 COUPE 光引擎，任何一顆 attach 失敗都可能毀掉整顆昂貴封裝——這是第 8 章的主題，也是「下一步」最大的工程辯論。

5.5 FAU / iFAU / D-FAU：光學最後一哩

FAU (Fiber Array Unit，光纖陣列單元) 把多根單模光纖以 80-100 μm 間距精密排列、對準 PIC 耦合器。單模光纖芯徑僅 9 μm 上下，對位是微米級的工藝：

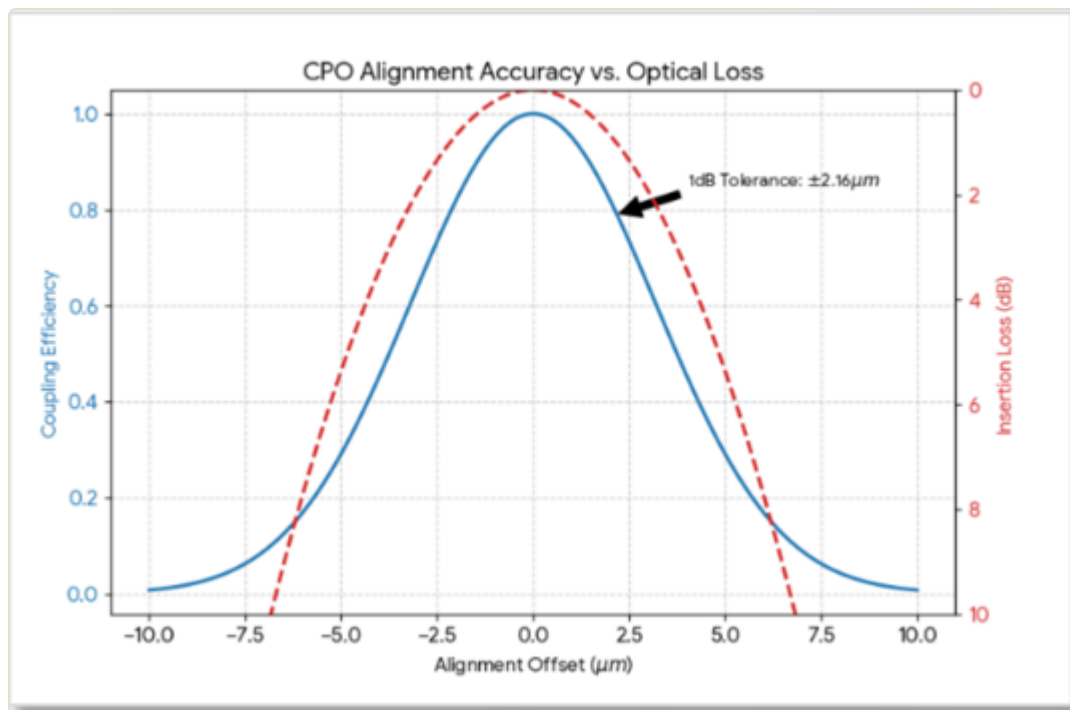


圖 6 CPO 對位精度 vs 光損耗曲線：耦合效率（藍）隨對位偏移急遽下降，1 dB 損耗容差僅 $\pm 2.16 \mu\text{m}$ （紅虛線標注）——不到頭髮直徑的 1/30。這就是 active alignment 設備與 microlens / Meta-lens 擴容差方案存在的理由。來源：穎歲 CPO 論壇簡報（2026-05-14）。

方案	原理	容差	代表供應商
裸 FAU + 主動對位	邊量測光功率邊微調位置後固化	$\pm 2 \mu\text{m}$ 級 (1dB)	上詮 (3363)；對位設備：旺矽 / 高明鐵 / 萬潤 / 惠特
iFAU + Si microlens	嵌入式矽微透鏡將光束擴束準直，經 GC 表面耦合	$\pm 10 \mu\text{m}$ 、0.3 dB	采鈺 (6789, TSMC iFAU 主供)、奇景 HIMX (COUPE Gen1/2 唯一 microlens array 供應商, MS 確認)
D-FAU + Meta-lens	平面奈米結構 (meta-atoms) 做波前工程，可拆卸式設計	$\pm 18 \mu\text{m}$ (1dB, 寬約 80%)	合聖 AuthenX (光聖 6442 子公司)

iFAU 是 TSMC 把 FAU 與 PIC 平面整合的方案；D-FAU (Detachable FAU) 則進一步可拆卸、利於現場維修。容差每放寬一倍，量產 throughput 與良率就上一個台階——這條「對位容差軍備競賽」是台廠卡位最深的環節。

6. Scale-out Photonic IC 的下一步

6.1 現況：1.6T 可插拔為主、CPO switch 起步

Scale-out 的光化是現在進行式。可插拔光模組生態成熟、可熱插拔維修，仍是 2026 年放量主軸；同時兩條「去 DSP / 去銅」的支線並進：

路線	做法	定位
LPO（線性可插拔光學）	拔掉模組內 DSP，靠高線性 TIA / Driver + host SerDes 補償	CPO 前哨站；省功耗但把訊號責任推回交換器端
CPO Switch	光引擎與交換 ASIC 共封裝	Broadcom Tomahawk 6-Davisson（102.4T，業界首款）；NVIDIA Quantum 3450（115.2T） / Spectrum-X
OCS（光路交換）	直接切換光路不經電（3D MEMS / LCoS / SiPh 三路線）	Google Apollo 已大規模商用；MoE 訓練動態重配 fabric 的並行解

6.2 交換器世代節奏與 204.8T 拐點

世代	總頻寬	SerDes	光模組對應	判讀
Tomahawk 5 / Spectrum-4	51.2T	100G/lane	800G，DSP retimed 為主、LPO 試行	已成熟
2026 世代	102.4T	200G/lane	1.6T DR8 / 2×FR4；三家 ASIC 廠齊量產 → 降價週期啟動	LPO / LRO + NPO 並存
204.8T 世代	204.8T	邁向 400G/lane	可插拔的電通道「走不動」	CPO 成為最佳物理可行解（LightCounting 認定的加速拐點）

每代交換器頻寬翻倍只花約兩年。Broadcom 已在 OFC 2026 發表 Taurus 400G/lane optical DSP、roadmap 指向 204.8T；同時以 VCSEL-based 3.2T NPO 做橋接——「CPO 北極星+NPO 現金流」雙軌，是拿單面最廣的佈局。野村另提示一個商業變數：若領導 CPO 方案商以 **bundled sales**（CPO switch 綁售）推進，scale-out 的 CPO 採用率可能提前。

6.3 CPC 與 CPO 的分層共存

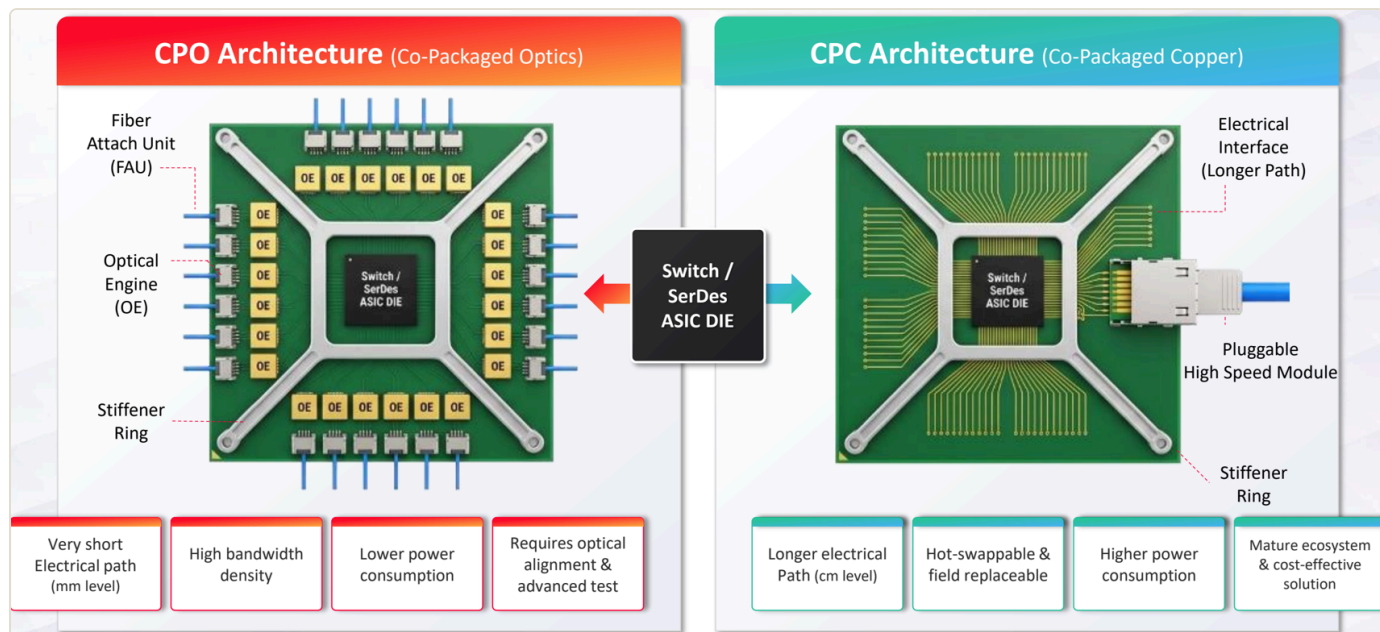


圖 7 同一顆 Switch ASIC 的兩種 I/O 介面。左 CPO：FAU+光引擎直接圍繞 ASIC，最短電路徑、最高頻寬密度、最低功耗，但需光學對位與先進測試；右 CPC（Co-Packaged Copper）：電氣路徑拉長接可插拔高速模組，可熱插拔、生態成熟、成本效益佳。來源：穎威 CPO 論壇簡報（2026-05-14）。

2026-2028 是「ASIC 平台黃金窗口」：同一顆 ASIC 同時設計 CPO 與 CPC 兩種介面——**scale-up 用 CPO 解效能、scale-out 用 CPC / 可插拔解部署彈性**，hyperscaler 依機櫃位置與升級頻率決定比例。CPC 不會被立即取代的五個理由：標準未收斂（OIF / IEEE 仍在定 CPO 規格）、CPO 一點缺陷毀整顆封裝、可服務性 SOP 待重建、光元件供應仍緊、scale-out 對單 lane 頻寬要求較寬鬆。但 448G 撞牆是 CPC 的時間天花板——撞牆之後 scale-out 也被迫向 CPO 收斂，這正是論壇標題「scale-out photonic IC 的下一步」的時鐘。

7. Scale-up Array OE Engine 的下一步

7.1 NVLink 光化三代路線



圖 8：NVLink scale-up 光化三代路線（自繪；依 Latitude 2026-05 整理，SemiAnalysis 2026-06-08 修正時程附註）。

關鍵邏輯：Rubin Ultra 把 supernode 拉到 8 個機櫃，跨櫃的 scale-up 第二層連接需要 4 倍前面板頻寬——銅在這個距離與密度下出局，「必須走光」是空間幾何逼出來的，不是偏好。BiDi optics（單纖雙向）可把光纖

數砍半，是降部署成本的配套。到 Feynman 世代，NVSwitch 本體直接共封裝 CPO，對 PIC、ELS、fiber-attach 供應鏈是「五年級別」的機會窗。

7.2 Dollar Content 的爆發：16x 與 45x

GS 2026-04-17 的核心量化：從 GB300 NVL72 到 Rubin Ultra NVL576，每 computing unit 的 **scale-out 互連價值提升 16 倍、scale-up 提升 45 倍**；整體 scale-up + scale-out 互連 TAM 從約 150 億美元擴到約 **1,540 億美元**，其中 CPO 約 910 億、占 59%。1.6T 等效光模組用量從每 computing unit 216 顆增至約 2,500 顆。Scale-up 的倍數（45x）大於 scale-out（16x），正是「array OE engine」想像空間的來源——但它也是兌現時程最不確定的一塊。

平台 / 期間	Scale-up 互連	Scale-out 互連	投資觀察
GB300 NVL72（2H25–2026）	銅纜	1.6T 光模組	1.6T 可插拔需求主軸
Vera Rubin NVL72（2H26–2027）	銅纜	1.6T 光模組；部分情境 25% CPO	CPO 進入 scale-out TOR switch
Rubin Ultra NVL144（2H27–2028）	PCB midplane	3.2T CPO TOR + 3.2T 光模組	midplane 與 CPO 同步拉 content
Rubin Ultra NVL576（2H27–2028）	銅纜 + CPO	3.2T CPO TOR + 3.2T 光模組	8 機櫃 unit 使 scale-up 走向光化

資料：Goldman Sachs（2026-04-17），依 NVIDIA roadmap 與供應鏈訪查推估。

7.3 更遠的下一步：Photonic Fabric、OCS 與光學記憶體互連

論壇講到「下一步」可能延伸的三個前沿：① **Scale-up OCS / photonic fabric**——用 ns 級 SiPh 光路交換直接重構 GPU 間拓撲（Marvell 收購 Celestial AI 的 Photonic Fabric 即此路線），仍待插損、SOA 噪聲與 SiN 波導驗證；② **COUPE 3.0 / OLSI**——光學中介層直接做 Memory ↔ Compute 全光互連，深 sub-pJ/bit；③ **Huawei「Tau Law」**（MS 2026-05-25）——以系統時間效率接棒摩爾定律，近封裝光互連 Hi-ONE + 3D Folding，估 2035 前硬體整合度提升 100 倍以上。三者共同指向：光不只取代銅做「傳輸」，將進一步參與「拓撲」與「記憶體語意」。

7.4 Micro LED CPO：陣列光源的替代路線

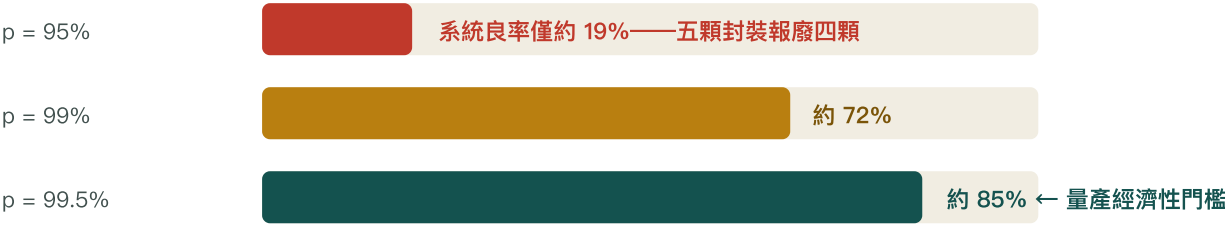
TrendForce（2026-05-11）把 Micro LED CPO 列為機櫃內（intra-rack）短距互連候選：用 μLED 陣列當光源（能耗 0.5–2 pJ/bit）、多模光纖束傳輸，迴避雷射的可靠性與成本問題。聯盟成員含 Microsoft MOSAIC、Avicena（512 Gbps → 896 Gbps）、Credo / Hyperlume、ams OSRAM、台廠 AUO / 群創 / 銓創 / 富采。時程明顯晚於 SiPh CPO：**2028H2 才可能明顯放量**、2030 產值估僅 8.48 億美元——定位是中長期選項，不是主賽道替代者；但 COUPE 3.0 的光源欄位寫著「或改採 μLED」，值得在論壇追問。

8. 量產的真正關卡：良率、熱、光源與測試

8.1 Attach Yield 的乘法懲罰——陣列架構的阿基里斯腱

「Array」這個詞的工程代價：32 顆 OE 圍一顆 ASIC 時，系統良率是單顆 attach 良率的 32 次方——

單顆 OE attach 良率 → 32 顆陣列的系統良率 ($y = p^{32}$)



SemiAnalysis (2026-06-08)：CPO 的瓶頸是 system-level integration 與 yield economics，不只是 InP 雷射。

圖 9：attach yield 乘法效應（自繪；依 SemiAnalysis 2026-06-08 量級推算， $0.95^{32} \approx 19\%$ 、 $0.995^{32} \approx 85\%$ ）。

佐證數字：MS（2026-06-10）指出台積電 PIC 產能 1Q27 擴到 10k wpm，但 SoIC 良率 50—60%、下游組裝良率 20—50% 才是最終出貨的 swing factor；Spectrum CPO 的板上系統級測試插損已接近吃完整個 optical channel budget。CPO 又「無 rework 路徑」——一點缺陷毀整顆含 ASIC 的封裝。這組數字是理解「為什麼 2027 預期被下修」的鑰匙。

8.2 熱密度與可服務性

四大製造瓶頸（穎崴整理）：封裝尺寸 >100×100mm（up to 200mm）、pin 數 >10,000（up to 50,000）、翹曲 0.6mm；單一元件功耗 >4,000W，socket 功率損耗 >500W，焊球有熔化風險；MRM 波長漂移 ~10 pm/°C 需逐環補償；有機載板 CTE 失配導致翹曲與失準——玻璃中介層 / 玻璃基板是候選解。可服務性方面，可插拔拔了就換，CPO 的維修 SOP（含光纖再對位）必須重建，D-FAU 與被動對位（Teramount TeraVERSE 的 detachable + wafer-level self-alignment 路線）就是為此而生。

8.3 光源結構轉換：EML → CW-LD，InP → SOI

結構變化	數字	含義
資料中心內光晶片需求結構（Sumitomo Electric 估）	EML 占比 76% → 31%、CW-LD 24% → 69%（2024 → 2028）	CPO 採 ELS 外置連續光源，CW Laser 結構性放大；瓶頸從封裝轉向 InP 基板、高良率磊晶、高功率 CW-LD
Sumitomo 擴產	intra-DC 光元件產能 ×12、InP 基板 ×2.4（2023 → 2028）	上游已在押注
供需平衡時點（GS）	EML / CW Laser 緊到 2027，2H28 才可能平衡	光源是 1.6T/3.2T 與 CPO 共同的上游瓶頸
材料瓶頸接力（野村）	InP 先缺（2H25 起）→ Photonics SOI 後缺（2027F 起，PIC die 50—100mm ² ）	「先 InP、後 SOI」的順序是材料端投資時鐘

8.4 四階段測試方法論——picks and shovels 的高確定性

CPO 測試要同時量高速電（224G PAM4）與光（功率 / 波長 / 偏振 / 眼圖 / BER）多物理量，分四階段：晶圓級（GC 垂直耦合讓 PIC 在切割前可測——這是 GC 路線的隱藏價值）→ Die 級（旺矽 Insertion 3）→ 封裝級（active alignment + socket；旺矽 Insertion 2、穎崴 HyperSocket）→ 模組級（pick & place → 擺 FAU → 插全 FAU → plug & play 四步組裝測試）。重點：測試設備在量產之前就要採購——即使 CPO 放量延後，qualification 訂單先行，這是 SemiAnalysis 看空時程仍看多測試設備的原因。

9. 多空辯論：2027 是放量還是驗證年

論壇正反方的彈藥庫——2026 年 6 月初一週內，三份獨立研究同時指向「近期預期過高、長期方向不變」：

多方（結構派）		空方（時程派）
TAM	GS：互連 TAM 150 億 → 1,540 億美元，CPO 占 59%； Yole：CPO 市場 2024 年 0.46 億 → 2030 年 81 億美元 (CAGR ~76%)	不否認 TAM，質疑兌現年份
出貨量	市場原先預期 2027 年 OE 出貨 20—30mn 套、CPO switch 70—100k+ 台	MS：2027 年 OE 僅 6—7mn 套；SemiAnalysis：Spectrum CPO 可能延後超過兩季
Scale-up 光化	2027 Rubin Ultra 必須走光、2028 Feynman NVLink8 CPO	SemiAnalysis：有量的 scale-up CPO 落在 2029+；2027—28 更像 NPO / 可插拔 / 銅的過渡期
個股訊號	NVIDIA 對 Lumentum / Coherent / Marvell 各投 20 億美元；Credo 併 DustPhotonics；緯穎 / 鴻海 Computex 展機架級 CPO 整合	JPM 降評大立光（FAU 與既有 chip design 生態不相容，1.5—2 年內難有實質貢獻）；MS 提示天孚估值溢價
共識	方向不變、終局一致；分歧只在 2027 的斜率。受惠順位短中期偏 AEC / 銅、可插拔與 LPO、CPO 測試設備；純 CPO volume 估值者需下修 2027—28 假設。MS 估 CPO 自 2028 起才 boom。	

給論壇的判讀框架

聽講者立場時先問三件事：① 他口中的 CPO 量產是「scale-out switch」還是「scale-up GPU-to-GPU」（差兩年以上）；② 他的良率假設是 per-engine 95% 還是 99.5%（差四倍系統良率）；③ 他算 TAM 用的是 GS 口徑（互連全口徑 1,540 億）還是 Yole 口徑（CPO 本體 81 億）。三個口徑混用是這個題材最常見的雞同鴨講。

10. 個股映射：台股供應鏈全圖與國際龍頭

台股的特性是「直接性分散在多個小環節」——平台在台積電，其餘價值散落在光源、耦合、被動元件、測試與載板。下表依價值鏈位置整理（台股為主，標註近期具體進度與時點）：

10.1 平台 / 晶圓級封裝

標的	環節	論點與近期進度
台積電 2330	COUPE / iOIS / CoWoS-S 平台	CPO 的物理核心；PIC 產能 1Q27 擴至 10k wpm (MS)；SiPh 專利 2024 年 50 件 vs Intel 26 件；量產時程綁 Rubin Ultra / Feynman
瑞峰半導體 7873 (興)	EIC / PIC 晶圓 bump、3D TSV Reveal、V-Groove	GlobalFoundries + Fabrinet 矽光子聯盟封裝節點，已向 Fabrinet 出貨 (Fabrinet 持股 13.35%)
日月光投控 3711	OSAT 先進封裝	MS CPO enablers OW 名單；台廠中具 12 吋 bump + 3D TSV Reveal 能力者僅日月光、矽品、力成

10.2 光源 / III-V 上游

標的	環節	論點與近期進度
聯亞光電 3081 (櫃)	EML / CW / Pump / Comb Laser 磊晶	EML→CW 結構轉換直接受惠；FY25 營收 +82%、4Q25 毛利率 49%
全新 2455	VCSEL / PD 磊晶	接收端 PD + Broadcom VCSEL-NPO 路線對應
穩懋 3105 (櫃)	III-V foundry (EPI→製程→晶圓級測試)	PD 2Q26 final pilot 先放量；CW Laser 70–100mW 已達規格、目標 200mW+，認證 1–2 年；Optical 占 1Q26 營收 5–10%

10.3 耦合 / FAU / 透鏡（對位容差軍備競賽）

標的	環節	論點與近期進度
上詮 3363 (櫃)	FAU 封裝主力	2026H2 初出貨、2027 量產 ramp；MS OW 但提示 3Q 末才 ramp、之前 lukewarm
采鈺 6789	Si microlens (WLO 12 吋)	TSMC iFAU 主供，±10 μm 容差；2027 COUPE 量產關鍵
光聖 6442 + 子公司合聖	ELS / SiPh 耦合 + Meta-lens	合聖 Meta-lens ±18 μm 容差（寬 80%）；集團同時握 ELS 與 D-FAU 對位元件
奇景 HIMX (美)	NIL microlens array	COUPE Gen1/2 唯一 microlens array 供應商（MS 渠道確認）；2026H2 初出貨
大立光 3008	FAU 嘗試	反例：JPM 2026–06–10 降評 Neutral，FAU 與既有 chip design 生態不相容、1.5–2 年內難有實質貢獻

10.4 測試 / 設備（picks and shovels，確定性最高）

標的	環節	論點與近期進度
旺矽 6223（櫃）	CPO Insertion 2 / 3 + 探針卡	Insertion 2（FAU 對位，全球僅旺矽＋一德商）3Q26 驗證；Insertion 3（die level）4Q26 小量、2027 量產；年底產能擴 3.5 倍
穎崴 6515	HyperSocket 封裝後測試 socket	對應 >10K pins / >4,000W / 0.6mm 翹曲；CPO＋CPC 雙路通吃；2026 為其「CPU 元年」
致茂 2360	OE die tester＋光學測試	NVDA insertion #3（6 月試產） / #4 light-in light-out（3Q26 底）；NVDA 32× OE switch（於矽品）；TAM 約 NT\$10bn / 30bn+（2027 / 28E），致茂取 70—80% 價值份額
萬潤 6187（櫃） / 高明鐵 4573（興） / 惠特 6706	光耦合對位 / 檢測設備	FAU 耦合對位機台第二梯隊；惠特雷射分選訂單是上游擴產前導指標
矽格 6257	光晶片 CP / FT 測試代工	已接 Marvell 單，2026 年 5—6 月進旺矽機台做光晶片（使用者確認，2026—05—28）

10.5 被動元件 / 連接 / 載板 / 類比

標的	環節	論點
波若威 3163（櫃）	WDM / FBG / OIN / shuffle box	Scale-out 被動元件主線（2026 年最接近營收的變現層）；經鴻海供 Spectrum-X shuffle box；注意本業月營收需突破 3—4 億驗證，EPS 有業外成分
統新 6426 / 東典 6588（櫃）	高階 DWDM / TFF 濾光片	剛需在 scale-across DCI 與 FR4 WDM； scale-up 若走 parallel optics / on-chip WDM ，離散 TFF 槓桿會低於題材想像（本報告第 2 章陷阱）
欣興 3037 / 台光電 2383 / 南電 8046	Paddle card / 低損耗 CCL / PCB midplane	Rubin Ultra NVL144 scale-up 導入 PCB midplane；1.6T 模組 paddle card 交期一度 6 週拉到 6 個月
譜瑞-KY 4966（櫃）	TIA＋EQ 類比訊號鏈	CPO OE content 約 USD 40 / 顆（TIA \$15＋EQ \$25）；NVIDIA＋AMD CPO 訂單；LPO 高線性需求同步受惠
湧德 3689 / 正崴 2392	MPO / MT 連接	MT 插芯（US Conec ~60% 壟斷）是「有單沒料」的隱形瓶頸；正崴突破 800G MT-MT cable
緯穎 6669 / 鴻海 2317	ODM / EMS 機架整合	Computex 2026：緯穎展 Ayar Labs OE＋ELSFP＋6kW 雙面液冷機架級 CPO；鴻海展 ELSFP 與 1.6T 模組——系統廠垂直整合光學的訊號

10.6 國際龍頭（格局對照）

排序	公司	主軸	一句話定位
#1	NVIDIA	SiPh+ELS+MRM+液冷 CPO；對 Lumentum / Coherent / Marvell 各投 \$2B	需求牽引+架構控制權，把上游光電鏈改造成 AI 工廠延伸
#2	Broadcom	Tomahawk 6-Davisson 102.4T CPO+ VCSEL 3.2T NPO 雙軌	可量產 merchant optics 拿單面最廣
#3	Marvell	SiPh light engine+Photonic Fabric（併 Celestial AI \$2.3B）	下一代 scale-up 光 fabric 的選擇權
#4	Credo	AEC → PIC（併 DustPhotonics）→ optical platform	Latitude 評最被低估；FY2026 營收 +206%、光業務 FY2027 逾 \$600M
—	Coherent / Lumentum	MRM 客戶+InP / EML / ELS	NVIDIA 各注資 \$2B；若以 CPO volume 估值，2027—28 假設需保守
—	Corning / Sumitomo Electric / 天孚 300394.SZ	光纖連接長約 / InP 基板護城河 / 光器件代工	Corning 2030 photonics 目標 \$10bn；Sumitomo 上行慢下行有限；天孚 MS 評 EW（估值溢價）

投資判讀三原則（庫內既有結論）

① 2026 變現在 scale-out 被動元件與 1.6T 可插拔，CPO 本體是 2027+ 的事——別把 CPO TAM 全數折現到今年；② 測試設備先於量產採購，是時程下修下仍站得住的「鏟子」；③ 台廠多為局部映射，避免把單一公司直接等比例掛 910 億美元 CPO TAM。

11. 論壇提問建議與驗證清單

11.1 可以舉手問的問題（依講者立場選用）

#	問題	聽什麼
1	Scale-up array OE 的 per-engine attach yield 目前實際落在哪個區間？無 rework 限制下，99.5% 的路徑是材料、設備還是設計冗餘？	回答者是否區分 SoIC yield（50—60%）與下游組裝 yield（20—50%）；有沒有 redundant engine / lane 的設計思路
2	Scale-up 的 WDM 會收斂在 on-chip（MRM+comb laser）還是多光纖 parallel optics？BiDi 在 Rubin Ultra 的實際採用比例？	決定離散 TFF / DWDM 元件是否吃得到 scale-up；統新 / 東典 thesis 的關鍵分歧點
3	ELS 外置光源的現場更換 SOP 與 FIT 目標？OIF 75 FIT 假設 vs 系統級 100,000 FIT 的差距怎麼收斂？	可靠性工程是否成熟；D-FAU / 被動對位路線的必要性
4	448G 世代 scale-out 還有沒有銅的劇本（PAM6+強 FEC）？還是 CPC 在 204.8T 交換器世代就終結？	CPC 共存期長短=可插拔與 AEC 族群的生命週期
5	GC 晶圓級測試能攔截多少比例的 PIC 缺陷？KGD（known-good-die）率多少才能支撐 32 engine 陣列的經濟性？	測試左移（test shift-left）的實際效果；測試設備商的長期訂單邏輯
6	Photonics SOI 晶圓 2027 後的供給規劃？PIC die 50—100mm ² 的面積膨脹有沒有 die size 收斂路線？	「先 InP 後 SOI」材料瓶頸接力是否成立
7	Micro LED CPO 在 intra-rack 的 TCO 何時能與 VCSEL NPO 交叉？	2028 通訊元年是真時程還是聯盟行銷

11.2 會後驗證清單（追蹤指標）

指標	為什麼重要	時點
旺矽 Insertion 2 客戶驗證結果	FAU active alignment 是 array OE 量產的吞吐瓶頸	3Q26
致茂 NVDA insertion #3 / #4 進度	OE die tester 試產（6 月）→ 光學測試（3Q26 底）；TAM 兌現的先行指標	2026H2
上詮 / 奇景 / 合聖初出貨與客戶反應	三家對位 / FAU 台廠出貨節奏是否同步	2026H2 → 2027 ramp
TSMC PIC 10k wpm 與 SoIC / 組裝良率	MS 指出的最終出貨 swing factor	1Q27
Rubin Ultra NVL576 scale-up 光化是否如期	「必須走光」的 2027 驗證節點；若延，SemiAnalysis 2029+ 劇本勝出	2H27
EML / CW Laser 供需與 2H28 平衡假設	光源是共同上游瓶頸；提前鬆動則稀缺溢價下修	持續
波若威月營收是否突破 3—4 億	驗證 scale-out 被動元件「真放量」而非業外撐 EPS	逐月
204.8T 交換器世代規格收斂（IEEE / OIF）	scale-out CPO 拐點與 CPC 終局時鐘	2027—2028

12. 詞彙速查表

PIC / EIC

光子積體電路（調變、偵測、波導、WDM、耦合） / 電子積體電路（driver、TIA、控制）；COUPE 把兩者 3D 鍵合。

OE（Optical Engine）

電光轉換完整模組 = EIC + PIC + 光源 + 耦合 + FAU；「array OE engine」指多顆 OE 圍 ASIC 的陣列形態。

CPO / NPO / OBO / Pluggable

光引擎與 ASIC 的距離光譜：同封裝（CPO）→ 封裝旁（NPO）→ 板上（OBO）→ 前面板模組（可插拔）。

CPC（Co-Packaged Copper）

保留 pluggable 銅 I/O 的對偶路線；與 CPO 在 2026—2028 黃金窗口共存。注意：旺矽法說的「CPC」是懸臂探針卡，撞名。

COUPE / iOIS / OLSI

台積電光子引擎平台（1.0→2.0→3.0） / 整合光學互連系統 / 光學中介層（COUPE 3.0 的全光封裝）。

MZM / EAM / MRM

三種調變器：馬赫曾德（大、線性好） / 電吸收（中、需 TEC） / 微環（10—20μm、適大規模 WDM、熱敏感）。

DFB / EML / VCSEL / CW-LD / Comb Laser

光源家族：單波長穩定 / 發射 + 調變一體 / 面射陣列 / 連續光源（ELS 主角） / 單裝置多波長。

ELS / ELSFP

外置雷射源 / 其可插拔標準化形態；把最怕熱、最易壞的雷射移出大封裝。

GC / EC / BBC

光柵（垂直、可晶圓級測試） / 邊緣（水平、低插損） / TSMC 垂直寬頻耦合器（0.3dB、 $\pm 10\mu\text{m}$ 、三篇專利）。

FAU / iFAU / D-FAU

光纖陣列單元 / TSMC 平面整合版（+Si microlens） / 可拆卸版（+Meta-lens，利維修）。

SolC-X / TDV

台積電 Cu-Cu 混合鍵合（寄生電容 -85%） / 穿透電介質通孔（比 TSV 禁區小、串擾低）。

WDM / DWDM / TFF / AWG

波分多工方法 / 密集規格 / 薄膜濾光片（離散實作） / 陣列波導光柵（on-chip 實作）——層級不同，勿混用。

LPO / LRO / TRO

去 DSP 的線性可插拔家族；靠高線性 TIA / driver+host SerDes 補償。

OCS

光路交換：3D MEMS（Google Apollo 商用） / LCoS / SiPh（ns 級，scale-up 真戰場）。

SMF / MMF / BiDi / MCF

單模纖（SiPh 波導基模決定必用 SMF） / 多模纖（>100m 或 >100G 即崩潰） / 單纖雙向（砍半纖數） / 多芯光纖。

Attach yield / KGD

OE 貼裝良率（32 顆的乘法懲罰） / known-good-die，晶圓級測試攔截壞 die 的能力。

FIT

Failures In Time（每十億小時故障數）；OIF 模組假設 75 FIT vs 系統級實測可達 100,000 FIT 的落差是可靠性辯論核心。

本報告由 LLM 基於內部研究知識庫（涵蓋 Goldman Sachs 2026-04-17、穎崴 CPO 論壇 2026-05-14、群益 2026-05-14、野村 2026-05-21、Latitude Design Systems 2026-05、元大 2026-05-25、Morgan Stanley 2026-05-25 / 2026-06-10、SemiAnalysis 2026-06-08、J.P. Morgan 2026-06-10、TrendForce 2026-05-11、Sumitomo Electric 公開資料等）歸納改寫而成，非任何券商報告之逐字轉載。所有預估數字（出貨量、TAM、良率、時程）均為各機構推估值，存在修正風險；文中個股僅為供應鏈映射整理，不構成投資建議。製表日期：2026-06-11。