2026 SEMICON TAIWAN | 矽光子國際論壇

Call Memo_簡報場次三家（TSMC / UMC / Lumentum）

2026/8/31 SEMICON Taiwan 矽光子國際論壇

講者：陳明發（TSMC） / 丁文琪 博士（UMC） / Matt Sysak, CTO（Lumentum）
題目：本三場僅公開簡報、未提供錄音，本篇依簡報原檔整理

結論

這三份簡報沒有錄音，但含金量高於部分有錄音的場次，而且彼此正面衝突。TSMC 給出 COUPE 的**逐年改善數字**（1DGC / 2DGC 插入損耗 2025→2026 各改善 5.3% / 11%），並把 CPO 的價值量化成能效 4X、OOI 10X；聯電則潑冷水，認為**速率擴張定律會放慢**，未來要靠異質整合而非硬拉單元件頻寬；Lumentum 最尖銳——身為 InP 龍頭卻在 scale-up 技術矩陣裡把 **InP 與 TFLN 的成本與密度都判紅燈**，主張走 VCSEL。三方對「400G/lane 之後怎麼走」給出三個不同答案，這才是這場論壇真正的分歧點。

重點摘要

- **TSMC 量化了 CPO 的價值**：相對銅線，能效 Cu 1X → 可插拔 2X → CPO 4X → **OOI（Optical on Interposer）10X**；延遲 1X → 1X → <0.1X → **<0.05X**。並揭露 COUPE 2025→2026 的實際改善幅度。
- **聯電的反共識判斷**：400Gbps/channel（PAM4）需要 **>110GHz 電性 3dB 頻寬**，鍺光偵測器在此已勉強、能否超過 400G 高度不確定；結論是速率擴張定律**會放慢**。
- **Lumentum 的技術矩陣把 TFLN 打成紅燈**：成本與密度兩項，InP 與 TFLN 均為最低評等；其判斷是「InP 與 TFLN 密度不足以滿足 scale-up 互連需求」，scale-up 需要的是 VCSEL。
- **InP 短缺是三方共識**：聯電明說「InP 嚴重短缺，反而助長 TFLN 動能」，與 Soitec 開發 InPOSi 的動機一致。

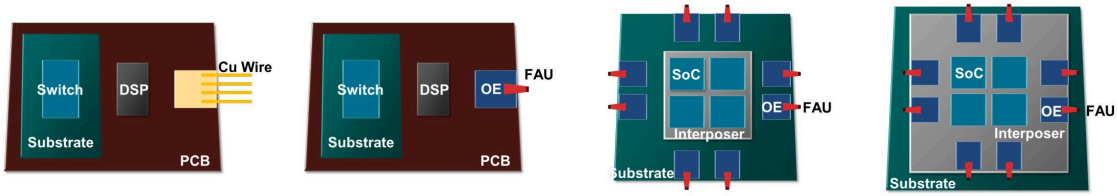
簡報內容

1 | TSMC | How COUPE Redefines AI Interconnects

- 需求前提：引用高盛研究，全球 AI token 使用量預計 **2030 年成長 24 倍、達 120 千兆（quadrillion）tokens**。
- **I/O Wall**：AI 運算力（邏輯）每兩年成長 **3X**，但 I/O 頻寬只成長 **1.4X**——這是 TSMC 定義的核心瓶頸。

From Copper to CPO

- CPO and OOI(Optical on Interposer) delivers a 4x~10x boost in power efficiency and a 10x~20x reduction in latency compared to Cu.
- A highly integrated, low-loss Optical Engine is the key.



	Cu Wire	Pluggable Optics	Co-Packaged Optics (CPO)	Optics on Interposer (OOI)
Energy Efficiency	1X	2X	4X	10X
Latency	1X	1X	<0.1X	<0.05X

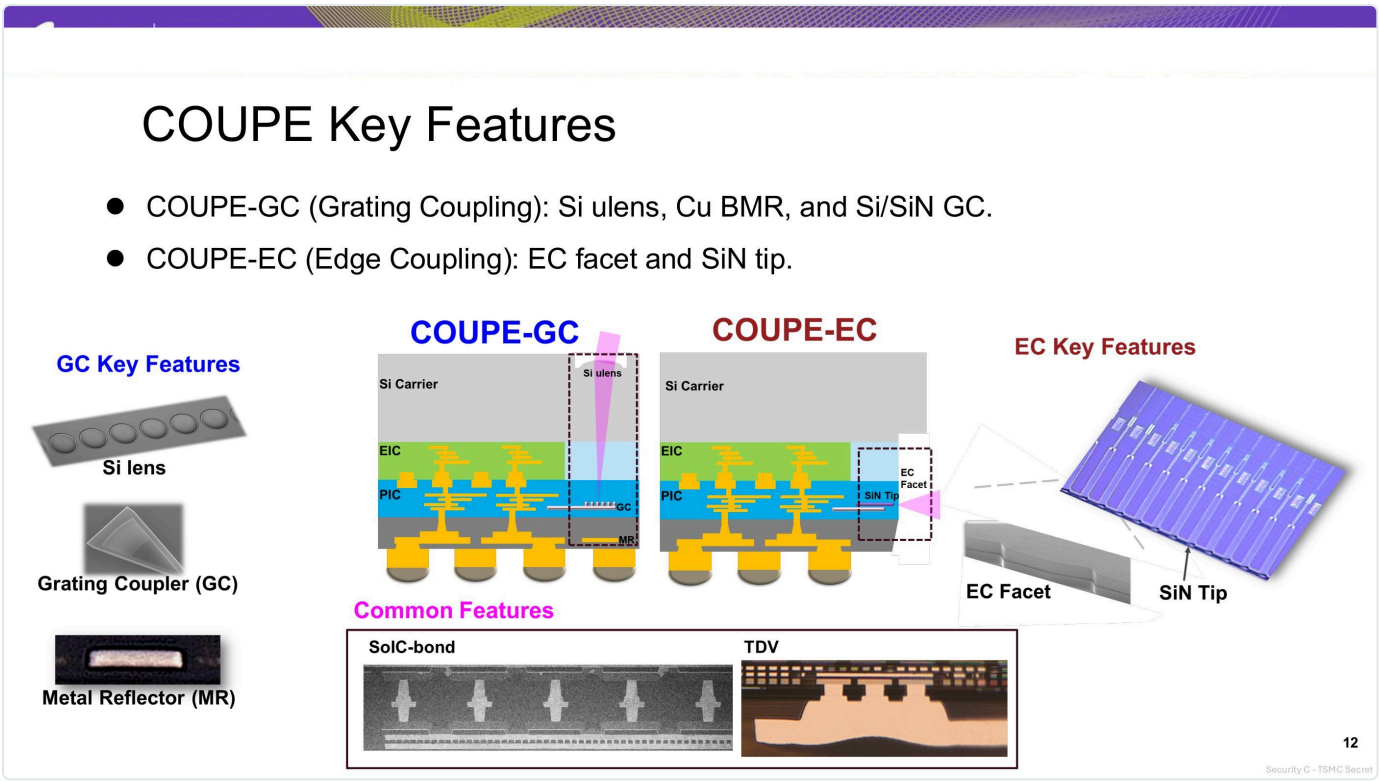
8

Source: TSMC 3DFabric® Advanced Packaging and 3D Silicon Stacking, Mii YJ, 2026 North America Technology Symposium

Security C - TSMC Secret

圖說：TSMC 的「從銅到 CPO」四階段對照。上方為封裝剖面演進：Cu Wire（交換器＋DSP＋銅線在基板上）→ Pluggable Optics（光引擎進模組、接 FAU）→ CPO（SoC 與光引擎共置於中介層上、四周接 FAU）→ OOI（光引擎直接整合於中介層）。下方表格為量化對照：能效 Cu Wire 1X、Pluggable 2X、CPO 4X、OOI 10X；延遲 Cu Wire 1X、Pluggable 1X、CPO <0.1X、OOI <0.05X。頁面標註「高整合、低損耗的光引擎是關鍵」。(TSMC 簡報 p8)

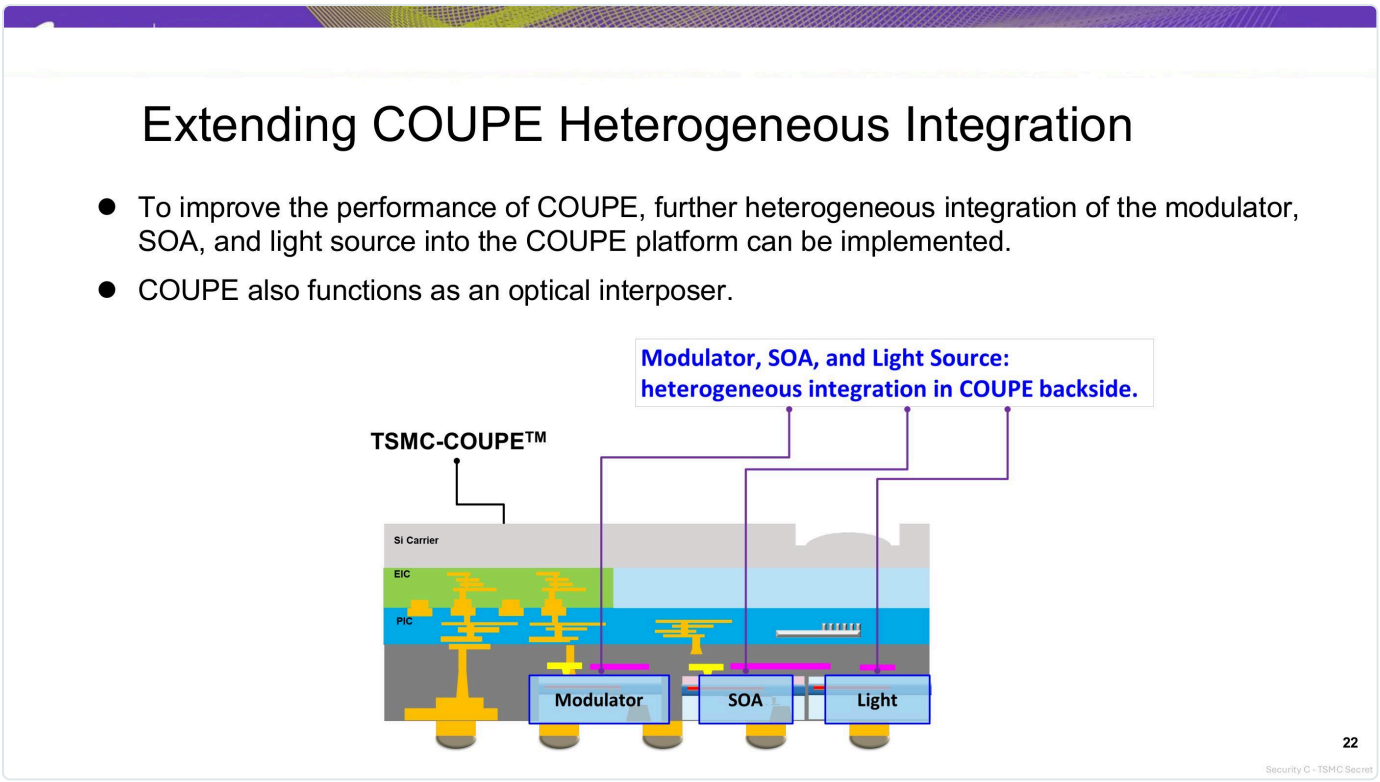
- CPO 的兩種封裝路線：**CPO–MCM**（多晶片模組，光引擎整合在基板上）與 **CPO–OOI**（光引擎直接整合到 XPU 的中介層上）。
- **COUPE = COmpact Universal Photonic Engine**：以 **SoIC–bond 堆疊**整合先進邏輯（EIC）與 PIC，搭配自有光路設計與元件，包含 **Si 微透鏡**與 **Cu BMR（背面金屬反射鏡）**。



圖說：COUPE 的兩種耦合版本。COUPE–GC（光柵耦合）使用 Si 微透鏡、Cu BMR 與 Si/SiN 光柵耦合器；COUPE–EC（邊緣耦合）使用 EC facet 與 SiN tip。（TSMC 簡報 p12）

- Tx/Rx 關鍵元件：發射端為 1DGC、Tip Coupler 與**微環調變器（MRM）**；接收端為 2DGC、Tip Coupler 與**鍺光偵測器（Ge PD）**。
- **完整光子元件 PDK**：TSMC 提供含波導、彎曲、交叉、MMI、SPGC、Y 分支、錐形轉換、終端、PD、相位移器、VOA、熱相位移器、Si–SiN 轉換、SiN EC、PBSR、方向耦合器、DMRR、MRM、MRR、溫度感測器、APD 的完整元件庫，用以縮短客戶設計時程。
- 頻寬公式：**每顆 COUPE 頻寬 = 單通道速率 × 通道數 × WDM**，並提出「快而窄」與「慢而寬」兩條擴張路線。
- **2025→2026 的實際改善**（本篇最硬的數字）：

  > MRM 頻寬經電感峰化與 MRM / EIC 驅動器最佳化，模擬可提升約 **1.8 倍**。
  >
  > COUPE 的 **1DGC 與 2DGC 插入損耗分別改善 5.3% 與 11%**。
  >
  > SiN tip 的偏振相依損耗（PDL）改善 **4.6%**；SiN tip 耦合器損耗在晶圓內可達 **<9.8%**。



圖說：COUPE 異質整合的延伸方向——進一步把調變器、SOA 與光源整合進 COUPE 平台，並明確指出 **COUPE 同時可作為光學中介層（optical interposer）**。（TSMC 簡報 p22）

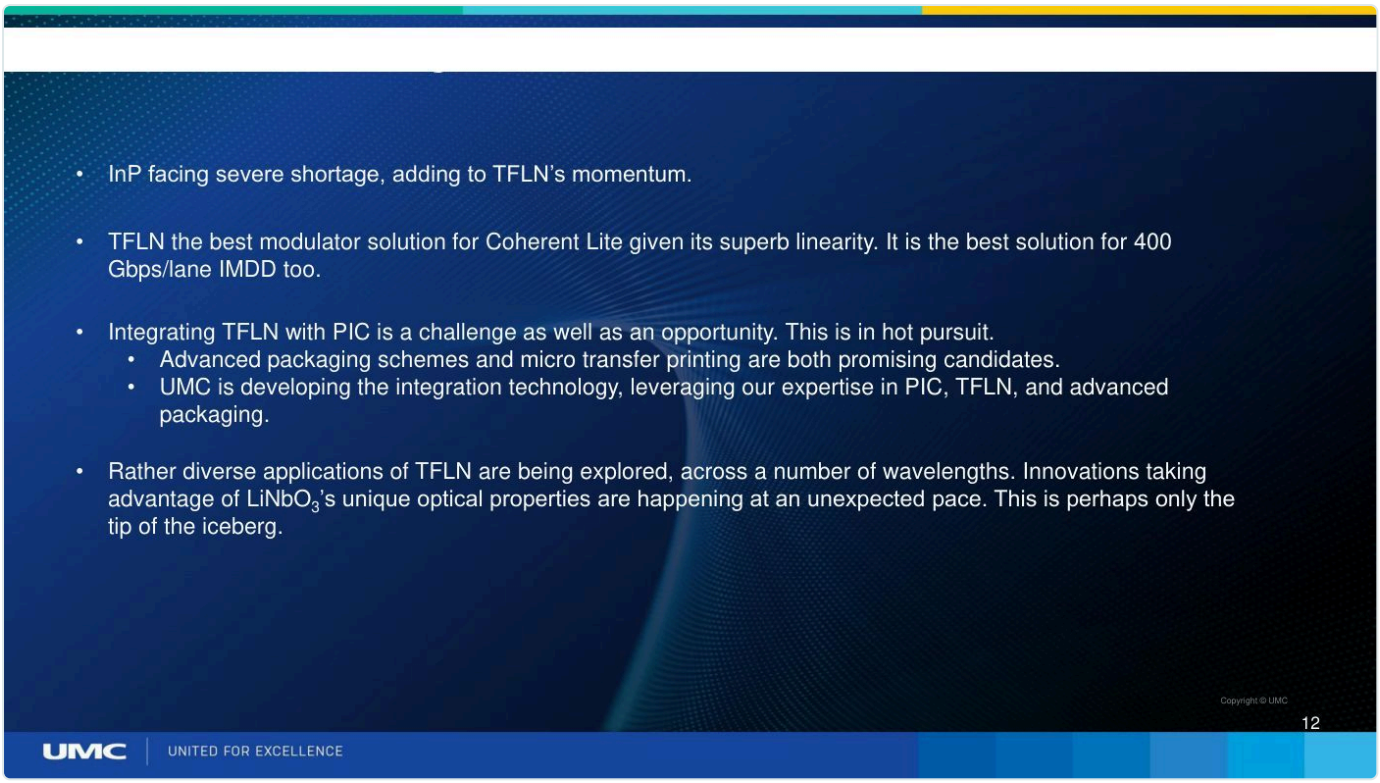
- 結論：COUPE 將持續改善以同時滿足 CWDM 與 DWDM 應用；與 CoWoS 封裝的整合須透過 **STCO（系統與技術共同最佳化）**、由利害關係人密切協作實現。

2｜UMC 聯電｜Breaking through the DCI data rate barrier

- 擴張定律的前提：講者引 Edholm 定律（通訊頻寬約每 18 個月倍增）與 Nielsen 定律（頻寬容量約每 21 個月倍增），推論 **DCI 每模組容量約每 1.5–2 年翻倍**。
- **200Gbps/channel 已是現況**，主流配置為 PAM4＋矽 MZM（DFB 雷射）＋Ge PD＋SiGe BiCMOS TIA/driver＋先進邏輯 DSP/SerDes，走 IM/DD 單波長。**400Gbps/channel 仍在展示階段**，且「幾乎每個元件在此速率都站不穩」。
- 四大元件瓶頸：矽調變器已力竭、Ge PD 頻寬非常勉強、TIA/driver 用的雙極電晶體需達 **500GHz fT**、DSP/SerDes 極難設計。
- **400Gbps/channel（PAM4）需要 >110GHz 的電性 3dB 頻寬**；300Gbps/channel 被視為過渡規格。
- 調變器選型的取捨：

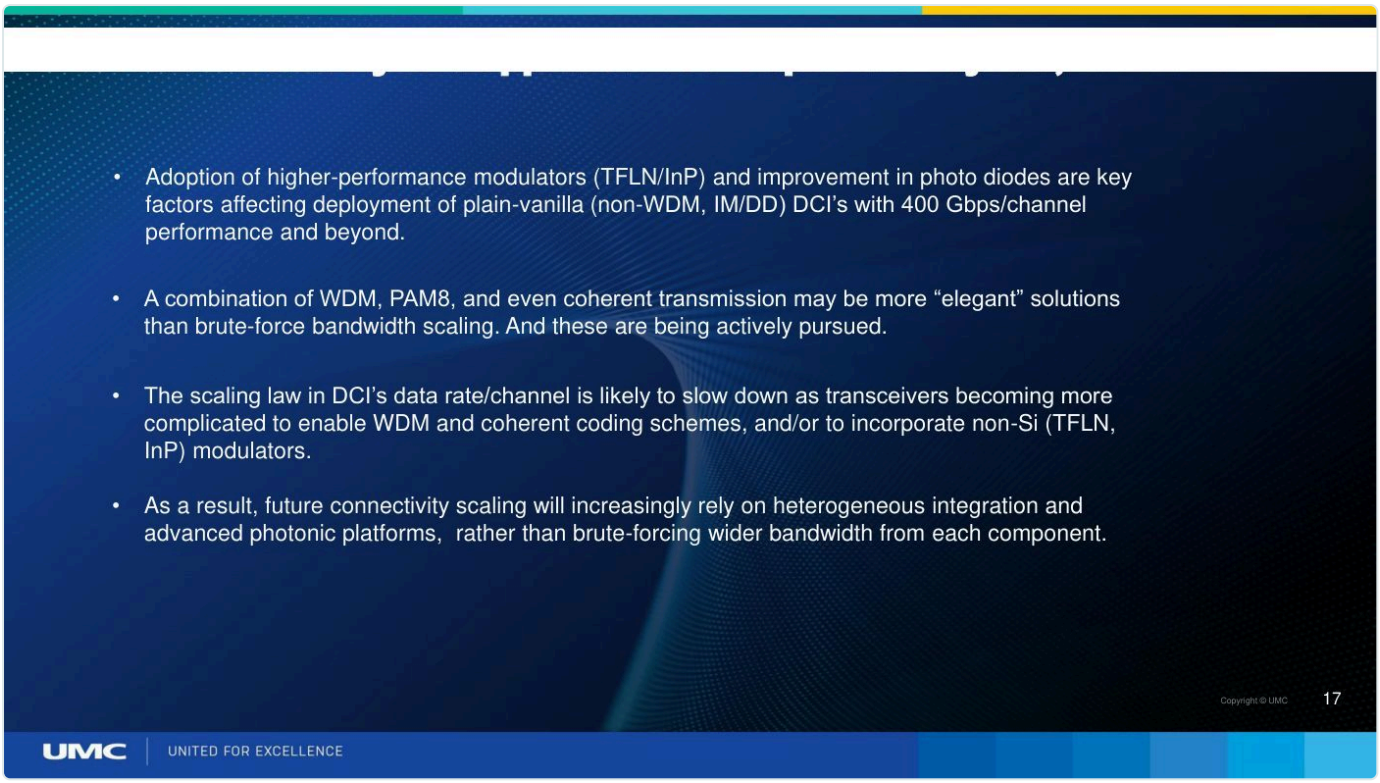
  > MRM：體積小、驅動電壓低、本質電性頻寬高，但**對溫度極度敏感、製程控制要求高**，且消光比與速度互相取捨，**不是 400G 以上的理想候選**。
  >
  > SiGe EAM：體積極小（約 50μm）、驅動電壓 1–3V、能效佳（fJ/bit 級），但光學頻寬窄（波長特定）、啁啾 / 色散大；適用短距資料中心與板上光收發。
  >
  > MZM：頻寬寬、廣譜，但體積大（毫米級）、驅動電壓高。

- **InP 與 TFLN 是兩個最有希望的選項**，因為成熟度遠高於有機聚合物、石墨烯、薄膜鉭酸鋰等其他候選。



圖說：聯電對 TFLN 的定位頁。要點為：InP 面臨嚴重短缺，反而助長 TFLN 動能；TFLN 因線性度優異，是 Coherent Lite 的最佳調變器方案，對 400Gbps/lane 的 IMDD 也是最佳解；TFLN 與 PIC 的整合既是挑戰也是機會，先進封裝與微轉印皆為可行途徑；聯電正結合自身在 PIC、TFLN 與先進封裝的能力開發整合技術。(UMC 簡報 p12)

- **聯電集團的 TFLN 計畫自 2021 年啟動**；TFLN 基板 **6 吋已量產、8 吋在送樣**。TFLN MZM 的強項是低損耗、高頻寬（>110GHz）、熱穩定性佳、線性度極佳；弱點是體積大、相對矽昂貴，且與矽光子整合需要異質整合或先進封裝。
- **Ge PD 的天花板**：頻寬約 50+GHz，對 200Gbps 足夠，但 400Gbps 需要 110+GHz 已屬勉強；能否超越 400G **高度不確定**。InP 昂貴且難整合，替代材料 GeSn、SiSn 仍在學習曲線早期。
- **Coherent Lite 進入資料中心**：傳統同調技術只用於電信，昂貴、笨重、耗電；Coherent Lite 走 O-band、短距（2–20km）、單一偏振、硬體簡化、低功耗低成本，用於連接同一資料中心內相距約一公里的伺服器。講者特別指出**光交換（OCS）額外約 3dB 的損耗，正好成為 Coherent Lite 勝過 IM/DD 的理由**。
- WDM：DWDM（每纖 8 波長以上）與 CWDM（少於 8 波長）；為處理 scale-up CPO 的大量電通道而被積極推進。多顆單波長雷射較易實作，但長期而言**梳狀雷射（comb laser）因能效較佳可能是更好的解**。



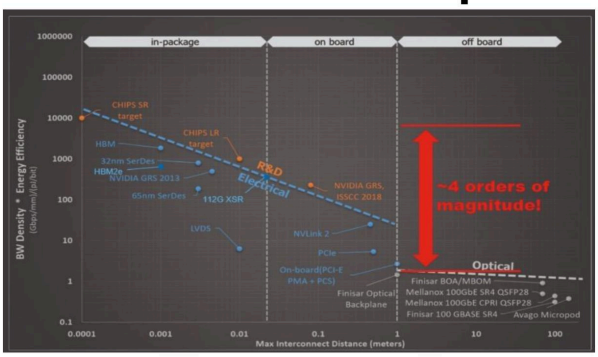
圖說：聯電對 400Gbps 以後的判斷頁。要點為：導入更高性能調變器（TFLN / InP）與改善光偵測器，是能否部署非 WDM、IM/DD 的 400Gbps/channel 的關鍵；WDM、PAM8 甚至同調傳輸的組合，可能比硬拉頻寬更「優雅」；**DCI 每通道速率的擴張定律很可能會放慢**，因為收發器為支援 WDM 與同調編碼、或導入非矽調變器而變複雜；結果是未來的連結擴張將愈來愈依賴異質整合與先進光子平台，而非從每個元件硬擠出更寬的頻寬。（UMC 簡報 p17）

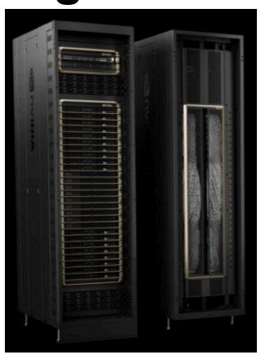
- 結論：未來 DCI 的勝出方案必須在成本與性能間平衡，很可能是由**不同材料製成的光學元件、透過先進封裝無縫整合**。

3 | Lumentum | Optical Interconnects for AI Data Centers

- 三大材料平台定位：**InP**（高性能雷射、調變器與收發器，對應 scale-out 與 scale-up）、**GaAs**（大量雷射，對應 scale-up 與 scale-in，建立在既有大規模感測出貨量上）、**光交換技術**（MEMS 與 LCOS）。

The Scale-Up Challenge





Sources: Nvidia

GPU	Scale-Up BW (Tbps)	Scale-Up Size (GPU)	Rack Power (kW)
Blackwell	7.2	72	120
Rubin	14.4	144	??
Feynman	28.8	??	??

High-volume optics required to break reach, power, and bandwidth constraints

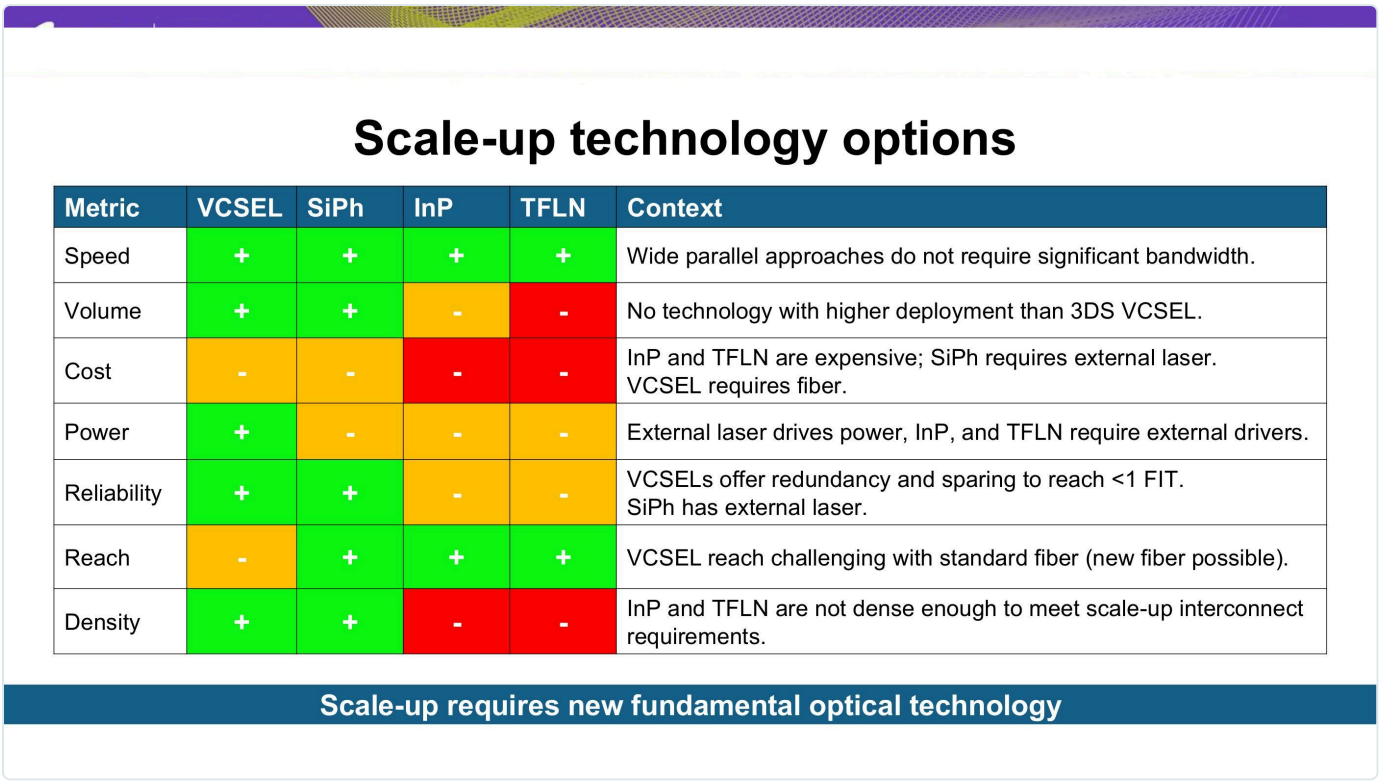
圖說：Lumentum 的 scale-up 挑戰頁。左圖為頻寬密度×能效（Gbps/mm/(pJ/bit)）對最大互連距離的散布圖，分 in-package / on board / off board 三區，電性趨勢線由左上往右下遞減，光學趨勢線平緩，兩者在 1 公尺附近相差**約四個數量級**。右下表為 NVIDIA GPU 的 scale-up 路線：Blackwell 7.2 Tbps / 72 顆 GPU / 機櫃功率 120kW；Rubin 14.4 Tbps / 144 顆 GPU / 功率未揭露；Feynman 28.8 Tbps / 規模與功率均未揭露。底部標語為「需要大量光學元件才能突破距離、功率與頻寬限制」。(Lumentum 簡報 p14)

- **NVIDIA Spectrum-X CPO 交換器採用 Lumentum 的高可靠度超高功率雷射**（簡報明確具名）。
- CPO 雷射兩條產品線：

  > **16 波長超高功率雷射**：16 個 DWDM 通道、**每顆雷射 350mW / 每纖 23–24.5dBm**、波長控制在 **±25GHz** 內、採可插拔 ELSFP 架構。

  > **800mW 超高功率雷射**：25°C 下 >1.0W、50°C 下 >0.8W；**1310nm O-band**（與矽光子及 CPO 架構對齊）；線寬 **<100kHz**；低 RIN、**>40dB SMSR**；無跳模單模操作；相容 ELSFP。

- InP 高速進展：OFC'25 與 **Keysight**、**NTT Innovative Devices** 共同創下 **448Gbps** 傳輸紀錄（448G InP EML、450G InP DFB-MZI）；OFC'26 展示 400G+ InP EML 與**基於差動驅動 EML 的 4×400G、1.6T 光模組**。



圖說：Lumentum 的 scale-up 技術選項矩陣，橫向比較 VCSEL / SiPh / InP / TFLN 七項指標（綠為佳、黃為中、紅為差）。速度：四者皆綠。產量：VCSEL 與 SiPh 綠、InP 黃、**TFLN 紅**（註「沒有任何技術的部署量高於 3DS VCSEL」）。成本：VCSEL 與 SiPh 黃、**InP 與 TFLN 皆紅**（註「InP 與 TFLN 昂貴；SiPh 需外部雷射；VCSEL 需光纖」）。功耗：VCSEL 綠，其餘三者黃。可靠度：VCSEL 與 SiPh 綠、InP 與 TFLN 黃（註「VCSEL 可透過冗餘與備援達 <1 FIT」）。距離：VCSEL 黃、其餘三者綠。密度：VCSEL 與 SiPh 綠、**InP 與 TFLN 皆紅**（註「InP 與 TFLN 密度不足以滿足 scale-up 互連需求」）。底部結論為「scale-up 需要全新的基礎光學技術」。(Lumentum 簡報 p15)

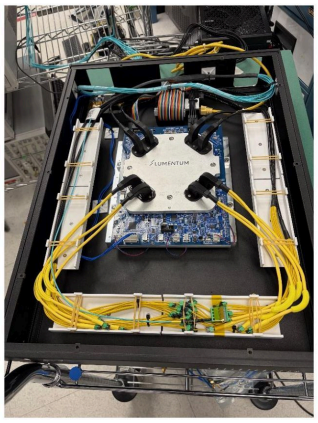
- **VCSEL 路線的具體進展**：

  > UCIe-A chiplet 概念：**32Tbps 雙向頻寬**（8 束 × 32Gbps × 64 資料通道）。
  >
  > 背面發光 VCSEL 置於矽中介層上，80 發射器光纖陣列，走堆疊晶粒封裝。
  >
  > 高密度光纖：80 芯束、**30 公尺傳輸距離**；光纖芯位置相對理想 125μm 六角網格的誤差 **<5μm**，平均間距接近 125μm；已做出最長 80 公尺 / 80 芯的原型。

VCSEL/CMOS Integration



OFC



Live demonstration in Lumentum's booth

VCSEL/Advanced CMOS Integration

- High-density 1060nm VCSEL and photodiode arrays
- Leverages high-volume 3DS supply chain
- Compatible with standard SMT (no fiber compatibility issue)
- 32 Gbps / channel consistent with UCIe-S and UCIe-A
- >80 Tbps bi direction optical bandwidth capability
- >1.5 Tbps/mm (path to >4 Tbps/mm)
- Capable of <2.5 pJ/bit
- Error-free operation (1e-12 BER)

First demonstration of 1060nm VCSEL integration with advanced Si CMOS

圖說：Lumentum 宣稱為業界首次的 1060nm VCSEL 與先進矽 CMOS 整合展示。列出的規格為：高密度 1060nm VCSEL 與光偵測器陣列；沿用大量 3DS 供應鏈；相容標準 SMT（無光纖相容性問題）；每通道 32Gbps，符合 UCIe-S 與 UCIe-A；雙向光學頻寬能力 **>80Tbps**；**>1.5Tbps/mm（路徑指向 >4Tbps/mm）**；能效 **<2.5pJ/bit**；無誤碼運作（BER 1e-12）。(Lumentum 簡報 p22)

- **光交換（OCS）：300×300 被動 MEMS 光開關**，用於取代 spine 交換器並提供網路冗餘與故障切換；宣稱在 10 萬顆 GPU 規模部署中可帶來 **>65% 的前端與 scale-out 網路功耗降低**（來源標註為 Lumentum 2024 年研究與 Cignal AI 2025 年第一季報告）。

備註

- 本三場僅提供公開簡報、未提供錄音，故本篇無 Q&A 段，亦無法交叉驗證簡報以外的口頭補充。
- 簡報原檔頁首帶有主辦單位的下載者追蹤浮水印（含個人電子郵件位址），本篇所附圖片已將該區塊遮除。
- **TSMC 簡報右下角標有「Security C – TSMC Secret」機密等級標記**，雖由主辦單位公開分享，轉發前請自行評估。
- 聯電簡報有兩頁的比較內容註明來源為生成式 AI 整理（第 3 頁的頻寬定律、第 8 頁的 SiGe EAM 對 MZM 比較表），該兩處數據引用前建議另尋一手來源。

本紀要依主辦單位公開錄音之逐字稿與公開簡報交叉整理；逐字稿為本機 AI 轉寫並經專有名詞校正。內容僅供研究參考。