

Call Memo_Soitec (SOI.FP)

2026/8/31 SEMICON Taiwan 矽光子國際論壇

講者：Yannick Larvor | Head of Photonics & Sensing Segment

題目：Advancing TFLN and InP Silicon Photonics Hybridization to Enable Next-Generation High-Speed Modulators

結論

Soitec 把矽光子的瓶頸定義在「材料層」而非設計層：200G/lane 用矽調變器已到極限，要上 400G/lane 必須換材料，而 TFLN (LNOI) 是他們押的答案。真正的投資訊號不在技術路線圖，而在產能語言——法國 B1 200mm 已滿載、新加坡 PR1 上季開始量產出貨並「仍在追趕需求」，代表 Photonics SOI 這層基板現在是賣方市場。但要注意 LNOI 目前僅 150mm 送樣、200mm 要 2027 年初才送樣，InPOSi 更只是 R&D 探路，因此「換材料」這條路的實質營收貢獻至少還要 1–2 年。

重點摘要

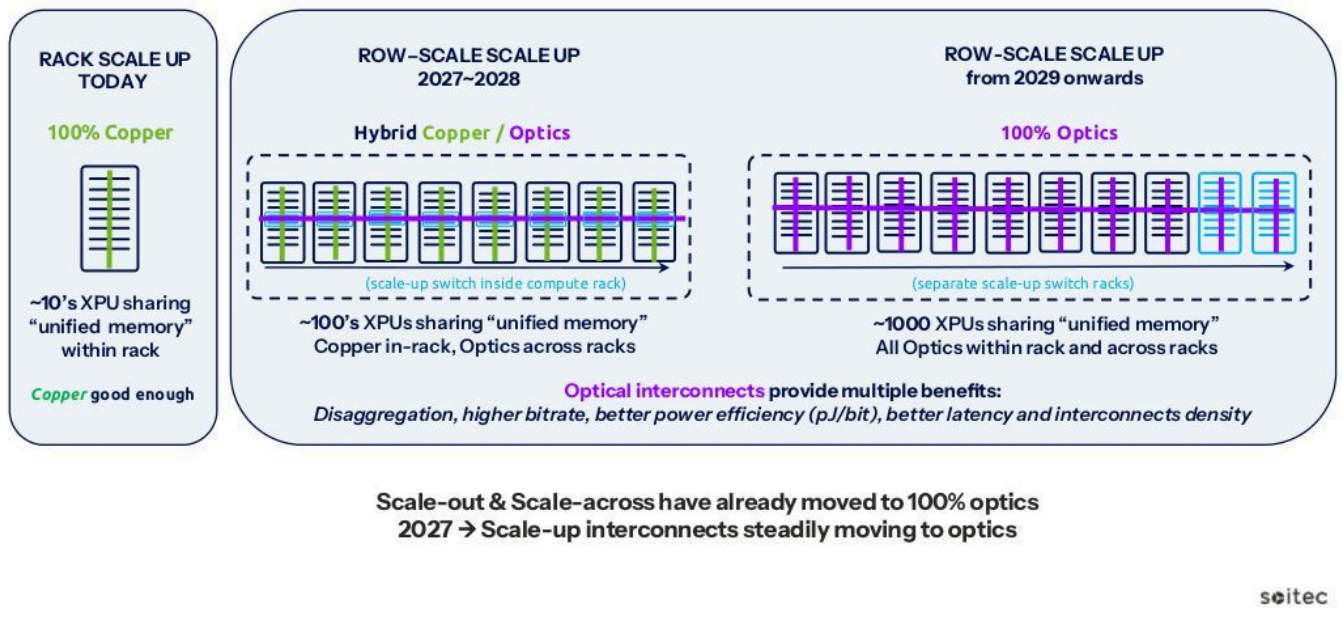
- 光學化時程給得比市場共識明確：scale-out / scale-across 已 100% 光學化，**2027 年 scale-up 開始轉光**、**2029 年起才是 100% 光學機櫃**，中間 2027–28 是銅光混合的過渡期。
- Photonics SOI 供不應求：法國 B1 (200mm) 滿載、B2 / B4 (300mm) 擴產中，新加坡 PR1 上季起量產出貨且尚未追上需求。
- TFLN 的量產化落後於話題熱度：150mm 現在送樣、200mm 2027 年初送樣，客戶漏斗約 10–15 家仍在開發階段。
- LNOI 被明確定位為「地緣政治敏感材料」，Soitec 中國夥伴 SIMGUI 至今未被納入光子產線。

演講內容

1 | 市場趨勢與光學化時程

- 機櫃架構分三階段：今日 rack-scale 全銅 (約數十顆 XPU 共享 unified memory) → 2027~2028 row-scale 銅光混合 (約數百顆 XPU，機櫃內銅、跨機櫃光) → 2029 年起 row-scale 全光 (約 1,000 顆 XPU，機櫃內外全光)。

AI Data Centers network are scaling through optics

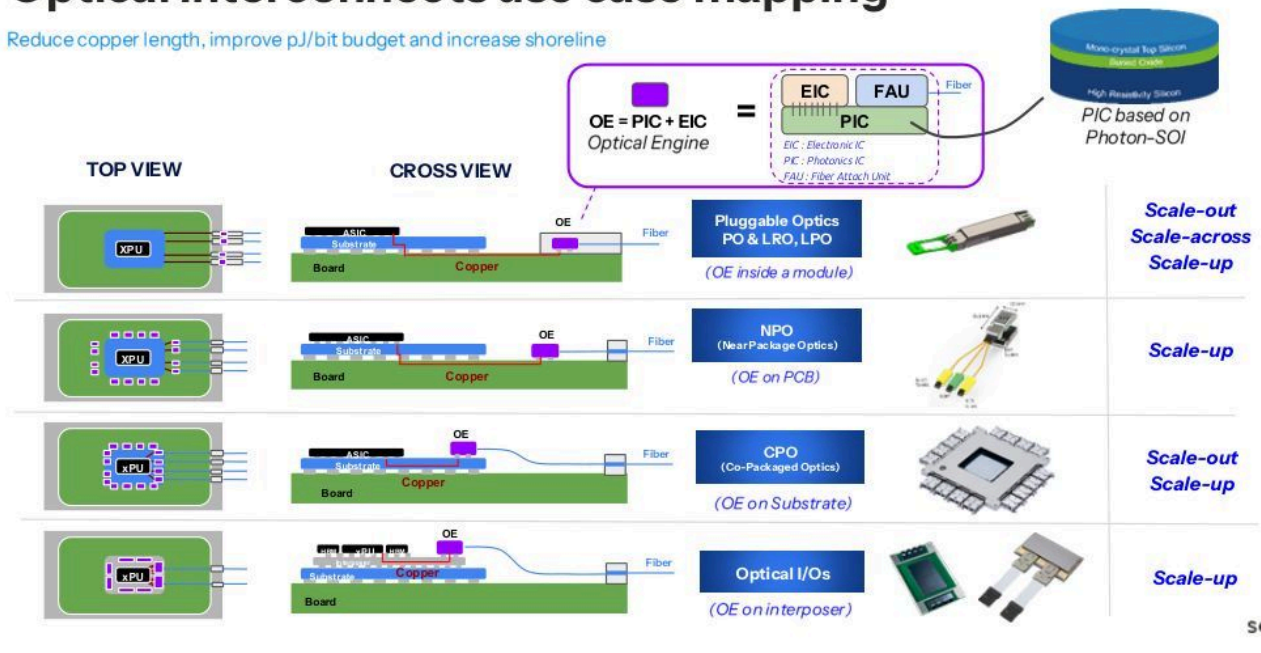


圖說：Soitec 的 scale-up 光學化三階段。左：今日 rack scale up 為 100% 銅、約數十顆 XPU 共享 unified memory，「Copper good enough」；中：2027~2028 row-scale 為銅光混合，scale-up 交換器在運算機櫃內，約數百顆 XPU；右：2029 年起 row-scale 全光，scale-up 交換器獨立成櫃，約 1,000 顆 XPU。底部註明 scale-out 與 scale-across 已 100% 光學化。(Soitec 簡報 p8)

- 光互連的效益講者列四項：解耦 (disaggregation)、更高位元率、更好的 pJ/bit 能效、更低延遲與更高互連密度。
- 光引擎的四種落點依序為 Pluggable (PO / LRO / LPO)、NPO (光引擎放 PCB 上)、CPO (光引擎放封裝基板上)、Optical I/O (光引擎直接整合在中介層上)。講者認為 NPO 不是新概念，但這一輪是真的要被部署，且主要服務 scale-up。

Optical interconnects use case mapping

Reduce copper length, improve pJ/bit budget and increase shoreline



圖說：光互連的四種落點對照（上為俯視、下為剖視）：Pluggable（光引擎在模組內，銅走到面板）、NPO（光引擎在 PCB 上）、CPO（光引擎在封裝基板上）、Optical I/O（光引擎直接在中介層上）。圖右標註 OE = PIC + EIC，並標示各自對應 scale-out / scale-up。（Soitec 簡報 p9）

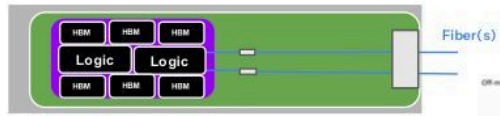
- 終局是「光子中介層」——把整片封裝級的主動矽光子中介層當成連接 chiplet 的載體（PIC 即中介層）。講者點名的實例來源包含 Lightmatter Passage、NVIDIA（ISSCC'26、OIP'26）、CEA LETI、Marvell / Celestial AI、IMEC。效益是擴張 shoreline、3D 整合降延遲與功耗、記憶體與邏輯解耦，並可內建光交換做動態重組。

Photonics Interposer : the next opportunity

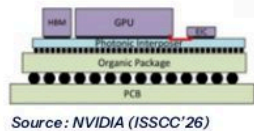
Use a package-scale active silicon photonics interposer to connect chiplets



(The PIC is the interposer)



Source: Lightmatter Passage



Source: NVIDIA (ISSCC'26)



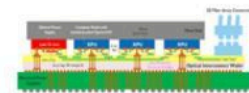
Source: NVIDIA (OIP'26)



Source: CEA LETI (LID'26)



Source: Marvell / Celestial AI



Source: IMEC (OCP EMEA 2026)

- SiPh interposer identified system benefits**
- Expanded shoreline to cope with ASIC IO bandwidth continuous increase
 - Further reduction of latency and power consumption (3D integration).
 - Disaggregation (e.g memory from logic chiplets)
 - OCS for dynamic routing and reconfigurability between chiplets.

A SiPh active interposer is the universal photonics host platform
LNOI / InP hybridization to boost performances and/or add new future-ready functions

soitec

圖說：光子中介層概念圖：以封裝級的主動矽光子中介層連接 chiplet，PIC 本身即為中介層，HBM 與邏輯分列其上，光纖由中介層引出。圖上列出的來源包含 Lightmatter Passage、NVIDIA (ISSCC'26、OIP'26)、CEA LETI (LID'26)、Marvell / Celestial AI、IMEC (OCP EMEA 2026)。(Soitec 簡報 p10)

2 | 產能規劃

- 法國 Bernin：B1 (SOI 200mm，歷史廠) 目前滿載供應光子；B2 (SOI 300mm) 擴產中；B4 新擴充主要供 300mm SOI；B3 做 LTOI / LNOI 150/200mm (原屬 RF 用壓電材料廠)，現正拉 150mm 光學級 LNOI，200mm 擴充進行中。

Industrial footprint

France & Singapore operations

150mm
200mm
300mm



30 years of high-volume manufacturing experience

SOITEC BERNIN
FRANCE

B1
SOI 200mm

B2
SOI 300mm

B3
LTOI/LNOI
150/200mm

B4
SmartSiC 150/200mm
SOI 300mm

300mm



SOITEC PASIR RIS
SINGAPORE

PR1
SOI 300mm

200mm



SIMGUI (Partner)
CHINA

SOI 200mm

soitec

圖說： Soitec 產能布局：法國 Bernin 有 B1（SOI 200mm）、B2（SOI 300mm）、B3（LTOI/LNOI 150/200mm）、B4（SmartSiC 150/200mm 與 SOI 300mm）；新加坡 Pasir Ris PR1 為 SOI 300mm；中國夥伴 SIMGUI 為 SOI 200mm。標註 30 年量產經驗。（Soitec 簡報 p6）

- 新加坡 Pasir Ris PR1（SOI 300mm）：上一季開始量產出貨光子產品，目前仍在追趕需求，定位為服務亞洲客戶的樞紐。
- 中國夥伴 SIMGUI（SOI 200mm）至今未納入光子業務。
- 公司規模參考：FY2026 營收 5.92 億歐元、員工約 2,100 人、2025 年新增專利 471 件、有效專利 4,800 件。

3 | 產品發展：三大平台

- **Photon-SOI**（基礎平台，已量產）：分 200mm（>120nm 製程節點，適合 pluggable、NPO 光引擎、成本導向）與 300mm（可到 40nm 先進節點、可用先進封裝，適合高速與運算密集應用）兩線；另有 SOI+EPI 供感測類利基。講者強調 300mm 在「極度加速」，因為 CPO / Optical I/O 必須要能接上先進封裝。

Soitec Photonics SOI products portfolio



圖說： Photonics SOI 產品線三支：Photon-SOI 200（次微米矽波導、>120nm 製程節點、成本導向，對應 pluggable 與 NPO 光引擎）、Photon-SOI 300（次微米波導、可到 40nm 先進節點、可用先進封裝，對應高速運算密集應用）、Photon-SOI + EPI（多微米波導、>200nm 舊節點、低色散高功率，對應高光譜感測）。（Soitec 簡報 p12）

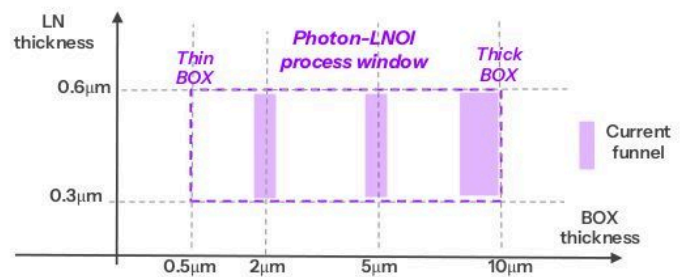
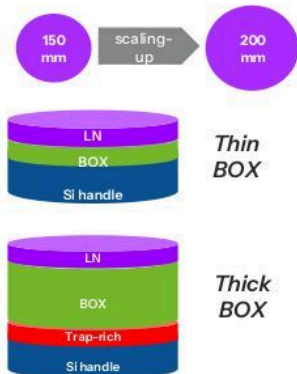
- Photon-LNOI**（TFLN 用）：訴求 400G/lane 與相對矽約 -15% 的 pJ/bit 功耗。產品為 X-cut LN+高阻矽載板，可選 trap-rich。**150mm 現正送樣、200mm 預計 2027 年初送樣**。客戶漏斗 10—15 家，分兩類走向：薄 BOX（0.5—2 μm ）走 W2W / D2W / 微轉印的異質整合，厚 BOX（4—10 μm ，甚至 8—10 μm ）走獨立 TFLN PIC 的單片方案；Soitec 對兩者中立。

LNUI platform offer for TFLN devices

Integration schemes and respective benefits

Product configuration:

- X-cut LN
- High resistivity Si handle
- Trap-rich option for RF performance



SmartCut™ LNUI	Thin BOX ~ 0.5-2μm	Thick BOX ~ 4-10μm
Integration architecture	Heterogeneous integration on SOI PICs (W2W, D2W, DTP)	Monolithic platform Standalone PICs
Key benefits	Higher yield for LN transfer CMOS compatibility	Reduce RF modulator loss Improves optical edge coupling

soitec

圖說：LNUI 平台的兩種整合路線與各自效益。薄 BOX（0.5—2μm）走在 SOI PIC 上做異質整合（W2W / D2W / 微轉印），效益為 LN 轉移良率較高、CMOS 相容；厚 BOX（4—10μm）走單片平台做獨立 PIC，效益為降低 RF 調變器損耗、改善光學邊緣耦合。右側標示 150mm 往 200mm 擴充。產品規格為 X-cut LN、高阻矽載板、可選 trap-rich。（Soitec 簡報 p19）

- **InPOSi (InP on Si)：仍是 R&D 探路階段。**動機是 InP 材料稀缺——一片 InP 晶棒可切出多片 InPOSi；矽的熱導率是 InP 的兩倍且可薄化到 100μm 以下，有利提升雷射功率密度與波長溫漂控制；機械強度與翹曲也優於塊材 InP。規格為 InP 種子層 0.3—0.5μm、BOX 可厚（0.5—2.0μm） / 薄（<0.2μm） / 無 BOX，目前 100mm 往 150mm 擴。講者公開徵求合作夥伴。

InPOSi technology substrate platform

R&D platform scope and value proposition



InP seed layer

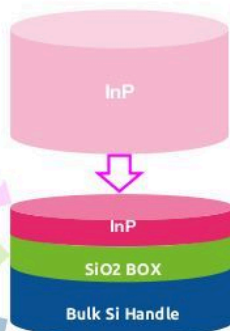
- Doping: n-type (Sulfur) or S.I. (Fe) or p-type
- Thickness: 0.3 μ m to 0.5 μ m
- Epi-ready

Buried Oxide (BOX)

- Thick BOX (0.5 to 2.0 μ m)
- Thin BOX (<0.2 μ m)
- No BOX

Handle Si

- Standard bulk Si
- Advanced Si (High-Resistivity, trap-rich...)



InPOSi value proposition:

- Supply security & scalability
- Thermal excellence
- Yield & manufacturing
- Cost optimization

Soitec InPOSi: Efficient InP Scaling for High-Performance Heterogeneous Integration of III-V in Photonic Devices

soitec

圖說：InPOSi 技術平台結構與規格：InP 種子層（摻雜可為 n 型硫、半絕緣鐵或 p 型；厚度 0.3–0.5 μ m；epi-ready） / 埋氧層 BOX（厚 0.5–2.0 μ m、薄 <0.2 μ m、或無 BOX） / 矽載板（標準塊材矽或高阻、trap-rich 等先進矽）。右側標示 100mm 往 150mm 擴充，價值主張列為供應安全與可擴展性、熱性能、良率與製造、成本最佳化。（Soitec 簡報 p21）

- 基板品質數據：頂層矽厚度片內均勻度標準品 1.4nm（2,000 片以上取樣），客製程式可做到 0.1nm。

4 | 技術判斷

- 為何要異質整合：三個驅動——更高調變速率（400G/lane）、更好能效（pJ/bit）、以及在光子中介層上整合更多元件（雷射、光開關）。
- 為何選 LNOI 而非其他：BTO 與聚合物（經 IMEC 討論）效益可觀但成熟度不足，屬更長期候選；LNOI 在可擴展性、整合性與可靠度上與矽光子相容度最高。
- LNOI 的供應鏈定位帶地緣政治考量——講者直言此為「未來會出問題的供應鏈」，需及早確保。

5 | Q&A

- 問：晶圓級的應力（翹曲 / 彎曲）如何處理？答：SOI 上既有的應力控制經驗會複製到 LNOI；而把 InP 移到矽基板上，機械強度會遠優於塊材 InP。
- 問：InPOSi 的種子層厚度規格？答：是「移動標的」，視目標應用而定，正與夥伴驗證特定厚度的磊晶不會損及基板性能。

備註

- 本篇依錄音逐字稿與講者簡報交叉整理；逐字稿為 AI 轉寫，專有名詞（Soitec / TFLN / LNOI / InPOSi / Smart Cut / BOX）已依簡報原文校正。
- Soitec 將於 9 月底 ECOC 舉辦 photonics workshop。本研究部分工作由歐盟 Chips JU「Starlight」計畫支持。