

Call Memo_Advantest (6857.JP)

2026/8/31 SEMICON Taiwan 矽光子國際論壇

講者：李俊樑 | Advantest Europe GmbH

題目：Scaling Silicon Photonics and NPO/CPO Test for High-Volume Manufacturing

結論

Advantest 用 ATE 龍頭的位置把整場論壇的測試議題收斂成一句話：**矽光子的量產測試至今沒有標準**——光學對位沒有標準、光纖連接器沒有標準、光學儀器沒有標準（全是 rack-and-stack，可客製但無法複製到量產）。對投資人而言，「沒有標準」意味著這個環節現在是設備商與供應鏈重新洗牌的窗口。本篇最有價值的是講者公開點名了合作夥伴與時程：**insertion 2 與 ficonTEC 合作、目標明年年中 HVM 認證；insertion 3 與 MPI 合作（系統為 MPI DT650+V93000）、目標明年年初認證**，且兩者都已與 Marvell 共同發表論文。這是把「CPO 測試」從概念變成有時間表的產能事件。

重點摘要

- EIC 與 PIC 的耦合方式直接決定測試架構：邊緣耦合可用單面探測；若是光柵耦合再與 EIC 貼合，就必須做雙面晶圓級電光探測——這是雙面測試機需求的技術根因。
- 明年是認證年：insertion 3（MPI DT650+V93000）目標 2027 年初完成認證，insertion 2（與 ficonTEC）目標 2027 年中 HVM 認證。
- 三大未解標準：光學對位方式、可插拔 PIC 連接器（講者形容仍是「蠻荒西部」）、光學儀器整合；且 NPO 是單邊一個連接器、CPO 是多邊 N 個連接器，情境差異極大。
- 測試策略轉向：因為高插入點抓到不良的成本高，業界正把測試覆蓋率往 insertion 1、2 前移，目標是盡早取得 known good optical engine。

演講內容

1 | 市場與架構前提

- 光引擎要盡量靠近 GPU / ASIC 是目前的共識架構，scale-out / scale-up 之外，記憶體解耦（memory pool）也已進入討論。
- 量產化已是現在進行式，而測試正在成為整條鏈的瓶頸。

2 | 測試架構的技術根因

- 光收發器基本結構：發射端用微環調變器陣列，每顆調諧至特定共振頻率；若有四顆即可處理四個波長、頻寬乘四。**波長數增加會直接放大對儀器的需求。**
- EIC 疊在 PIC 上有多種做法（如 TSMC COUPE 為直接鍵合），但耦合方式分兩類：
 - ▮ **邊緣耦合**：與純 PIC 測試相近，可單面探測。
 - ▮ **光柵耦合**（與 EIC 貼合後）：必須用雙面晶圓級電光探測。
- 各插入點測什麼：insertion 1 做電性與光學 DC（光功率量測；EIC 端關注關雷射後的暗電流是否夠低）；插入點愈往後，愈要驗證光電之間真的在對話、調變真的有效，複雜度大幅上升。

3 | 三大共同挑戰（講者定義的產業缺口）

- **光學對位無標準**：業界仍在找準確、快速、穩定且可重複的方法；使用者的期待是「光測最終要像電測一樣簡單可靠」，但電測已建立數十年。
- **光纖連接器處理無標準**：市場上規格繁多，不只介面要解決，還需要生態系共同收斂出一套大家接受的做法。
- **光學儀器無整合標準**：目前全靠 rack-and-stack，客製容易但要複製到量產不直觀；且光通道數量暴增後，測一顆元件可能就要把現有儀器數量翻倍。

4 | Advantest 的解法與合作進度

- **Insertion 1 | V93000 Titan 測試單元**：光纖對位沿用業界成熟的 CM300（主動對位、六軸自由度），搭配 TEL Precio 探針台；光學儀器機櫃正在推標準化配置，重點功能是**自動化損耗校正**（不讓校正變成工程師負擔）與雷射安全；軟體端把 SmartTest 延伸到控制光學儀器，做到單一集中控制。
- **穩定度的本質是振動控制**：於德國實測達 ± 0.1 dB（跨波長掃描）。V93000 的三項設計貢獻——本體已針對振動源優化、DUT 介面採浮動設計、以及**水冷**（沒有氣流去振動系統）。
- **探針卡路線圖**：2024 年與 Jenoptik 於 SWTest 發表 UFO 探針被動對位概念驗證；2025 年與 Jenoptik、Marvell 再發表，證明可用於量產自動化；同期與 TechnoProbe、Marvell 發表**主動對位探針卡**（三維自由度）；2026 年規劃發表**邊緣耦合的主動對位、六軸自由度**方案，於 VOICE 使用者論壇展示的穩定度為 ± 0.3 dB。
- **Insertion 2 | 雙面晶圓級電光探測**：關鍵挑戰是晶圓翹曲與 FAU 對位，與 ficonTEC 合作做 ATE 整合，**目標 2027 年年中完成 HVM 認證**。
- **Insertion 3 | Die 級測試**：與 MPI 合作，系統為 **MPI DT650 搭配 V93000**，已與 Marvell 共同發表論文驗證可用於量產，系統穩定度達 **0.1 dB**；**目標 2027 年初完成認證**。
- **Insertion 4 | Socket 最終測試**：光域用光學迴路（loopback）測試；電域則讓 **ASIC 自己做迴路測試**——因為 CPO 封裝內本來就有 ASIC，讓它處理 400Gbps 以上的高速數位訊號，可避免採購能處理該速率的 ATE（既困難又昂貴）。
- **光學 load board**：去年發表的概念驗證，壓下去時機構會自動鎖定並對接光學連接器，用以處理封裝測試階段連接器規格分歧的問題。

5 | 對儀器供應鏈的需求（講者列的採購清單）

- 需要更高功率的雷射，才能餵養更多通道。

- 儀器密度要更高，且最好能把多種功能整合進單一儀器。
- 市場期待 ATE 廠把光學量測儀器直接整合進 ATE 系統內，而非外掛機櫃。
- 理想的「通用量測儀器」屬性：多功能、高吞吐、可對應不同光纖連接、彈性訊號路由、內建校正與診斷，並以系統級規格對外公布。

備註

- 本篇依錄音逐字稿整理（本場無公開簡報）；逐字稿為 AI 轉寫，專有名詞（Advantest / V93000 / SmartTest / Jenoptik / TechnoProbe / Marvell / SWTest / VOICE / COUPE / NPO / CPO / HVM）已依上下文校正。
- 講者所稱 insertion 3 合作夥伴「MPI」即 MPI Corporation=旺矽 6223（庫內 6223_旺矽（櫃）已登錄該英文名為 alias）。惟「DT650」型號係聽稿所得、未經第三方確認，引用型號前請回查旺矽官網或該篇論文。
- 2024 年 SWTest 論文的第三方共同作者名稱轉寫不清，未具名採用。