Scale-up 標準之爭、RDMA 新傳輸與 448G 銅的極限

OCP 2026 峰會整理：AI 網路標準、102.4T 交換器、AEC 與高速銅互連，及其台股供應鏈映射

報告日期：2026-10-19

資料基礎：OCP Global Summit 2026（2026 年 10 月）約 24 場與 AI 網路、高速銅互連相關的簡報與影片場次，涵蓋 ESUN、SUE-T、UALink、MRC、UEC、MetaRoCE、Meta 102.4T 與 Tahan 交換器、BAG 跨站網路、AEC、448G 銅纜與連接器、Open CPX、OIF 448G 電氣介面；輔以群益投顧 OCP 參訪團紀錄與 LightCounting 預測（經 Broadcom / Molex 簡報轉引）。

說明：本報告為產業研究，非投資建議。台廠敘述一律標示證據強度（實際出貨 / 合作開發 / 展示 / 僅 logo / 推論）；圖中數值若為讀圖估計、模擬或廠商自測，均於圖說或表內註明口徑。

重點結論

七項核心結論

1. **Scale-up 分成兩大陣營，乙太陣營實質領先。**乙太陣營以 OCP 的 ESUN 為 fabric 底座、SUE-T 為 XPU 端傳輸層（Meta、Microsoft、Arista、Broadcom 推動）；UALink 陣營由 AMD 擔任聯盟董事長。ESUN 1.0 已於 2026-03 發布、1.1 目標 2026-10～11；UALink 仍停留在規格與管理 API 階段，簡報沒有任何交換器出貨宣布。Broadcom 稱乙太 scale-up 已有 5 家以上超大型雲端業者在跑（廠商自述）；AMD 自家 Helios 機櫃的 scale-up 實際也是 UALink 協定封裝在乙太上、以 12 顆 Tomahawk 6 級交換晶片（簡報標 TH6）組成，兩個陣營在實體層其實重疊。
2. **Scale-out 傳輸三套並行，不是已統一。**MRC（OpenAI 主導，已在 75K GPU 正式環境運作）、UEC（多廠聯盟的完整新堆疊）、MetaRoCE（Meta 與 AMD，2026-10 開源）。共同點是逐封包噴灑與選擇性重傳，差別在範圍與網內功能。Microsoft 明講 MRC 規格尚有三處缺口，互通性需要 plugfest 驗證。
3. **102.4T 交換器世代已到，且是雙晶片、雙 ODM。**Meta IceCube 用 Tomahawk 6C（Celestica 合作），下一代 IceCube-N 用 NVIDIA Spectrum-6（智邦合作）；Meta 自述 100T 級平台的機櫃級互連已達極限，下一步需要纜線背板或光背板。
4. **AEC 進入多 DSP 競爭。**Meta 部署「數百萬條」800G AEC（供應商匿名）；Broadcom 1.6T 的 AGERA retimer 已量產，成為 Credo、Marvell 之外的第二來源；LightCounting 預測 1.6T AEC 由 2027 年 137 萬條增至 2030 年 885 萬條。
5. **448G 銅沒有「不可行」，而是依調變與距離分流。**PAM4（Nyquist 112 GHz）在銅上尚未證實；PAM6（約 87～90 GHz）搭配共封裝銅纜（CPC）或 twinax，在約 1 公尺內已有樣品與初測；OIF 已啟動 VSR 與 LR 兩個專案。先前「448G 銅撞牆、被迫轉 CPO」的說法需要修正為「依拓撲與距離分流」。
6. **Open CPX 的台廠是貢獻成員，不是規格定義者。**創始成員為 Ciena、Coherent、Marvell、Molex、Samtec、Terahop；嘉澤、嘉基、貿聯、鴻騰、智邦等出現在貢獻成員 logo 牆（僅 logo）。Amphenol、TE、FIT 同時押注 XPO 與 CPX 兩條路。
7. **台廠證據分級：智邦最強（合作開發）、貿聯次之（展示與自家量測）、其餘多為 logo。**立訊（中國）在 400G 電氣銅與液冷 IO 都有完整展示，是台灣線材與連接器廠的直接競爭者。佳必琪在本次 24 場中完全未出現。整體信心：中。

投資重點表

重點	投資含義	相關標的	信心
乙太 scale-up（ESUN / SUE-T / Tahan）成為 hyperscaler 自研加速器的共同路線	交換晶片與 ODM 的需求來自 Meta 等自研 XPU 專案；UALink 時程落後，短期不構成對乙太的替代	Broadcom、Arista、智邦（2345）；競爭：Celestica	中
102.4T 雙晶片、雙 ODM（Tomahawk 6C / Spectrum-6；Celestica / 智邦）	智邦取得 Meta 下一代交換器合作位置，但首代由 Celestica 做；不可假設獨占	智邦（2345）、Celestica、NVIDIA	中
AEC 多 DSP 來源（Broadcom AGERA 加入）	DSP 選擇增加有利線纜組裝廠議價；對單一 DSP 供應商（Credo）形成競爭	貿聯-KY（3665，推論）、Credo、Marvell、Broadcom	中低
448G 銅依拓撲分流：PAM6＋CPC 約 1 公尺內可行，PAM4 未證實	CPO 轉折時點由「必撞牆」改為「依距離與拓撲」，銅互連的壽命比先前預期長，但價值集中在近晶片短距	貿聯-KY（3665）、立訊（陸）、TE、Samtec	中
Open CPX 與 XPO 兩條可插拔光學連接器路線並行	被動互連廠兩邊押注；台廠為貢獻成員，需看送樣名單才能判斷價值	嘉澤（3533）、嘉基（6715）、鴻騰（6088.HK）	低

1　AI 網路三層：scale-up、scale-out、scale-across 的分工

理解本次峰會所有標準之爭的起點，是 Meta 在其全端網路簡報中採用的三層切法：**scale-up**（機櫃內或相鄰機櫃的加速器直連，記憶體語義、單跳為主）、**scale-out**（叢集內 RDMA 網路，數萬到數十萬 GPU）、**scale-across**（跨資料中心、跨站點的長距網路）。三層對延遲、可靠度與距離的要求截然不同，因此各自演化出不同標準與不同硬體。

層級	範圍與規模	本次出現的標準 / 協定	代表硬體	媒介
scale-up	GPU 數 8→72→576→1K；每 GPU 頻寬 450→1,200→1,800 GB/s（ESUN 簡報所述需求演進）	ESUN、SUE-T、UALink	Meta Tahan（TH5）；AMD Helios（12 顆 TH6 級晶片，簡報標 TH6）	機櫃內銅（twinax、背板）為主，未來導入光學
scale-out	單一 fabric 最大約 21K GPU（Meta NSF L2）；MRC 已在 75K GPU 作業運作	MRC、UEC、MetaRoCE	Meta IceCube（102.4T）、IcePack 機櫃	OSFP 可插拔銅＋光、AEC
scale-across	跨 L2 fabric 與跨站；Prometheus 園區約 1 GW	標準乙太、SRv6（骨幹）、MetaRoCE（長距參數）	BAG（L3 super-spine）、深緩衝路由晶片	FR4 3 km / LR4 10 km / ZR+ 1,000 km

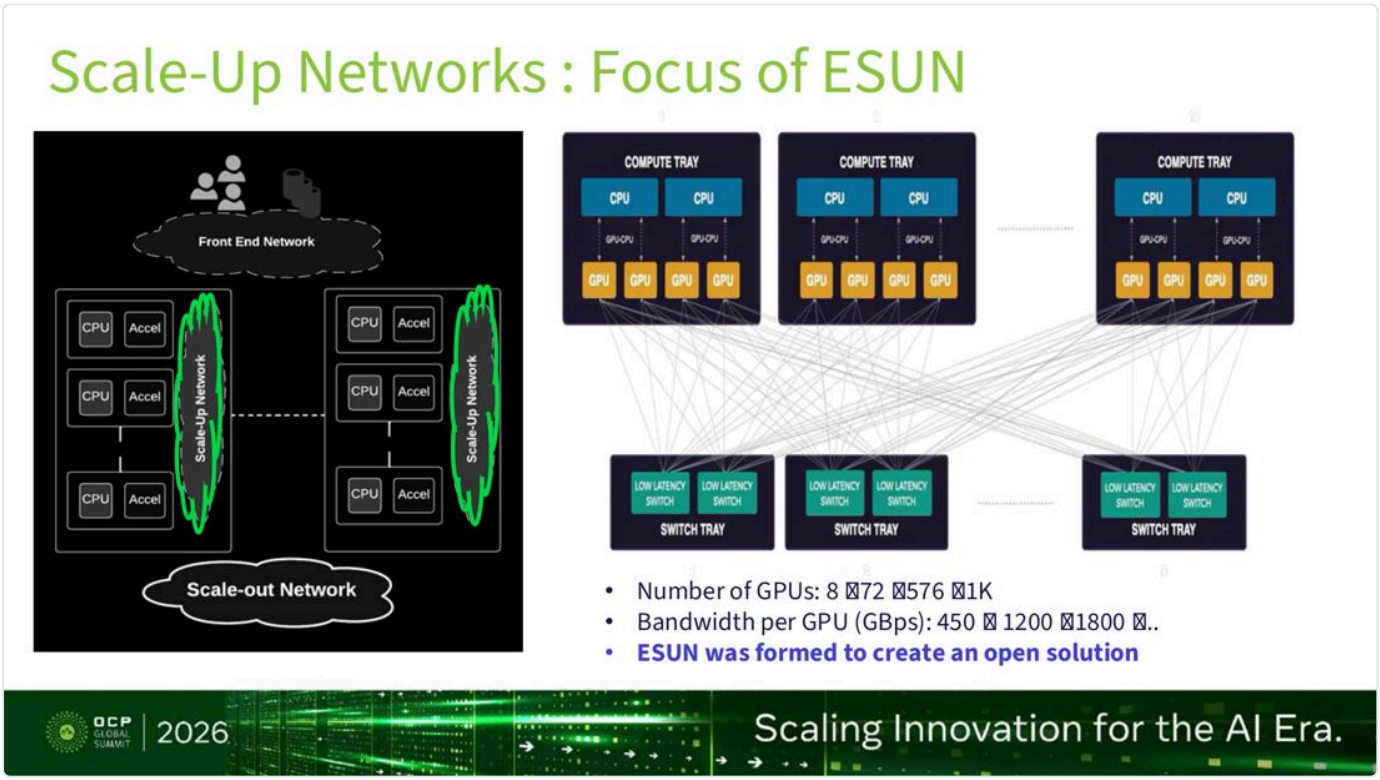


圖 1：scale-up 網路在系統中的位置。左圖：機櫃內 CPU / 加速器之間的 Scale-Up Network（綠圈）與 Front End、Scale-out 網路分開；右圖：運算托盤與低延遲交換器托盤全互連；文字列出 GPU 數 8→72→576→1K、每 GPU 頻寬 450→1,200→1,800 GB/s（簡報所列需求趨勢，非產品規格）。來源：OCP 2026，Meta / Microsoft（ESUN: Open Ethernet for the AI Scale-Up Era）。

Meta 的整體策略是「全端自研加開放」：交換器硬體（IcePack、IceCube、Tahan）自行設計並委外製造，網路作業系統（FBOSS）、傳輸協定（MetaRoCE）、跨站骨幹（RBB、BAG）自研，網卡則外購（AMD Pensando 已支援 MetaRoCE）。同時 Meta 與 Microsoft、Alibaba 發起 Open Switch Platform

Architecture（廠商與 NOS 中立的平台規格，約十二家 OCP 成員貢獻、1.0 審查中），讓新平台上線不再需要 Meta 協助。其動機是降低對單一廠商的依賴——這也是理解 ESUN 與 MRC 為何出現在 OCP 而非單一廠商的關鍵。

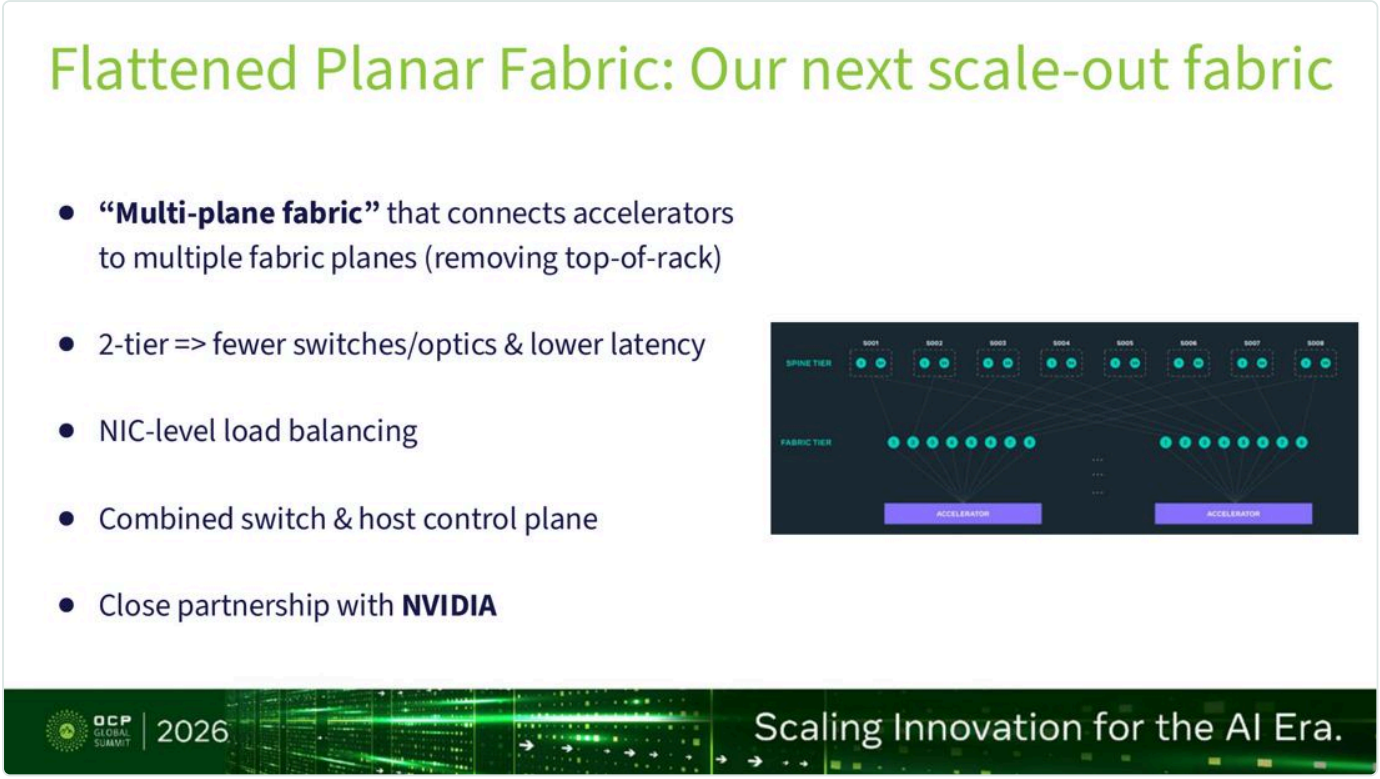


圖 2：Meta 次世代 scale-out 拓撲 Flattened Planar Fabric（FPF）。加速器直接接入多個 fabric plane（移除 ToR），兩層結構（上排 Spine tier S001–S008、下排 Fabric tier）；簡報條列為多平面、兩層以減少交換器與光模組並降低延遲、NIC 層負載平衡、交換器與主機合併控制面，並稱與 NVIDIA 密切合作。簡報未給年份（「next」）。來源：OCP 2026，Meta〈Betting on the Network: Meta's Case for Full-Stack, Open AI Networking〉。

> **本章判讀。**三層各有標準之爭，且 Meta 同時是三層最積極的開放者與最大使用者之一；任何「某標準已勝出」的判斷，都必須先指明是哪一層。本報告後續章節依此順序展開。

2　Scale-up 標準：ESUN / SUE-T 對 UALink

2.1 乙太陣營：ESUN 是底座，SUE-T 是 XPU 端傳輸

ESUN（Ethernet for Scale-Up Networking）是 OCP 內由 Meta 與 Microsoft 主導的工作組，2025-10 公布、2025-12 成立，**只定義 fabric 層**，保留加速器端實作彈性，並借用 IEEE 與 UEC 既有標準。1.0 於 2026-03 發布，核心是壓縮封包格式：以 4 位元組的 EH 標頭取代 28～48 位元組的 IP / UDP 標頭，每封包省 24～44 位元組，對小訊息頻寬效率較有利，適用固定拓撲；可靠性則採用 UEC 定義的 LLR（鏈路層重傳）與 CBFC（信用式流量控制），可搭配較簡單的傳輸與較淺的交換器緩衝。1.1 進行中，項目包括 Switch Profiles（由 Marvell 與 Cisco 負責）、Optimized Headers、IPG（封包間隔）縮減與 1.0 勘誤，目標 2026-10～11，且依賴 UEC 規格更新，可能延後。

SUE-T（Scale-Up Ethernet Transport，Arista 與 Broadcom 提出）位於 XPU 端：接受 XPU 的 Load / Store / Atomics 交易，依目的地分緩衝、排程打包，可靠性層採 UEC 的 RODL，網路封裝採 ESUN 標頭，下接乙太 MAC / PHY（含 LLR）。其設計範圍為單跳（可延伸多跳）、最多 4k 個 XPU、端到端 RTT 目標小於 2 μs；以 256 位元組 payload 的線路效率約 85%、1 KB 約 96%，以 5nm 估算 LLR 邏輯面積小於 2 mm^2、

含重傳小於 3 mm²（以上均為簡報目標值或估算，非量產實測）。Broadcom 主題演講提到 SUE-T 規格目標 2H2026，該數字出自主題演講而非 SUE-T 場次簡報本身。

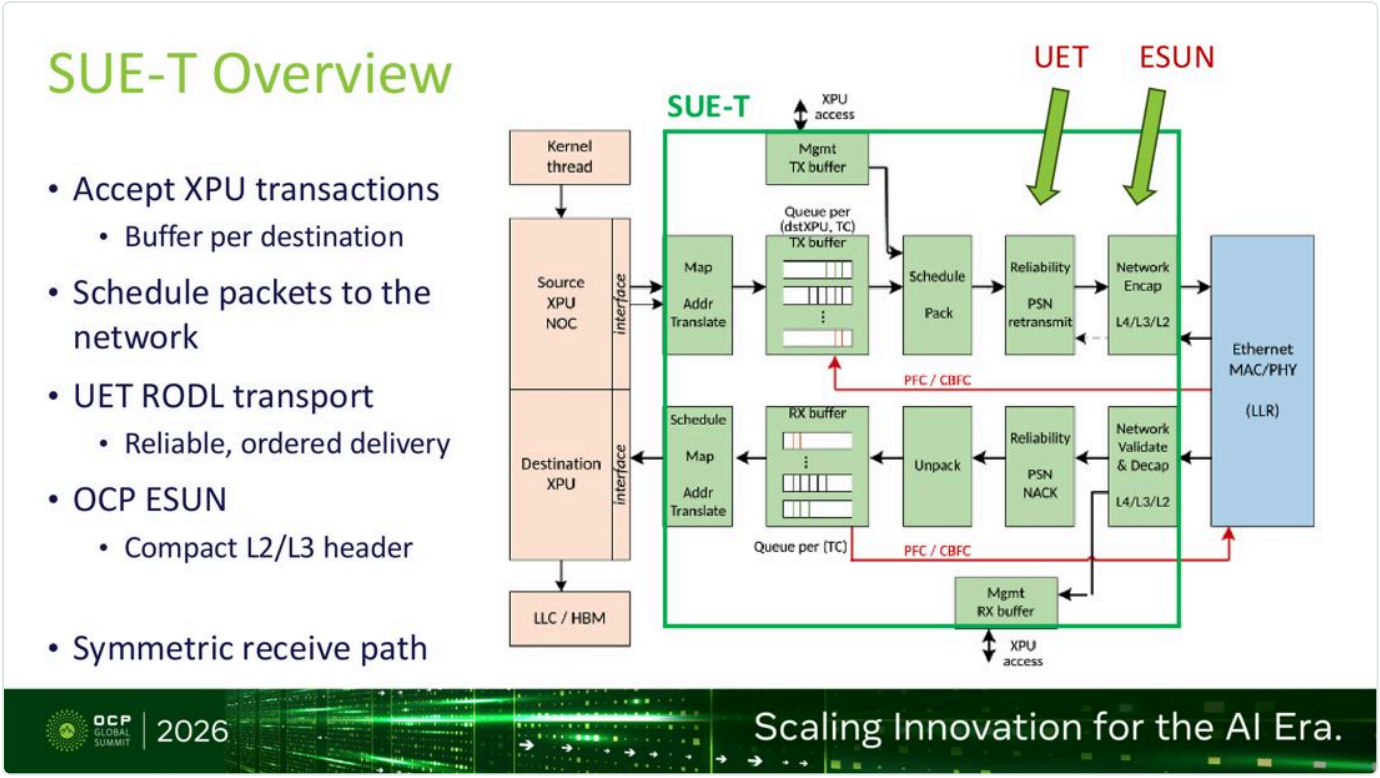


圖 3：SUE-T 與 UET、ESUN 的分層關係。綠框為 SUE-T 範圍：位址轉譯 Map、每目的地 TX 緩衝、排程打包、可靠性層（PSN 重傳，標示為 UET）、網路封裝（標示為 ESUN）；右側為乙太 MAC / PHY（LLR），紅線為 PFC / CBFC 回饋，接收路徑對稱。來源：OCP 2026，Arista / Broadcom〈SUE-T — An Ethernet transport for Scale-Up Networking〉。

2.2 Meta Tahan：首個公開的 hyperscaler 乙太 scale-up 交換器

Meta 為 MTIA 300 訓練加速器設計 Tahan 交換器：1OU、混合液冷 / 氣冷，採 Broadcom Tomahawk 5（51.2 Tbps），PHY-less 搭配 flyover 纜線，跑 FBOSS，面向背板為 32 個 800GE 埠（16 顆加速器、每顆 2 埠）。四台 Tahan 組成 non-blocking 結構，每加速器單向 6.4 Tbps；任兩加速器恆為 1 跳，單跳 store-and-forward 延遲小於 1 μs，1.5 公尺 twinax 約 7 ns。次世代改用 Tomahawk 6：72 顆加速器各 24×400G、8 台 102.4T 交換器，每加速器單向 9.6 Tbps（為 Tahan 的 1.5 倍）。Meta 稱完整硬體規格將貢獻 OCP，但未給日期，也只明講對應 MTIA 300。

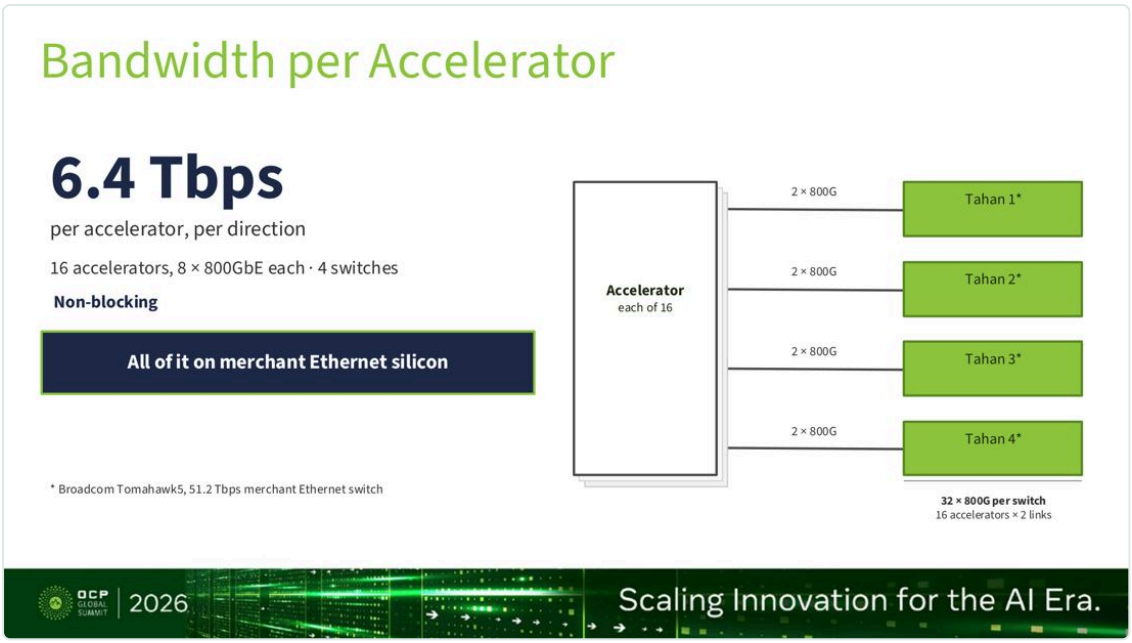


圖 4：Tahan 的每加速器頻寬。16 顆加速器、每顆 8×800GbE，分接 Tahan 1～4 共四台交換器（每台 32×800G），單向 6.4 Tbps、non-blocking，全部使用商用乙太晶片（註記為 Broadcom Tomahawk 5，51.2 Tbps）。數值為簡報設計規格。來源：OCP 2026，Meta〈Tahan: An Open, Ethernet-Based Scale-Up Switch for Meta's MTIA Accelerators〉。

2.3 UALink：規格仍在推進，沒有交換器出貨宣布

UALink 聯盟由 AMD 的 Kurtis Bowman 擔任董事長，定位為記憶體語義（load、store、atomic）的 scale-up fabric。其 200G 版沿用 IEEE 802.3dj 的乙太 PHY 與既有纜線、retimer，另自訂資料鏈路、傳輸與協定層。管理面由 Marvell 與 AMD 在 OCP 介紹交換器管理 API（Pod Controller / NMA / SMA 三角色），Google 為管理工作組共同主席；但該場簡報自承「switch ecosystem still emerging」，API 標頭檔尚在「即將公開」，v1.0 未給日期。

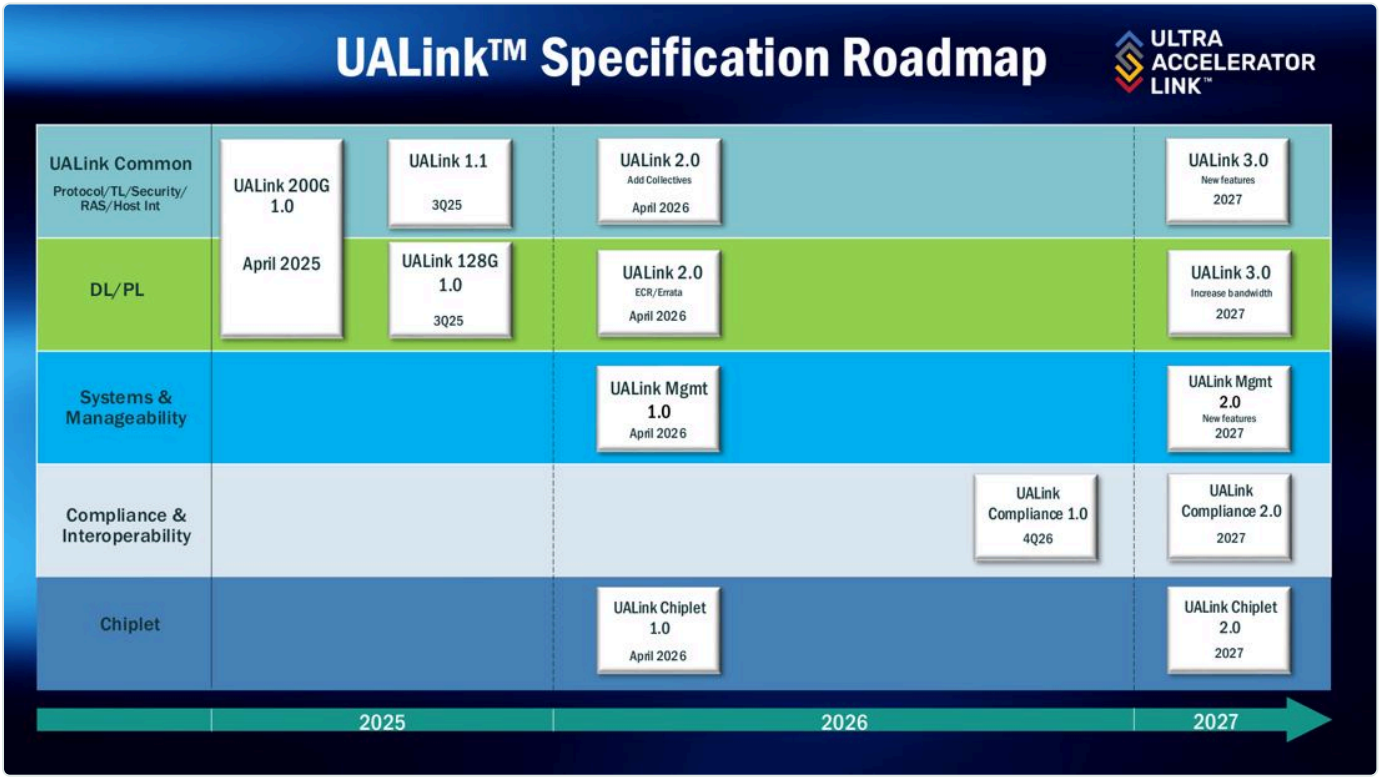


圖 5：UALink 規格 roadmap。200G 1.0 於 2025-04；1.1 與 128G 1.0 於 3Q25；2.0（加入 Collectives）、Mgmt 1.0、Chiplet 1.0 於 2026-04；Compliance 1.0 於 4Q26；3.0（提高頻寬）、Mgmt 2.0、Compliance 2.0、Chiplet 2.0 於 2027。以上為規格時程，不是產品出貨時程。來源：OCP 2026，UALink Consortium〈Powering AI at Scale: Inside the UALink Ecosystem〉。

2.4 兩陣營對照

項目	乙太陣營（ESUN＋SUE-T）	UALink 陣營
主導者	OCP ESUN 工作組（Meta、Microsoft）；SUE-T 由 Arista、Broadcom 提出；Cisco、Marvell 負責 1.1 Switch Profiles	UALink Consortium，AMD 為董事長；講者含 Astera Labs、Intel、Microchip、Synopsys
定義範圍	ESUN 只定義 fabric 層（標頭、LLR / CBFC）；SUE-T 定義 XPU 端傳輸	整套堆疊：協定、傳輸、資料鏈路，外加管理與合規測試
實體層	標準乙太 MAC / PHY，沿用商用交換晶片	200G 版沿用 IEEE 802.3dj 乙太 PHY
規格進度	ESUN 1.0（2026-03）已發布；1.1 目標 2026-10～11（預測）；SUE-T 目標 2H2026（Broadcom 主題演講轉述）	200G 1.0（2025-04）、2.0（2026-04）已列發布；Compliance 1.0 預定 4Q26，互通測試要到 2027 前後才有條件開始
產品證據	Meta Tahan（TH5，配 MTIA 300）已有完整硬體規格；Broadcom 稱 5 家以上 hyperscaler 在跑（廠商自述）	AMD Helios 以 UALink 協定封裝於乙太（簡報稱 UALoE）、12 顆 TH6 級晶片、每 GPU 1.8 TB/s（單向）；**未見專用 UALink 交換器出貨宣布**
反方限制	1.1 依賴 UEC 更新；Tahan 次世代未給日期；ESUN 專注固定拓撲	管理 API 仍在變動；Mgmt 1.0 時程在兩場簡報口徑略有落差（一說 2026-04，一說朝 v1.0 演進）

> **判讀（作者）**
> 乙太 scale-up 實質領先，UALink 時程落後。但這不是「乙太對 UALink 二選一」：AMD Helios 本身就把 UALink 的 load / store 語義封進乙太封包，UALink 200G 也沿用乙太 PHY。因此較精確的說法是「乙太 PHY 與商用交換晶片已成為 scale-up 的共同底座，差異在上層協定由誰定義」。這也意味著 scale-up 交換晶片的需求不因陣營而分裂，Broadcom 在兩邊都有出現；是否有專用 UALink 交換器，要等產品宣布才能驗證。

3　Scale-out 傳輸：MRC、UEC、MetaRoCE

三套傳輸要解決的是同一組問題：傳統 RoCEv2 依賴 ECMP 靜態雜湊，大型訓練的少量「大象流」容易撞到同一路徑、其他路徑閒置；同時 go-back-N 重傳在丟包時代價過高。共同解法是**逐封包噴灑（packet spraying）加上選擇性重傳**，但三者的範圍與網內功能取捨不同。

項目	MRC	UEC / UET	MetaRoCE
組織	OCP MSA；OpenAI 主導，AMD、Broadcom、Intel、Microsoft、NVIDIA 共同制定	Ultra Ethernet Consortium（多廠聯盟）	Meta 與 AMD；規格、參考軟體、合規測試套件開源
版本與時間	1.0，2026	1.0，2025（Broadcom 簡報另標 v1.0.3，可能為勘誤版）	2026-08 公告；2026-10 開源 libsoftmetaroce（使用者空間）與 dpdkmetaroce
設計起點	RoCEv2 RC 的演進式延伸	Clean slate，完整新堆疊	RoCE 演進；不採 trimming 與網內遙測
API	libibverbs（沿用）	libfabric（libibverbs 即將）	聲稱 full verb compatibility（指 MetaRoCE 自身）
壅塞控制	僅發送端；規格標準化訊號，演算法為實作差異（OpenAI 用 NSCC，Microsoft 用 SMaRTT / ReSS）	發送端加接收端（NSCC 或 RCCC）	自家設計

功能範圍	窄：同步 AI 訓練；僅 RDMA Write 與 Write-with-Immediate（Broadcom 說法；Microsoft 認為需擴到 write 以外）	廣：訓練、推論（MoE / KV cache）、儲存、HPC；含 Read、Send、Atomics	面向 scale-out 與 scale-across 同一協定
鏈路層 / 網內	不規定，依賴底層乙太；SRv6 source routing、trimming	LLR、CBFC、CSIG 壅塞訊號、trimming 感知	不要 trimming 與網內遙測
部署證據	OpenAI 正式環境 75K GPU；Microsoft GB200 叢集 50K / 75K GPU；Broadcom 另稱 OCI 已在生產（單一來源）	規格已發布，硬體與軟體生態「maturing」（Broadcom）	AMD Pensando NIC 已支援；NVIDIA「洽談中」；效益為 64 GPU 對照 RoCEv2 的讀圖估計

3.1 MRC 已在大規模正式環境運作，但互通性未完成

OpenAI 揭露的故障事件是目前最有說服力的實證：75K GPU 的訓練作業中，一台 T1 交換器完全停止轉發，約 25% 的 QP 受影響、約 58 萬個封包遺失；MRC 偵測後自動移除路徑，吞吐由約 12.5 Pb/s 下探至約 10.5 Pb/s，約 1 分鐘內回到約 12 Pb/s，作業僅暫時變慢（以上為讀圖估計，單位與數值取自簡報曲線）。Microsoft 場次的正式環境 Cluster A 則為 GB200＋ConnectX-8，每 NIC 800G 拆成 4×200G 平面，兩層 Clos，混用 Spectrum-4 與 Tomahawk-5 交換器，規模 50K 與 75K GPU。兩場未明言是否同一叢集，不可相加。

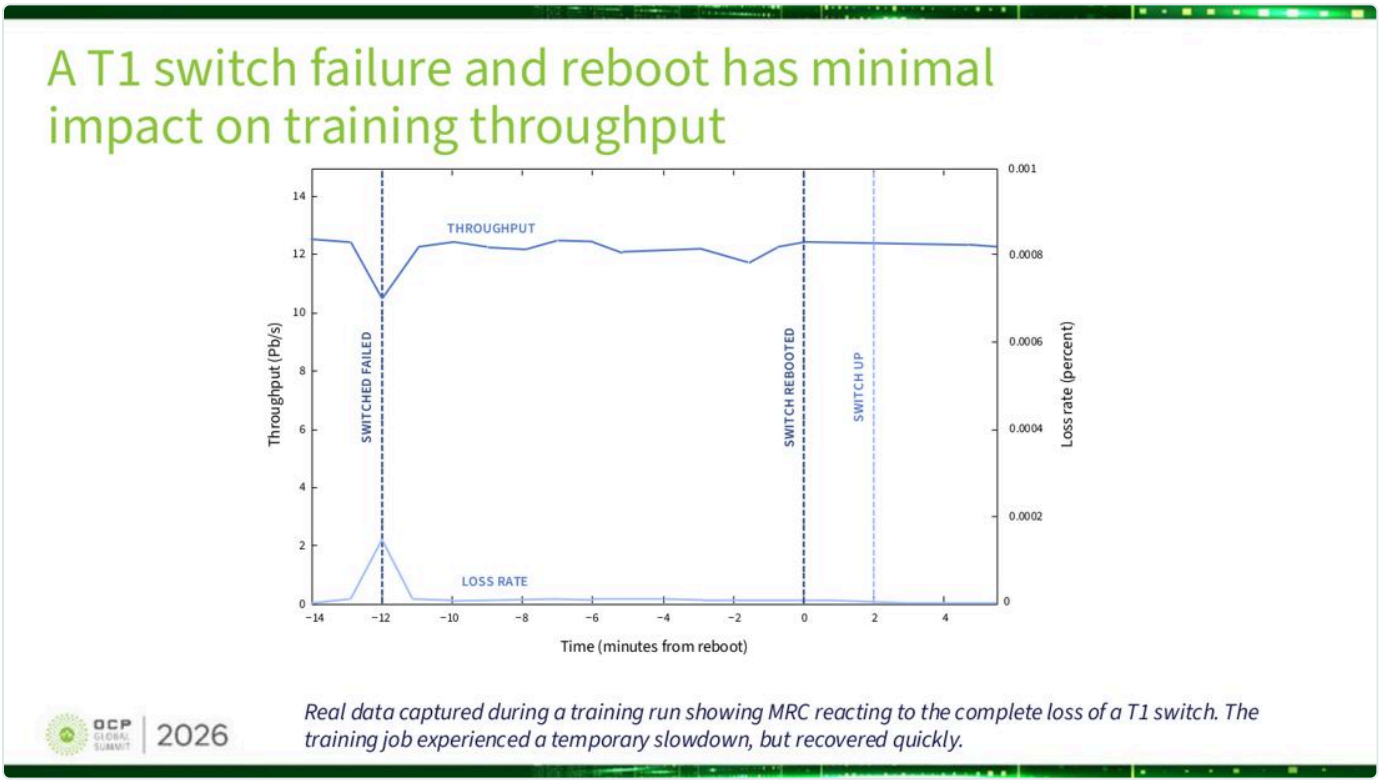


圖 6：MRC 在 T1 交換器完全故障時的吞吐與損失率。左軸吞吐（Pb/s）、右軸損失率（百分比）；時間軸為相對重開機時間的分鐘數。吞吐在故障點由約 12.5 下探約 10.5 Pb/s，之後回到約 12 Pb/s；損失率在故障點出現尖峰後回落。簡報註明為訓練作業中擷取的真實資料。來源：OCP 2026，OpenAI / Broadcom〈Enabling AI Networking @ Scale with Multi-path Reliable Connections (MRC)〉。數值為讀圖估計。

互通性方面，Microsoft 指出 MRC 規格有三處缺口（保留位元、重傳行為、RTT 量測來源），並把互通分為三級：Level 1 僅標頭欄位一致；Level 2 再加 SMaRTT 壅塞控制、ReSS 負載平衡、禁用 go-back-N、逐封包或逐連線 RTO；Level 3 再要求窗口增減速率與故障反應時間一致。簡報明講**完整互通需要 Level 3**，並呼籲辦 plugfest。這與專家座談「演算法為實作差異」的說法相容，但表示不同廠商 NIC 與交換器混搭至今尚無驗證，不能寫成「MRC 已統一」。

MRC Interoperability Requirements

Each level builds on the one below it; full interoperability requires Level 3.

Requirement	LEVEL 1	LEVEL 2	LEVEL 3
Identical header field sizes and offsets	✓	✓	✓
SMaRTT congestion control (CC)		✓	✓
ReSS load balancing (LB)		✓	✓
No Go-Back-N retransmission		✓	✓
Per-packet / per-connection retransmission timeout (RTO)		✓	✓
CC grows the congestion window at the same rate when uncongested			✓
CC shrinks the congestion window equally at equal congestion			✓
Same LB reaction time to link failures			✓

圖 7：MRC 互通性三級需求。Level 1：相同標頭欄位大小與偏移；Level 2：加上 SMaRTT 壅塞控制、ReSS 負載平衡、禁用 Go-Back-N、逐封包 / 逐連線 RTO；Level 3：再加壅塞時窗口增減速率一致、故障時負載平衡反應時間一致。簡報註明完整互通需 Level 3。來源：OCP 2026，Microsoft〈MRC: A Purpose-Built RDMA Transport for AI Training Networks〉。

3.2 UEC 與 MRC 的取捨

Side-by-Side Comparison

Dimension	MRC	UEC
Design philosophy	Evolutionary extension of RoCEv2 RC	Clean-slate, purpose-built stack
Load balancing	Packet spraying via entropy value + SRv6 source routing	Native packet spraying, configurable in-order/out-of-order modes
Congestion control	Sender-based only	Sender-based **and** receiver-based
Link-layer scope	None specified — relies on underlying Ethernet	Link Level Retry (LLR), Credit-Based Flow Control (CBFC)
Network-layer guidance	SRv6 source routing only, Trimming	Congestion signalling (CSIG), trimming-aware switch behaviour
Interoperability with legacy	Non-interoperable wire format, but reuses RoCEv2 Verbs API	New transport under UET; broader ecosystem coordination required
Functional Scope	Narrow/Specialised: Tailored strictly for synchronous AI training; supports only RDMA Write and Write-with-Immediate.	Broad/Universal: Covers AI training, inference (MoE/KV cache), storage, and HPC; supports Reads, Writes, Sends, and Atomics.
Deployment status	In production today at OpenAI, Microsoft and OCI	Spec (v1.0.3) published; hardware/software ecosystem maturing

圖 8：MRC 與 UEC 逐項比較（Broadcom 的觀點）。MRC 為 RoCEv2 RC 的演進、封包噴灑加 SRv6、僅發送端壅塞控制、功能窄；UEC 為 clean-slate、原生封包噴灑、收發兩端壅塞控制、含 LLR / CBFC、功能廣。部署狀態欄稱 MRC 已用於 OpenAI、Microsoft 與 OCI，UEC 規格（v1.0.3）已發布、硬體軟體生態成熟中。Broadcom 為兩套規格的參與者，此表為廠商自述的比較。來源：OCP 2026，Broadcom〈UEC vs MRC: A Comparative Analysis of Next-Generation Networking Standards for Large-Scale DC Deployments〉。

3.3 MetaRoCE：Meta 的自家路線，且延伸到跨站

MetaRoCE 的特色是以同一協定覆蓋 scale-out 與 scale-across：scale-out 的 RTT 約 5～15 μs，簡報列的最大擁塞窗口約 75；scale-across 的 RTT 常達毫秒級，最大窗口約 3,500～7,000。其目標為網路效率大於 90%、設計目標一百萬個加速器（條件未註明）。在 8×100G、8 平面的 multiplane FPF 測試中，單平面失效時吞吐由約 780 降至約 680 Gbps，約 65 秒回復（讀圖估計）。與 RoCEv2 對照的集合通訊完成時間（64 GPU）見圖 9：All Reduce 多數訊息大小約減少 5%～27%，All To All 小訊息約減少 15%～28%，但部分大訊息（如 1 MiB、32 MiB、4～16 GiB）反而增加約 5%～20%。這是 Meta 自家測試、64 GPU 規模、讀圖估計，不能外推到數萬 GPU。

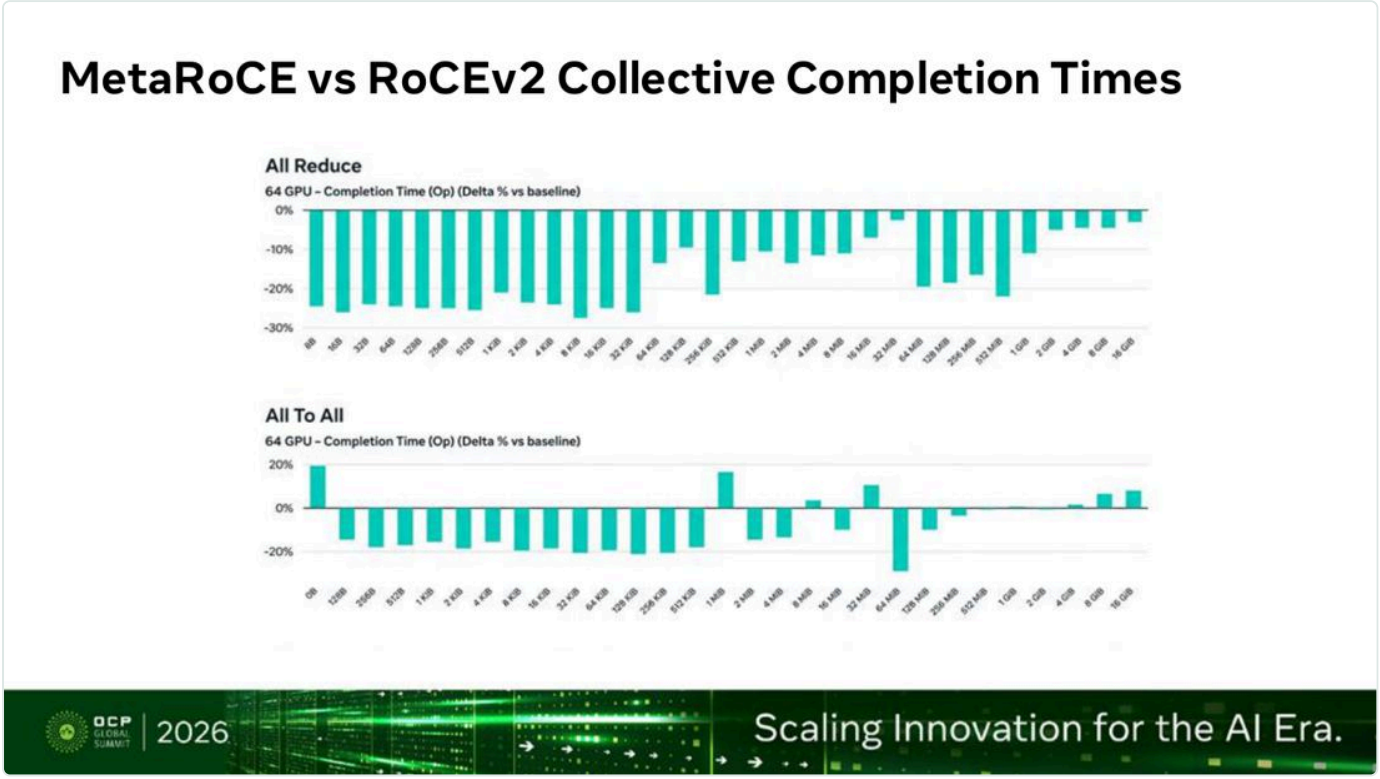


圖 9：MetaRoCE 對 RoCEv2 的集合通訊完成時間差異。上圖 All Reduce、下圖 All To All，64 GPU，縱軸為相對 baseline 的完成時間變化百分比（負值為較快）；橫軸為訊息大小。All To All 部分大訊息為正值（較慢）。來源：OCP 2026，Meta / AMD〈MetaRoCE: Rethinking RDMA for the AI〉。讀圖估計，Meta 自測。

> **判讀（作者）**
>
> 三套傳輸並行對台廠的意義是：網卡、交換晶片與雲端業者需要同時支援多套，介面層面的差異多在晶片與韌體，對線纜、連接器與機構件的影響很小。台股供應鏈在此章的直接曝險有限，主要是「晶片廠與雲端業者的軟體決策」，不是新的硬體 BOM。

4　102.4T 交換器與 Meta 的 ODM 分工

Meta 的第一代 Icepack 交換器家族 IceCube 為 2OU 混合液冷 / 氣冷設計：採 Broadcom Tomahawk 6C，64 個 OSFP（128×800GE 或 512×200GE，non-blocking），PHY-less 搭配 flyover 纜線（UPXR×16），部署於 ORv3-HPRv1 機櫃，並稱與 Celestica 合作。ASIC 與 OSFP 以冷板液冷，約占熱負載 85%，微伺服器、電源級與 BMC 氣冷約 15%。Blade 最大典型功率為 3,820 W（全 retimed 5nm DSP DR4 光模組條件，30°C / 40°C 進水，約 6 LPM）。

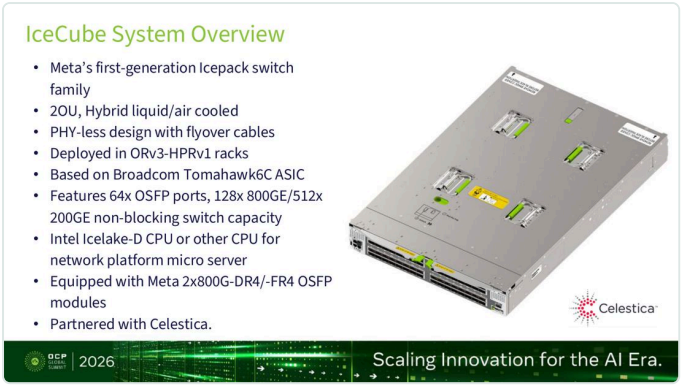


圖 10：IceCube 系統外觀與規格。2OU 混合液冷 / 氣冷、Tomahawk 6C、64×OSFP、128×800GE / 512×200GE non-blocking，簡報標註與 Celestica 合作。來源：OCP 2026，Meta〈Meta 102.4T Ethernet Switch〉。

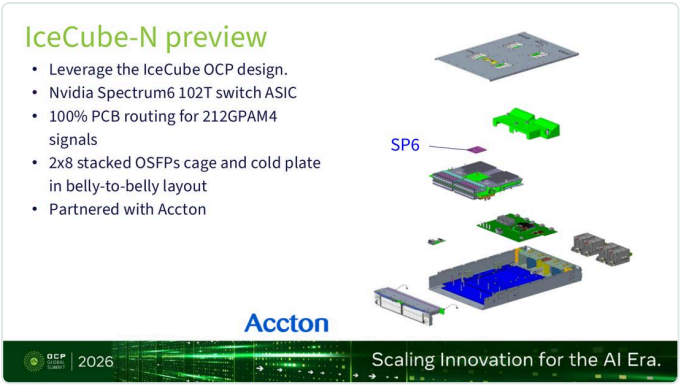


圖 11：IceCube-N 預覽（爆炸圖）。NVIDIA Spectrum-6 102T、100% PCB 走線承載 212G PAM4、2×8 堆疊 OSFP 籠與冷板 belly-to-belly 佈局，簡報標註合作夥伴 Accton（智邦）。無日期。來源：同上。

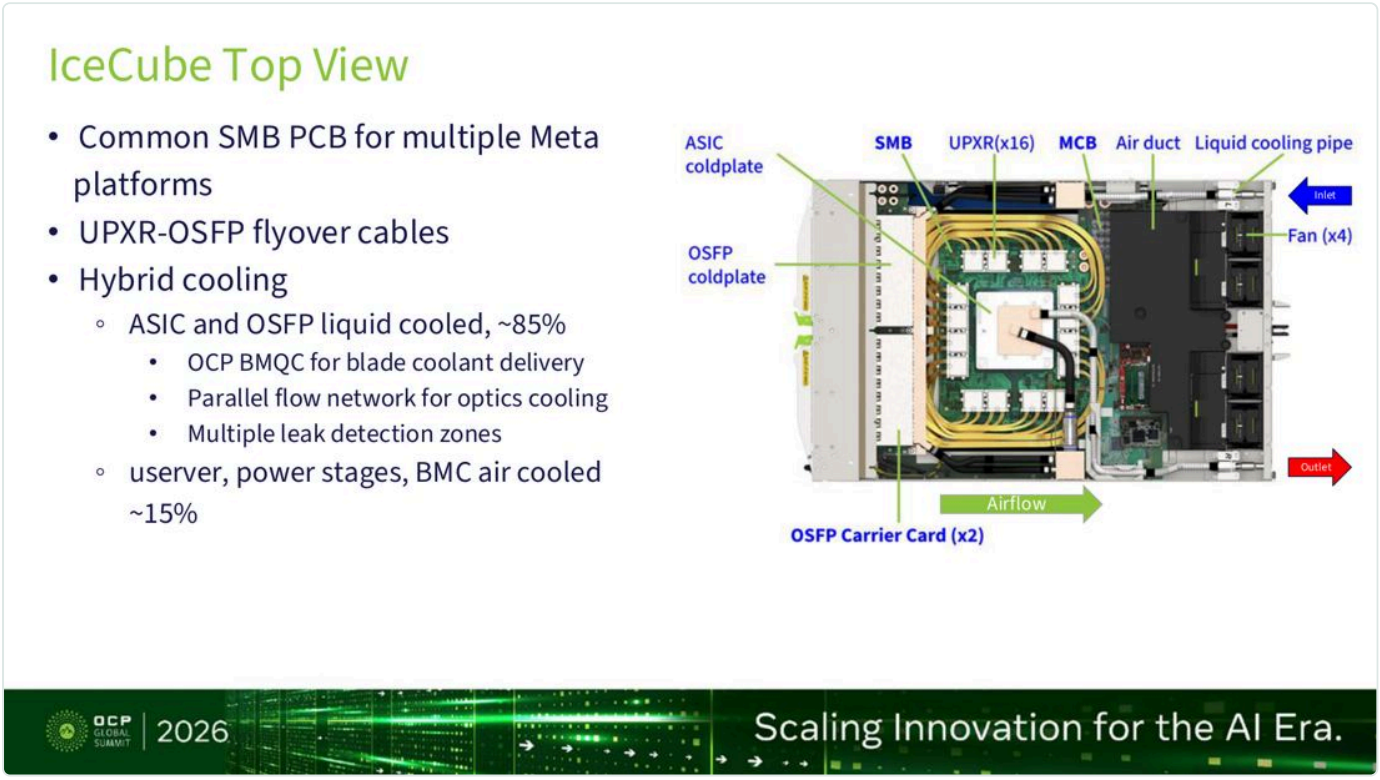


圖 12：IceCube 俯視圖與冷卻分區。標示 ASIC 冷板、OSFP 冷板、UPXR×16 flyover 纜線、兩張 OSFP carrier card、四顆風扇；ASIC 與 OSFP 液冷約 85%，微伺服器、電源級、BMC 氣冷約 15%。來源：OCP 2026，Meta〈Meta 102.4T Ethernet Switch〉。

4.1 兩個關鍵訊號

- **雙晶片、雙 ODM。**首代 IceCube 為 Broadcom 晶片搭 Celestica；IceCube-N 為 NVIDIA Spectrum-6 搭智邦。需特別注意：Meta 全端簡報僅籠統寫「系統來自 Celestica 與 Accton」，應以 102.4T 專場為準——**首代列 Celestica，智邦在 IceCube-N**，不可寫成智邦做首代。簡報均為「Partnered with」，未給訂單量、量產日期或份額。
- **可插拔銅加光已逼近極限。**單台 IceCube 的 212G PAM4 銅纜差分對總長約 340 公尺（簡報對照足球場周長），GTSW 機櫃機內光纖約 8,192 條。Meta 自述「100T 平台機櫃級互連已達極限」，下一代需要光纖管理（L11）、纜線背板（cable backplane）與光背板的創新，並稱 IceTea 等衍生平台把一半埠移到後方、用 cable backplane 省去光纖與光模組。這是銅互連（第 6 章）與 CPO / NPO（第 7 章）之間的分流點。

4.2 與 CPO 路線並行

Meta 本次同時有 CPO 從 51.2T 到 102.4T 的場次，顯示 102.4T 世代的 Meta 路線是並行：現行 scale-out 以可插拔 OSFP 液冷（IceCube），NPO / CPO 為另一條路線。先前研究紀錄中 Meta 的 Tomahawk 6 NPO 交換器與 Celestica CPO 交換器（2H27）並不與 IceCube 衝突，而是不同產品線。對智邦而言，IceCube-N 為可插拔世代的合作，並不等於 CPO 世代的位置。

5　AEC 與 DSP 競爭

5.1 Meta 的選型邏輯與五項教訓

Meta 以三欄比較光模組、被動 DAC 與 AEC：光模組距離 10 km 以上但每端功耗 12～15 W 以上、成本最高；被動 DAC 約 2～3 m、每端 1～2 W、成本最低，但 112G PAM4 預算不足；AEC 以重新調理訊號通過預算，每端功耗小於 12 W（800G）、成本低至中。其 800G OSFP AEC 規格為 32 AWG twinax、1.0～3.2 m、CMIS 5.1，Meta 稱已部署「數百萬條」，供應商匿名為 A / B / C 三家，未揭露 DSP 來源。

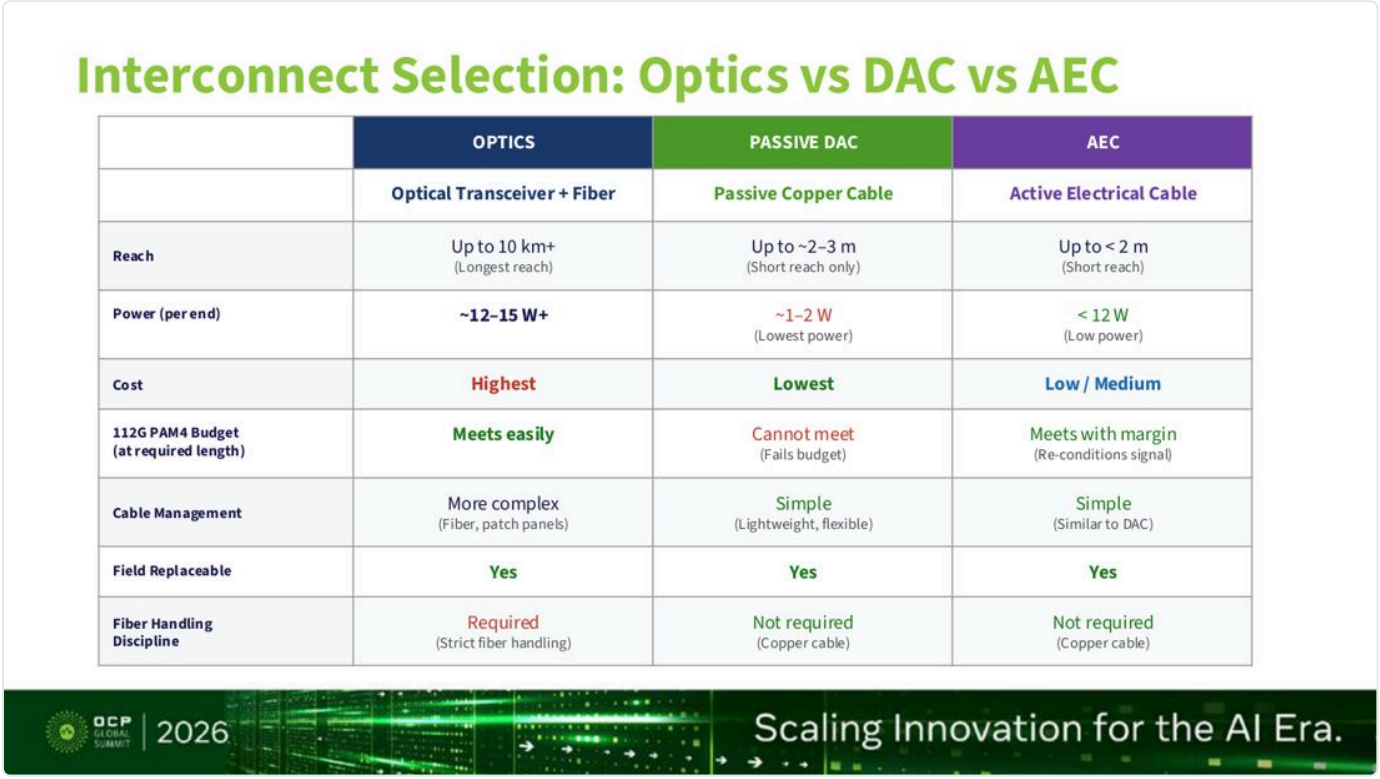


圖 13：互連選型比較（光模組、被動 DAC、AEC）。距離：光 10 km 以上、DAC 約 2～3 m、AEC 小於 2 m；每端功耗：光 12～15 W 以上、DAC 1～2 W、AEC 小於 12 W；成本：光最高、DAC 最低、AEC 低至中；112G PAM4 預算：DAC 無法滿足、AEC 具餘裕。註：同一份簡報規格卡寫 AEC 為 1.0～3.2 m，與此表「小於 2 m」不一致，應是選型示意與實際規格的差異。來源：OCP 2026，Meta〈Large-Scale Deployment of 800Gb/s Active Electrical Cables in Meta Data Centers for AI Applications〉。

Meta 的核心訊息是**AEC 的門檻在資格驗證，不在設計**：五項教訓為（1）元件合格不等於叢集合格；（2）互通失敗常來自韌體而非訊號完整性，例如 CMIS 應用模式不一致造成 link training 失敗，以及 NIC—AEC 重置循環後因 MCU 預取與韌體狀態競態而卡死；（3）製造變異在量大時才顯現；（4）熱循環暴露穩態測試看不到的失效；（5）供應商資格是過程而不是事件。系統級輻射（EMI）設計餘裕目標 10 dB，各供應商實測約 5.7～9.0 dB，低餘裕者靜默改版中。長期可靠度測試以供應商 A 64 顆、B 64 顆、C 32 顆（3 台 Minipack3）、升降溫約 0.7°C/min，目標殼溫約 40 / 50 / 70°C。對線纜廠而言，這代表通過 Meta 資格是有成本的長流程，也是進入門檻。

5.2 224G 世代：Broadcom 進入 DSP 競爭

Molex 與 Broadcom 聯合簡報顯示，224G / lane 的覆蓋距離為：DAC 約 1 m、ACC 1 m 內佳、AEC 1～6 m 皆為良好 BER（Samtec 簡報的另一口徑為 DAC 約 2 m、ACC 約 5 m、AEC 約 7 m，為不同廠商的估值）。Broadcom 的 AGERA 乙太 AEC retimer 家族：400G / 800G 為 AGERA2LP（5nm，與 Tomahawk 5 同款 SerDes，8 m 以上，量產中）；1.6T 為 AGERA3 / 3U（3nm，與 Tomahawk 6 同款 SerDes，6 m 以上，量產中）；3.2T 為 AGERA4（2nm、400G SerDes、大於 40 dB，「coming soon」，未給年份）。1.6T AEC 的 6.5 m 模擬 pre-FEC BER 約 3E-10 至 7E-10（模擬值）。

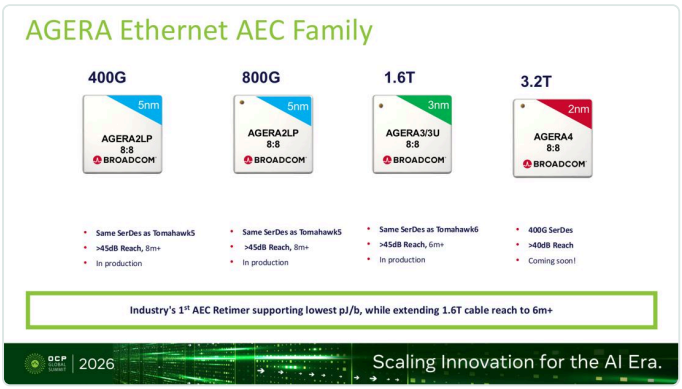


圖 14：Broadcom AGERA 乙太 AEC retimer 家族。400G / 800G：AGERA2LP 5nm；1.6T：AGERA3 / 3U 3nm；3.2T：AGERA4 2nm（coming soon）。前三者標示量產（In production）。來源：OCP 2026，Molex / Broadcom〈224G AECs for AI Data Centers〉。

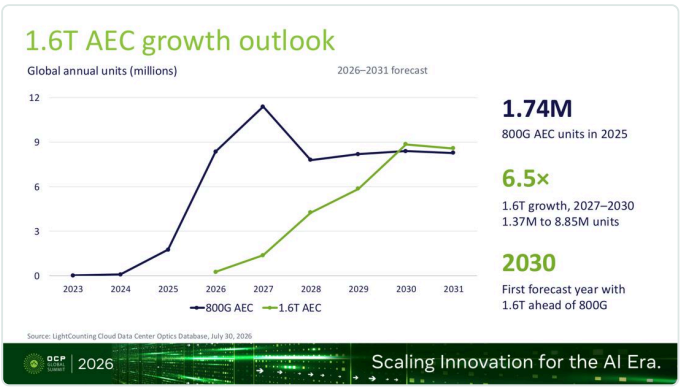


圖 15：LightCounting AEC 出貨預測（2026-07-30 版）。800G AEC 2025 年 1.74M，2027 年高點約 11M 後降至約 8M；1.6T AEC 2027 年 1.37M 成長到 2030 年 8.85M（6.5 倍），2030 年首度超過 800G。來源：LightCounting，經 OCP 2026 Molex / Broadcom 簡報轉引。第三方預測，非 Molex 或 Broadcom 的出貨承諾。

5.3 判讀與口徑差異

- **對 DSP 供應商：**Broadcom 1.6T retimer 已量產，是 Credo、Marvell 之外的第二來源（Broadcom 自稱「業界第一款」把 1.6T 線纜觸及延伸到 6 m 以上）。這是競爭，不是已實現的市占流失；Meta 簡報不點名 DSP 廠。
- **對線纜組裝廠：**DSP 來源增加通常有利於議價，但 Meta 的資格流程長、成本高，反而可能集中在少數通過資格的供應商。**推論** 貿聯等線纜廠是否列入 Meta 三家供應商，簡報未揭露，不可推定。
- **功耗口徑：**通稱「AEC 小於 5 W」（國內投顧口徑）與 Meta 800G「每端小於 12 W」是不同世代與口徑，不可並排比較；224G / 1.6T 的每端功耗本次簡報未給。

6　448G 電氣介面：PAM4 對 PAM6、CPC 與背板

6.1 為什麼 448G 的銅會被說成「牆」

448G / lane 的符號率與 Nyquist 頻率取決於調變：PAM4 為 224 GBd、Nyquist 112 GHz；PAM6（約 2.585 bits / 符號）為 173 GBd、87 GHz；PAM8 為 150 GBd、75 GHz；相對 PAM4 的 SNR 需求分別為 0、−4.4、−7.4 dB。貿聯（BizLink）將此稱為 copper wall：維持 PAM4 會把 Nyquist 頻率推過 100 GHz，銅的插入損耗在較低頻率就已吃緊；而更密的調變則帶來更緊的 SNR、更高的回損與串擾影響。OIF 則以另一個鮑率口徑（165 GBd，含或不含 FEC 開銷未明）討論 PAM6，並指出把鮑率由 165 增至 180 GBd，理想通道損失約 0.4 dB、長距通道約 1.8 dB，可能抵消編碼增益。

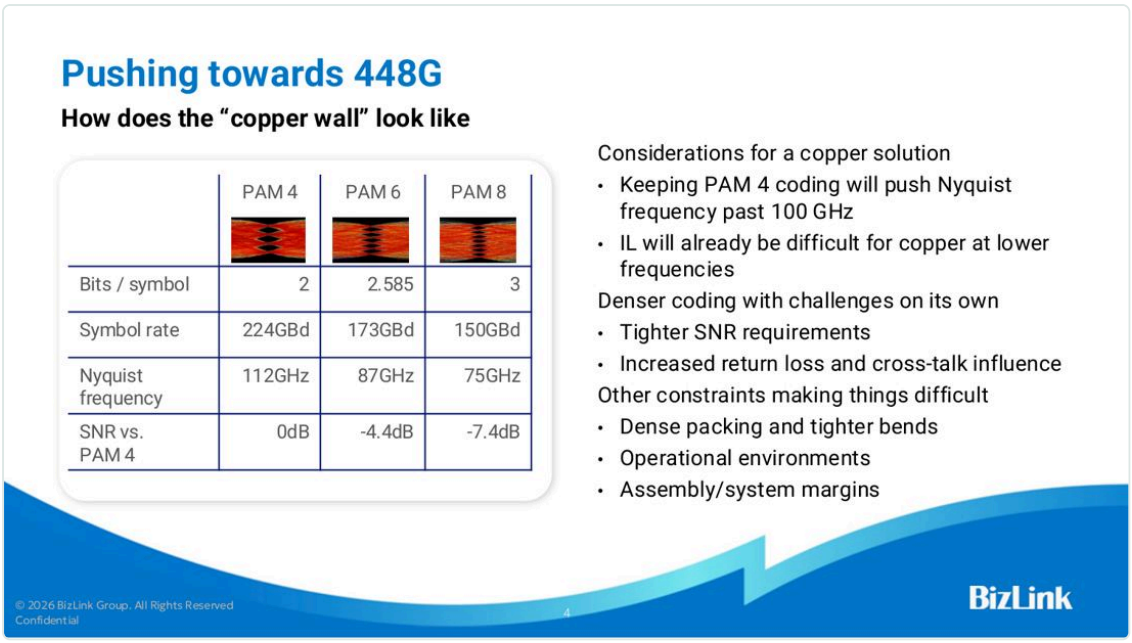


圖 16：448G 調變選項與 Nyquist 頻率。PAM4 / PAM6 / PAM8：每符號位元數 2 / 2.585 / 3；符號率 224 / 173 / 150 GBd；Nyquist 頻率 112 / 87 / 75 GHz；相對 PAM4 的 SNR 需求 0 / −4.4 / −7.4 dB。來源：OCP 2026，貿聯 BizLink〈How can high-speed interconnect solutions drive next generation AI data centres at 448G and beyond?〉。數值為廠商簡報所列。

6.2 實測與模擬：口徑各異，不可直接比較

各家公布的損耗數字，口徑（實測或模擬、是否含 PCB、是否去嵌入、長度、頻率）都不相同，因此只能並列，不可相減。

來源	對象與條件	數值	口徑與限制
貿聯	CPC 系統，500 mm PCB 樣品，Rosenberger 連接器量測	56 GHz 約 −21 dB；86.7 GHz 約 −30 dB；112 GHz 約 −40 dB	實測；是否含 500 mm PCB 簡報不明；讀圖
貿聯	ParaLink 細線，85 cm，去嵌入	110 GHz 約 −14 dB（SDD21）	實測；去嵌入後，未含連接器介面損耗
立訊	300 mm 31AWG CPC–CPC 纜線組件	110 GHz：未去嵌入約 −33 dB，去嵌入約 −14 dB	實測；兩種口徑並列
立訊	纜線段串接 330 mm＋VH–VR 連接器＋940 mm＋330 mm	90 GHz 約 −35 dB	初測，讀圖；100 GHz 後出現起伏
立訊	前面板 LR 段（約 1.0 m）	90 GHz 去嵌入約 −30 dB	初測，讀圖
TE	到背板通道，PAM6：CPC / NPC	90 GHz 約 −6 / −12 dB	**模擬**；不含封裝損耗
TE	到 I/O 通道，PAM4：CPC / NPC	112 GHz 約 −7 / −14 dB；120 GHz 以上急降	**模擬**；不含封裝損耗
TE	250 mm 30AWG twinax 對 254 mm 走線（stripline）	112 GHz 約 −4 dB 對 −23 dB	模擬
Samtec	448G CPC / CPC 概念驗證，1.0 m EyeSpeed 纜線	展示實物；損耗數字本次未公開	展示（PoC）

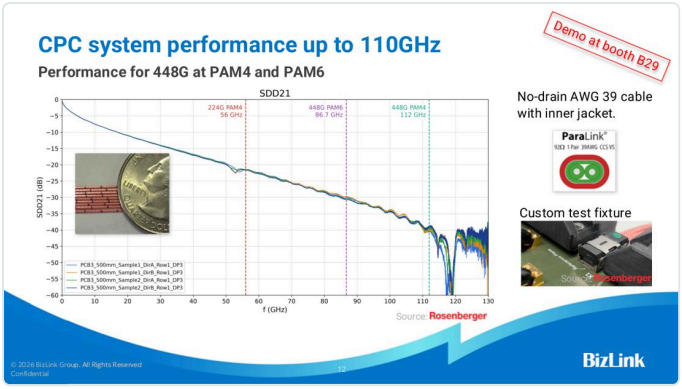


圖 17：貿聯 CPC 系統 SDD21 量測。500 mm PCB 四組樣品；三條垂直虛線為 224G PAM4（56 GHz）、448G PAM6（86.7 GHz）、448G PAM4（112 GHz）。曲線在 112 GHz 附近約 −40 dB，之後出現共振與急降。來源：OCP 2026，貿聯〈448G〉場次（量測資料來自 Rosenberger）。讀圖。

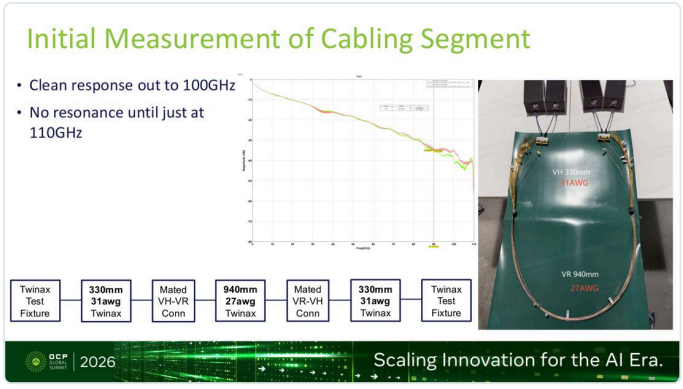


圖 18：立訊 448G 纜線段初測。330 mm 31AWG＋VH–VR 連接器＋940 mm 27AWG＋330 mm 31AWG 串接，SDD21 在 0～110 GHz 逐步下降，90 GHz 處約 −35 dB；簡報稱 100 GHz 內回應乾淨。來源：OCP 2026，Luxshare–Tech〈Copper Interconnect Innovations for Realizing 400G Electrical〉。初測，讀圖。

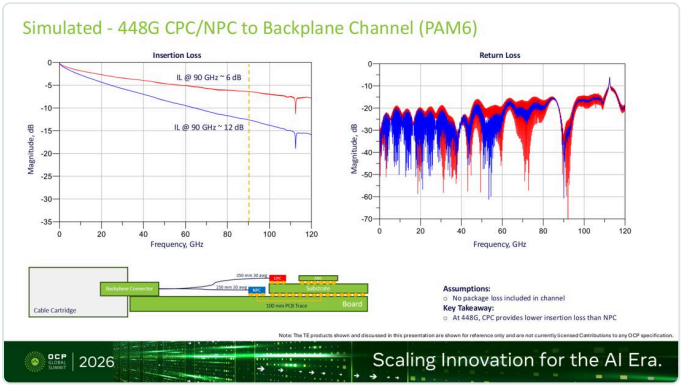


圖 19：TE 448G CPC / NPC 到背板通道（PAM6）模擬。90 GHz 插入損耗 CPC 約 6 dB、NPC 約 12 dB；註明不含封裝損耗。來源：OCP 2026，TE Connectivity〈Co–Packaged Copper at 448G〉。模擬。

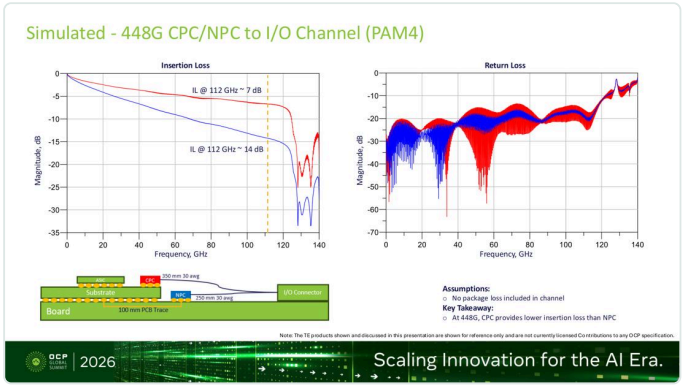


圖 20：TE 448G CPC / NPC 到 I/O 通道（PAM4）模擬。112 GHz 插入損耗 CPC 約 7 dB、NPC 約 14 dB，120 GHz 以上急降；不含封裝損耗。來源：同上。模擬。

6.3 OIF 的立場與對先前說法的修正

OIF 沿用「白皮書→逐應用立專案」的流程：448G 白皮書約於 2025–11 完成，目前已啟動 **VSR（晶片到模組）與 LR（纜線 / 背板）兩個專案**，完成日未提；其他應用預期續啟。調變立場為「無單一方案適用所有拓撲」：LR 被動纜線已近物理極限，**PAM6 為起點，1 m 以上被動銅可能長期維持 PAM6**，PAM4 的長距銅需依賴 AEC 或 ACC；VSR 業界希望 PAM4（與 400G 光學一致），但須嚴謹證明觸及與良率，若用 PAM6 則可統一支援被動銅、主動銅與 retimed 光（光模組內加輕量 gearbox）。同一 SerDes 要在 PAM4 與 PAM6 間切換「不容易」，可能要為兩種拓撲各做一版。224G 規格則「接近發表」。

修正：「448G 銅不可行、被迫轉 CPO」

先前部分市場說法（例如穎崴 2026–05 的看法：448G PAM4 銅遇頻寬牆、被迫轉 CPO）與本次簡報不完全相符。依本次證據，較精確的表述是：

（1）**PAM4（112 GHz）在銅上尚未證實**：貿聯含 PCB 的樣品在 112 GHz 約 −40 dB；TE 模擬的 CPC 不含封裝損耗為 7 dB，兩者口徑差距大，尚不能判定可行。

（2）**PAM6（87～90 GHz）搭配 CPC 或 twinax，約 1 m 內已有樣品與初測**：立訊 90 GHz 約 −30～−35 dB（初測）、Samtec 448G CPC 1.0 m 概念驗證、OIF 稱 CPC 連接器 2025 年量測已過 90～100 GHz。

（3）因此「不可行」只對「PAM4＋長距」成立，不是銅整體；CPO 的轉折時點應由「448G 必撞牆」改為「依拓撲與距離分流」：近晶片約 1 m 內銅仍有路，機櫃級以上才需要光。

對台廠的含義（作者判讀）。銅互連的價值集中在近晶片短距（CPC、cable backplane、twinax）；這是線材、連接器與纜線組裝廠的機會，但目前展示與樣品階段的玩家以國際大廠與中國廠（TE、Samtec、Amphenol、立訊）為主，台廠有貿聯的自家量測。**推論** 若 PAM6 成為主流，需要的是不同於 PAM4 的 SerDes 版本，對線纜的容許損耗預算也不同，供應商需重新資格驗證。

7　連接器標準：銅光分工、Open CPX 與 XPO

7.1 銅光分工正在改寫通道預算

Amphenol 的核心論點是「封裝邊緣就離開 PCB」：不論 NPO 或 CPC / NPC，目標都是縮短電通道。其通道預算堆疊（Nyquist，Tx＋Rx）顯示：**NPO 約 9 dB**（I/O 轉接 2、模組 PCB Tx 5、Rx 2），而 **NPC/CPC→XPO 約 19 dB**（CPC 連接器 2、30 cm twinax 8、I/O 轉接 2、PCB 5＋2）。Amphenol 另稱封裝直接 launch 可讓 cartridge 銅達 2 m、全櫃約 0.8 m；並以 256 GPU 四櫃範例說明分工：櫃內 4,096 條銅 lane、跨櫃 12,288 條光纖 lane（銅 25%、光 75%）；NPO–to–NPO 光鏈路端到端預算 2.5 dB（OCI MSA 鏈路模型、500 m 單模光纖），V–groove / MPO / EBO 連接器損耗分別為 0.1 / 0.35 / 0.7 dB。串擾方面，XPO–LPO 開發例中 64 lane 全開 BER 約 1e–7，單 lane 約 1e–10～1e–12（host 加纜線 15 dB）。以上均為 Amphenol 單一來源的實測式預算與開發例。

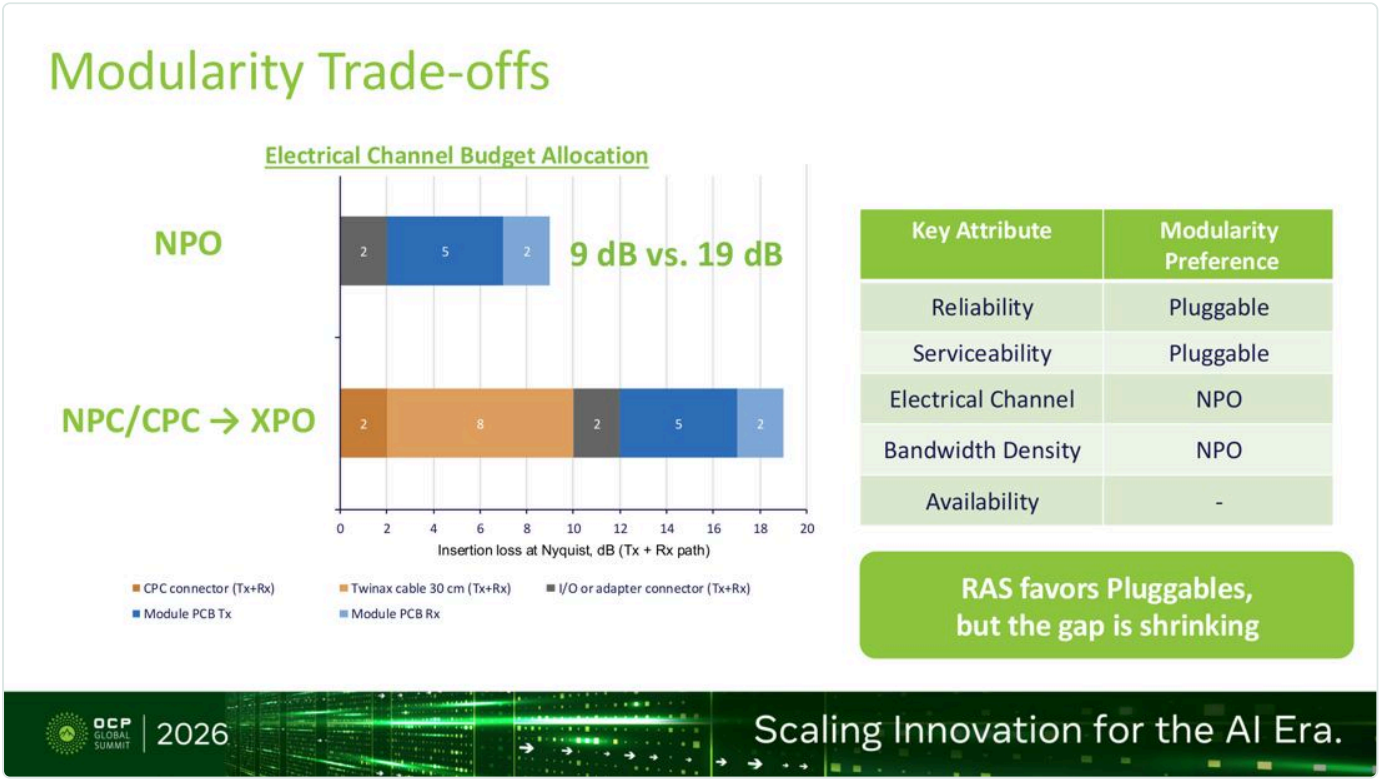


圖 21：電通道預算分配，NPO 對 NPC/CPC→XPO。NPO 約 9 dB（2＋5＋2）；NPC/CPC→XPO 約 19 dB（CPC 連接器 2、30 cm twinax 8、I/O 或轉接連接器 2、模組 PCB Tx 5、Rx 2）；右表指出可靠度與可維修性偏好可插拔、電通道與頻寬密度偏好 NPO，並稱「RAS 偏好可插拔，但差距正在縮小」。來源：OCP 2026，Amphenol〈Co–Designing High–Speed Copper and Optical Interconnects〉。Amphenol 自家預算分配。

7.2 Open CPX：NPO 連接器標準，台廠是貢獻成員

Open CPX MSA 為通用混合媒介可插拔互連，支援 CPO / CPC 與 NPO / NPC，使用既有電、光與控制面標準，不含壓縮硬體，強調多來源供應鏈。創始成員為 Ciena、Coherent、Marvell、Molex、Samtec、Terahop；貢獻成員 logo 牆含 Accton（智邦）、Amphenol、BizLink（貿聯）、Credo、FIT（鴻騰）、Intel、LINTES（嘉基）、LOTES（嘉澤）、Lumentum、TE 等數十家。**該名單為 Samtec 簡報 logo 牆逐一辨**

識，非正式成員名單，且「出現 logo」不等於已取得訂單或已送樣。路線圖（Samtec，附註「subject to change」）：2026–03 成立、2026–09 成員逾 50；Rev 1.0（2026–09，32 / 36×200G，Type 1 / 2，ILM / ELM）、Rev 1.1（2027–03，銅媒介、Type 3）、Rev 2.0（2027–06，64 / 72×200G）、Rev 3.0（2027 末至 2028 初，N×400G）。Type–1 為 6.4 Tbps / 64 DP，Type–2 為 7.2 Tbps / 72 DP。

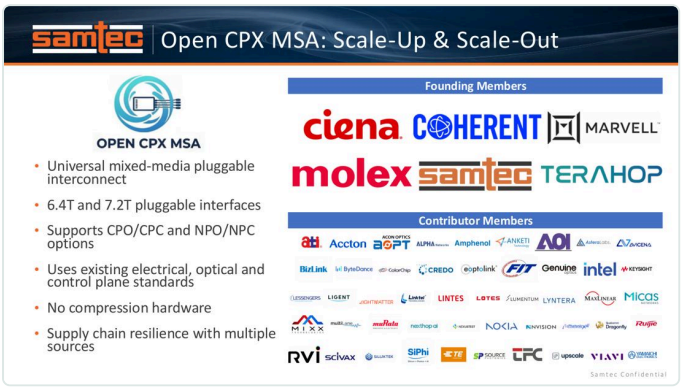


圖 22：Open CPX MSA 創始與貢獻成員。創始成員：Ciena、Coherent、Marvell、Molex、Samtec、Terahop；其餘為貢獻成員 logo 牆（可辨識含 Accton、Amphenol、BizLink、FIT、LINTES、LOTES、TE 等）。來源：OCP 2026，Samtec〈A Pathway to 224/448 Gbps Copper and Optical Connectivity in AI Infrastructure〉。逐一辨識 logo，非正式名單。

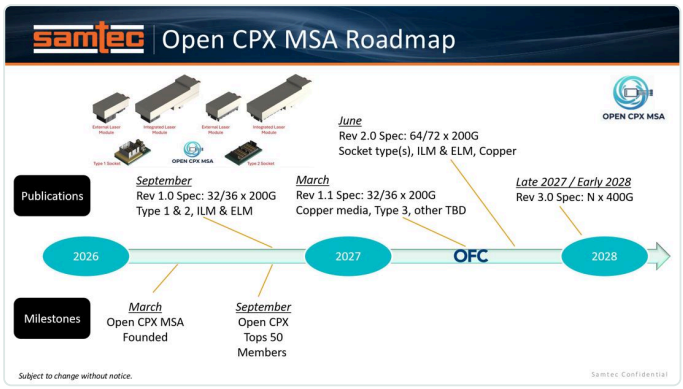


圖 23：Open CPX MSA 路線圖。2026–03 成立、2026–09 成員逾 50；Rev 1.0 2026–09、Rev 1.1 2027–03、Rev 2.0 2027–06、Rev 3.0 2027 末至 2028 初（N×400G）；上方為 Type 1 / Type 2 插座與 ILM / ELM 模組外形。簡報註明時程可能變動。來源：同上。

7.3 XPO 與兩條路線

XPO（Arista 主導 MSA）是以單一液冷可插拔模組取代 8 個 OSFP：FIT 的簡報顯示 1 個 XPO 等於 8 個 OSFP 的高速頻寬，224G 世代為 12.8 Tbps、448G 世代 25.6 Tbps；連接器 128 對差分（64Tx / 64Rx）、高速訊號 pitch 0.56 mm（OSFP 為 0.60 mm）、內置冷板，1×2 並聯 200 W 條件下最高 64.49°C（規範小於 70°C）；224G 實測來自 OFC 2026 展示，448G 目前僅有模擬（PAM6 約 89.6 GHz、179.2 GBd 目標，簡報呼籲同時支援 PAM4 與 PAM6）。Amphenol 的 XPO 為 64 個高速通道、單一 48 V 電源、整合液冷、線性模組小於 90 W。另一條路是立訊的 OSFP 籠子外掛液冷：224G OSFP 2×8 籠子（16 埠 512 W、1.15 lpm、進水 40°C 以下、外殼 70°C 以下；實測最大 62.6°C，台架 16×32 W 條件）。兩條路線差別在冷板是「內置模組內」還是「外掛於籠子」。Amphenol、FIT、TE 同時在 XPO 與 CPX 陣營出現，表示被動互連大廠並未押單一標準。

7.4 與既有說法的衝突（並列，不裁定）

議題	說法 A	說法 B	判讀
NPO 通道損耗	群益投顧（ECOC 後報告）：NPO「來回約 20 dB」	Amphenol 預算：NPO 約 9 dB；NPC/CPC→XPO 約 19 dB	疑歸屬相反，待查原話
CPX 連接器規格	先前研究資料：Trainium4 使用 Samtec CPX，128 DP / 座	Samtec 本場：Type–1 64 DP、Type–2 72 DP	代別與型號待查

8　跨資料中心：BAG 與 scale–across

BAG（Backend Aggregation）是 Meta 的集中式 L3 路由 super–spine，目的是把多個 L2 fabric 連成單一超大 RDMA 叢集，全程使用標準乙太、沒有專有互連，並可連接自有與租用站點。Prometheus 園區（俄亥俄州 New Albany，約 1 GW）分為 4 個 sub–region，每個含數個 L2 fabric，各自接本地 BAG，所有 BAG 再連成一個叢集。NSF 型 L2 fabric 每個最多約 21K GPU、pod 內外皆非阻塞，跨 L2 約 5:1 超賣（圖標 4.98:1）；

新增站點採 hub–and–spoke 以讓連線數維持 O(N)。為處理站內到千公里的距離差異，BAG 機箱支援 FR4（至 3 km）、LR4（至 10 km）與經光傳輸系統的 ZR+（至 1,000 km），並依距離設 2K / 10K / 100K 三種緩衝 headroom（FADT 多 profile）；長距無損 RoCEv2 需深緩衝晶片加 credit–based forwarding，簡報稱「J3 Class」。

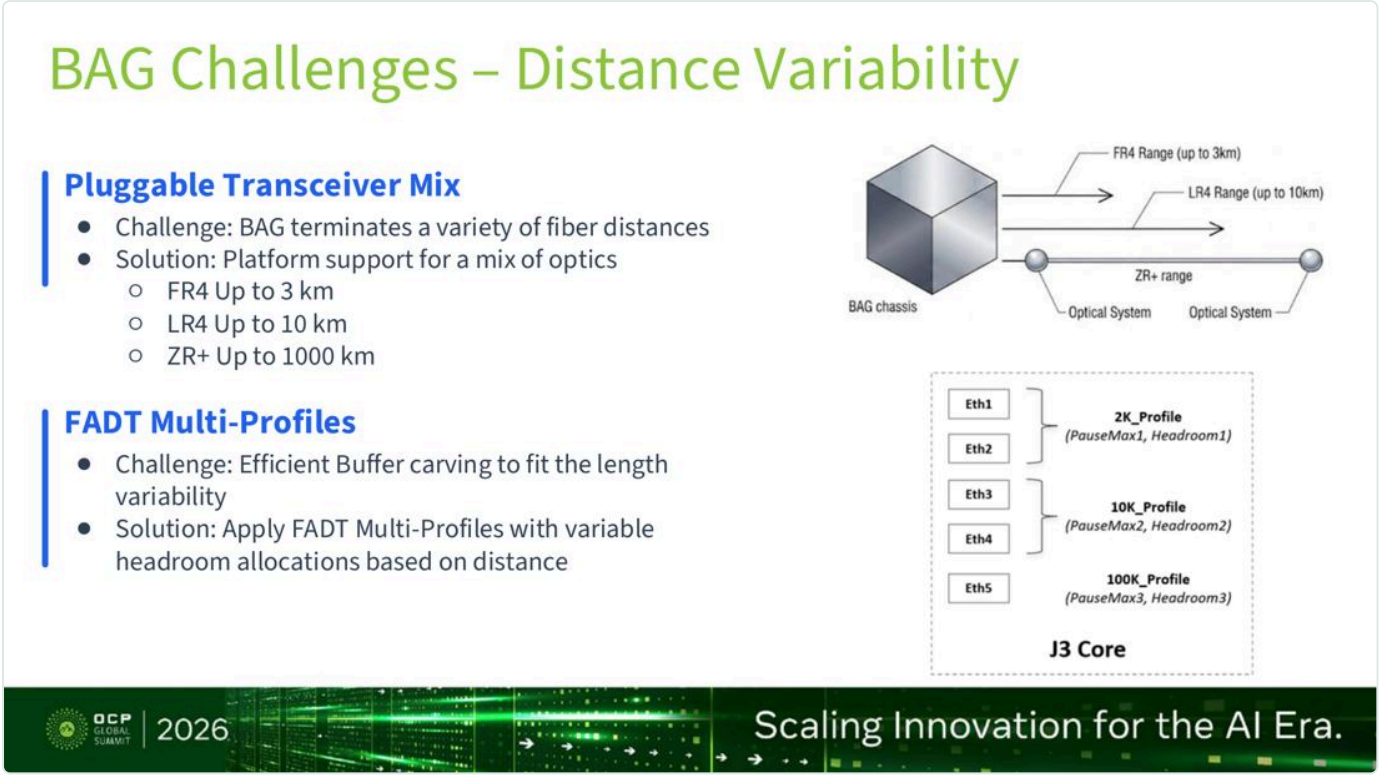


圖 24：BAG 的距離變異與緩衝配置。BAG 機箱接 FR4（至 3 km）、LR4（至 10 km）與經光傳輸系統的 ZR+（至 1,000 km）；右下為 J3 Core 依距離設 2K / 10K / 100K 三種 profile（PauseMax / Headroom）。來源：OCP 2026，Meta〈Scaling AI Infrastructure Across DC and Beyond: Meta's Journey with BAG〉。

簡報另提到區域骨幹（RBB）使用 SRv6、跑在 FBOSS 與 SAI，初期量產採 Cisco Silicon One 淺緩衝交換器。**簡報沒有點名 BAG 的設備、深緩衝晶片或光模組、光傳輸系統供應商**（只出現規格名 FR4 / LR4 / ZR+ 與「J3 Class」），因此不可據此寫成特定光通訊或晶片廠受惠；對光模組廠的意涵只能停留在「長距乙太光模組需求存在」。

9　台股供應鏈映射與觀察清單

證據強度定義：實際出貨有出貨或量產證據；合作開發簡報明列合作關係，但無訂單量；展示在 OCP 展位或簡報展示產品、樣品或自家量測；僅 logo僅出現在成員名單或 logo 牆；推論為作者由其他事實推導，簡報未直接陳述。本次 24 場中沒有任何台廠被明確列為「實際出貨」。

公司（代號）	角色	證據強度	依據與限制	觀察指標
智邦 Accton（2345）	Meta IceCube–N（NVIDIA Spectrum–6 102T）合作夥伴；Open CPX 貢獻成員	合作開發 僅 logo（CPX）	Meta 102.4T 簡報「Partnered with Accton」，無訂單量、無日期；首代 IceCube 為 Celestica，非智邦。Meta 為雙晶片、雙 ODM，不可假設獨占	IceCube–N 量產時點與出貨；Meta 次世代 scale–up 或 TH6 交換器是否再納入

貿聯-KY BizLink（3665）	448G 銅互連（ParaLink 細線、CPC）、液冷 OSFP 籠、電網到機櫃連接器；Open CPX 貢獻成員	展示（展位 B29） 僅 logo（CPX）	自家簡報的量測：CPC 112 GHz 約 −40 dB（含 PCB 與否不明）、ParaLink 85 cm 去嵌入至 110 GHz 約 −14 dB；無量產年份與客戶。Meta AEC 三家供應商匿名，**不得推為貿聯**	448G 樣品送測客戶；是否通過 Meta / NVIDIA 資格；PAM6 與 PAM4 路線選擇
鴻騰 FIT（6088.HK）	XPO 內置冷板模組（224G 實測、448G 模擬）；Open CPX 貢獻成員	展示（XPO） 僅 logo（CPX）	XPO 224G 於 OFC 2026 展示、無量產時程、無客戶；XPO 與 CPX 雙押	XPO 規格是否定案、客戶導入、448G 版樣品
嘉澤 LOTES（3533）	Open CPX 貢獻成員	僅 logo	logo 牆逐一辨識；為貢獻而非創始成員，無產品或訂單陳述	Rev 1.0 之後的送樣名單、Type 1 / 2 插座供應商
嘉基 LINTES（6715）	Open CPX 貢獻成員	僅 logo	同上	同上
佳必琪（6197）	—	無證據	本次 24 場完全未出現，不得寫入 OCP 受惠；若需列入須另查	—
穎崴（6515）	測試介面；僅為先前「448G 銅不可行」說法的出處	—	本次 24 場未出現；其說法需配合第 6 章修正	CPC / CPO 測試需求是否因銅路線延長而改變（推論）

9.1 非台廠的競爭者與意涵

公司	本次出現的角色	對台廠的意涵
立訊 Luxshare（002475.SZ，陸廠）	400G 電氣銅：彈性體 CPC、twinax 對接纜線背板、448G 首批樣品；224G OSFP 2×8 液冷籠子（16 埠 512 W）；宣稱 3 個月複製交付（廠商自述）。證據為展示加台架實測（224G），448G 為樣品初測	在線材、連接器與液冷 IO 皆為台廠直接競爭者，價格與交期壓力；北美客戶導入情況待觀察
Celestica（CLS）	Meta IceCube（Tomahawk 6C）與 IcePack 機櫃首代合作夥伴	智邦在 Meta 交換器 ODM 的直接競爭者
Broadcom、Marvell、Credo	Broadcom：Tomahawk 5 / 6、AGERA retimer、SUE-T、MRC / UEC 共同制定；Marvell：ESUN 1.1 Switch Profiles、UALink 管理工作組、Open CPX 創始成員；Credo：AEC DSP、Open CPX 貢獻成員	DSP 與交換晶片為晶片廠決策；台廠側影響在線纜與 ODM 的資格流程
Amphenol、TE、Samtec、Molex	被動互連大廠；Amphenol 與 TE 在 XPO 與 CPX 兩邊押注；Samtec、Molex 為 Open CPX 創始成員；TE 聲明其展示產品非已授權 OCP 規格貢獻	標準定義權在美系廠，台廠多為貢獻成員，價值取決於能否進入送樣名單
Cisco、Nexthop AI	Cisco：Silicon One 用於 Meta RBB 初期量產，ESUN 1.1 Switch Profiles 負責人之一；Nexthop AI：與 Meta 合作 FBOSS 開源	網路軟體與骨幹交換器生態，非台廠直接題材

9.2 觀察清單

觀察點	為什麼重要	預期訊號
ESUN 1.1 發布	驗證乙太 scale-up 時程是否如期（依賴 UEC 更新，可能延後）	2026-10～11 官方發布；Switch Profiles 內容
UALink 交換器首發	UALink 由規格走向產品的第一個證據	任一廠商宣布 UALink 專用交換器出貨；Compliance 1.0（4Q26）
MRC plugfest 與互通	判斷 MRC 是否由單一廠商方案變成多廠互通標準	Microsoft 呼籲的 plugfest 日期與參與者；Level 3 互通報告
IceCube-N 量產時點與智邦出貨	智邦在 Meta 102.4T 世代的實際份額	IceCube-N 日期、智邦法說對 Meta 交換器的陳述
Broadcom AGERA 3.2T	224G 到 448G 世代 AEC DSP 競爭格局	AGERA4 量產日期與首批客戶
OIF 448G 規格完成	決定 PAM4 或 PAM6、VSR 或 LR 的銅光分工	VSR、LR 專案草案；調變選擇結論
Open CPX 送樣名單中的台廠	判斷貢獻成員是否轉為供應商	Rev 1.0 之後的送樣與認證名單
立訊在北美客戶的導入	台廠線材與連接器廠的競爭壓力	立訊 448G / 液冷 IO 客戶公開資訊

10　風險、矛盾與反證條件

10.1 跨來源矛盾與口徑差異

議題	說法 A	說法 B	判讀
448G 銅可行性	先前市場說法：448G PAM4 銅遇頻寬牆、被迫轉 CPO	OIF：PAM6 為被動 LR 起點；立訊、TE、Samtec、貿聯皆有樣品或模擬	PAM4＋長距未證實；PAM6 約 1 m 內有樣品。詳見第 6.3 節
448G dB 數值	貿聯：112 GHz 約 −40 dB；立訊：110 GHz 去嵌入 −14 dB	TE 模擬：112 GHz 約 7 dB（不含封裝）	實測對模擬、含或不含 PCB、去嵌入與否不同，不可直接比
PAM6 鮑率	貿聯：173 GBd	OIF 講者：165 GBd	可能一含一不含 FEC 開銷，並列標註
NPO 通道損耗	群益：NPO 來回約 20 dB	Amphenol：NPO 約 9 dB、XPO 路徑約 19 dB	疑群益轉述的歸屬相反，待查原話
AEC 功耗	通稱小於 5 W（國內投顧口徑）	Meta 800G：每端小於 12 W	世代與口徑不同，不可並排
AEC 距離	Meta 選型表小於 2 m；規格卡 1.0～3.2 m	Molex / Broadcom 1.6T 達 6 m 以上；Samtec AEC 約 7 m	Meta 簡報內部不一致；800G 約 1～3 m，224G 約 6 m 以上，各廠估值不同
MRC 壅塞控制	專家座談表：MRC 用 NSCC	Microsoft：用 SMaRTT 加 ReSS；OpenAI：本實作用 NSCC	規格標準化訊號，演算法為實作差異
MRC 功能範圍	Broadcom：僅 Write 與 Write-with-Immediate	Microsoft：規格需擴到 write 以外；MetaRoCE：full verb（自身）	範圍本就不同，分開陳述
ESUN 標頭節省	Tahan：48 B IPv6＋UDP 縮至約 4 B	ESUN：取代 28～48 B，省 24～44 B	口徑不同，後者較完整，採範圍值

UALink 管理規格時程	聯盟簡報：Mgmt 1.0 於 2026-04	Marvell：API 標頭 finalized、soon 公開，朝 v1.0	Mgmt 1.0 可能指整體管理規格，API 為其中一部分，待查
CPX 連接器規格	先前資料：Trainium4 用 CPX 128 DP / 座	Samtec：Type-1 64 DP、Type-2 72 DP	代別與型號待查
Meta 102.4T 路線	先前研究：Meta TH6 NPO 交換器、Celestica CPO 交換器 2H27	本次：IceCube 為 TH6C 可插拔 OSFP 液冷，且列為現行 scale-out	並行路線，不是衝突
OCI 量產 MRC	Broadcom 簡報稱 OCI 已在生產	其他場次未見	單一來源，僅供參考

10.2 反證條件

- **「乙太 scale-up 領先」被推翻的條件：**ESUN 1.1 大幅延後、Tahan 次世代未續推、或出現 UALink 專用交換器量產並有 hyperscaler 採用的公開證據。
- **「448G 銅依距離分流」被推翻的條件：**OIF 兩案收斂為 PAM4 且 112 GHz 銅在含封裝損耗後仍顯示可行（銅延壽更長）；或 PAM6 的 SNR 損失與 FEC 代價使 1 m 銅在量產良率上不可行（轉光提前）。
- **「智邦為最強台廠證據」被推翻的條件：**IceCube-N 無量產時點、或 Meta 次世代交換器由單一 ODM 承接。
- **「AEC 多 DSP 競爭」被推翻的條件：**Meta 僅採單一 DSP 來源並長期不變；或 1.6T AEC 因功耗、熱或資格流程延遲，出貨預測大幅下修。

10.3 主要風險

- **證據偏弱：**台廠多為 logo 或展示，缺乏訂單、客戶與量產時程；簡報自述多為廠商說法。
- **讀圖與口徑風險：**報告中多項數值取自圖上目測，且實測 / 模擬口徑各異；表中已標註，但仍不宜作精確估值輸入。
- **規格時程風險：**ESUN 1.1、SUE-T、OIF 448G、Open CPX Rev 2.0 以後均為預測，可能延後。
- **競爭與替代風險：**立訊在 448G 與液冷 IO 的完整展示、Celestica 對智邦的直接競爭、Meta 雙源策略。
- **單一來源風險：**Amphenol 通道預算、Open CPX 成員牆、OCI 量產、Broadcom 的 5 家以上 hyperscaler，均為單一來源。

來源清單

以下皆為 OCP Global Summit 2026（2026 年 10 月）簡報或影片場次，引用格式：OCP 2026，公司〈場次英文標題〉。

- OCP 2026，Meta / Microsoft〈ESUN: Open Ethernet for the AI Scale-Up Era〉
- OCP 2026，Arista / Broadcom〈SUE-T — An Ethernet transport for Scale-Up Networking〉
- OCP 2026，UALink Consortium 等〈Powering AI at Scale: Inside the UALink Ecosystem〉
- OCP 2026，Marvell / AMD〈The UALink Switch API: A Common Abstraction for Scale-Up AI Switches〉
- OCP 2026，HPE / AMD〈Building AI Rack System with Open Standards〉（Helios scale-up 交換器配置）
- OCP 2026，Broadcom〈Scaling AI Infrastructure Through Open Innovation〉（主題演講，2026-10-12）
- OCP 2026，OpenAI / Broadcom〈Enabling AI Networking @ Scale with Multi-path Reliable Connections (MRC)〉
- OCP 2026，Microsoft〈MRC: A Purpose-Built RDMA Transport for AI Training Networks〉
- OCP 2026，Broadcom〈UEC vs MRC: A Comparative Analysis of Next-Generation Networking Standards for Large-Scale DC Deployments〉
- OCP 2026，OpenAI / Broadcom / HPE / Arista〈Demystifying UET and MRC: A Panel of Experts〉
- OCP 2026，Meta / AMD〈MetaRoCE: Rethinking RDMA for the AI〉
- OCP 2026，Meta〈Betting on the Network: Meta's Case for Full-Stack, Open AI Networking〉

- OCP 2026，Meta〈Meta 102.4T Ethernet Switch〉
- OCP 2026，Meta〈Tahan: An Open, Ethernet-Based Scale-Up Switch for Meta's MTIA Accelerators〉
- OCP 2026，Meta〈Scaling AI Infrastructure Across DC and Beyond: Meta's Journey with BAG〉
- OCP 2026，Meta〈Large-Scale Deployment of 800Gb/s Active Electrical Cables in Meta Data Centers for AI Applications〉
- OCP 2026，Molex / Broadcom〈224G AECs for AI Data Centers: Extending Reach, Enhancing Telemetry, and Redefining Copper〉（含 LightCounting 2026-07-30 預測）
- OCP 2026，OIF〈Defining Electrical 448G/Lane: OIF's Work on Next-Generation Interfaces〉
- OCP 2026，貿聯 BizLink〈How can high-speed interconnect solutions drive next generation AI data centres at 448G and beyond?〉
- OCP 2026，TE Connectivity〈Co-Packaged Copper at 448G: Balancing Electrical Efficiency with System Level Complexity〉
- OCP 2026，Luxshare-Tech〈Copper Interconnect Innovations for Realizing 400G Electrical〉
- OCP 2026，Luxshare-Tech〈Enabling High-Performance Thermal Management for 1600G AI Data Center Interconnects〉
- OCP 2026，Amphenol〈Co-Designing High-Speed Copper and Optical Interconnects: A Passive Interconnect Approach for Next-Gen AI Data Centers〉
- OCP 2026，Amphenol / FIT / Luxshare-Tech / TE〈400G/Lane Optics Module Connectors〉（Lightning Talks）
- OCP 2026，FIT 鴻騰〈XPO: A High-Density, Liquid-Cooled Optical Interconnect Architecture〉
- OCP 2026，Samtec〈A Pathway to 224/448 Gbps Copper and Optical Connectivity in AI Infrastructure〉
- 券商與第三方：群益投顧 OCP 2026 參訪團紀錄（ECOC 後 NPO 損耗說法，僅作衝突並列）；LightCounting Cloud Data Center Optics Database（2026-07-30，經 Molex / Broadcom 簡報轉引）