

深度技術報告

ECTC 2026 先進封裝全景報告

EMIB-T · HBM4E 與客製 HBM · 微流道冷卻 · 封裝內光互連 · 玻璃基板
—— 當封裝本身成為 AI 算力的瓶頸

原始來源：SemiAnalysis 〈EMIB-T, HBM4 Challenges, Microfluidic Cooling, Photonic Interconnects〉(2026-07-02)

結合本知識庫：ABF 載板供需模型、玻璃基板供應鏈、台股映射

整理日期：2026-07-06 | 圖片來源：各公司 ECTC 2026 發表，經 SemiAnalysis 拍攝 / 轉載

目錄

0. 導言：為什麼 ECTC 2026 值得逐段精讀

1. Intel EMIB-T：CoWoS 最可信的挑戰者

1.1 bump pitch 微縮到哪了 1.2 T 的本事：橋內 TSV 供電 1.3 HBM4E 訊號完整性 1.4 67 個 reticle 的野心與翹曲 1.5 路線圖與差距

2. 記憶體戰線：HBM4E 的封裝代價與客製 HBM

2.1 Samsung：層數 5 倍、功耗 5.6 倍 2.2 Marvell 客製 HBM 架構 2.3 NVIDIA Feynman 與 16% 的 die 面積 2.4 TCB vs 混合鍵合的熱帳本

3. 散熱戰線：冷卻液進入矽晶片

3.1 台積電 micropillar：實測 5.3kW 3.2 微軟：直接在 GH200 上蝕刻 3.3 TIM 材料的過渡期升級

4. 光互連戰線：把光做進封裝

4.1 Marvell OMIB 與 Photonic Fabric 4.2 EAM vs MRM 路線之爭 4.3 Lightmatter Passage M1000

5. 基板與其他亮點

5.1 玻璃基板：光環變暗的一年 5.2 去中介層架構群起 5.3 混合鍵合低溫化 5.4 RDL 微縮與 UCIe 3.0 5.5 Samsung VCS 堆疊 DRAM

6. 結合資料庫：台股供應鏈判讀與觀察清單

6.1 與 ABF 載板供需模型的交叉驗證 6.2 玻璃基板：兩種敘事的時間差 6.3 散熱鏈的長線警訊 6.4 台股映射總表 6.5 觀察指標

0. 導言：為什麼 ECTC 2026 值得逐段精讀

ECTC (Electronic Components and Technology Conference, 電子元件與技術大會) 是封裝產業的最高規格會議，2026 年 5 月 26–29 日於美國佛州奧蘭多舉行。與一般學術會議不同，本屆的揭露內容與**即將商業化的產品高度對齊**——Intel 講的是 Google TPU 將採用的 EMIB–T，Marvell 講的是 NVIDIA Feynman 將採用的客製 HBM，微軟講的是已在真實 GH200 GPU 上跑了六個月的微流道冷卻。

SemiAnalysis 這篇大會綜述的核心命題是：**電晶體密度微縮放緩之後，先進封裝成為主要的算力擴展手段；但 AI 加速器已經大到讓「封裝本身」撞上物理極限**。具體有三個撞牆點：

- **尺寸極限**：圓形矽中介層 (CoWoS 使用的 12 吋晶圓) 限制封裝尺寸與晶圓利用率——晶片越做越大，一片圓晶圓能切出的方形中介層越來越少；
- **互連極限**：HBM4E 讓 I/O 腳位數翻倍、同時把速度推向 12Gb/s 以上，中介層繞線密度與供電網路同步吃緊；
- **散熱極限**：封裝功耗進入多千瓦時代，傳統「晶片→導熱膏→蓋板→冷板」的散熱疊構已經不夠用。

本報告第 1–5 章依原文架構完整介紹五條戰線的技術內容 (保留原始數據與圖片)，第 6 章把這些一手技術訊號與本知識庫既有的 ABF 載板供需模型、玻璃基板供應鏈調查、散熱鏈研究交叉比對，給出台股視角的判讀。

12 : 3

Intel vs 台積電
ECTC 論文數 (Samsung
11 篇)

67×

Intel quarter-panel 載具
相當於 67 個 reticle 面積

5.3 kW

台積電 micropillar
直達矽冷卻實測散熱

–50%

微軟 GH200 實機
微流道封裝熱阻降幅

閱讀提示：本屆一個容易被忽略的訊號是台積電僅發表 3 篇論文，遠少於 Intel 的 12 篇與 Samsung 的 11 篇。這不代表技術落後 (其 micropillar 論文品質極高)，但意味著透過公開管道追蹤台積電先進封裝路線的能見度正在下降，Intel 與 Samsung 的高調揭露則帶有行銷攻勢成分。

1. Intel EMIB-T：CoWoS 最可信的挑戰者

Intel 是本屆最大的企業發表者，核心揭露是 **EMIB-T**——在既有 EMIB（嵌入式多晶粒互連橋）的矽橋內加入 TSV（矽穿孔）的下一代版本。EMIB 的設計哲學與台積電 CoWoS 相反：CoWoS 用一整片覆蓋封裝面積的矽中介層承擔所有高密度繞線；EMIB 只在晶粒相鄰處埋入指甲大小的矽橋做高密度互連，**大面積繞線責任推回 ABF 載板**。因此 EMIB-T 的滲透程度，直接牽動 ABF 載板的層數、線寬與產能需求（詳見第 6 章）。市場普遍預期 Google TPU v9 將採用 EMIB-T，使其成為大封裝 AI 加速器上 CoWoS 平台最可信的替代方案。

1.1 bump pitch 微縮到哪了

bump pitch（凸塊間距）決定晶粒與橋之間單位面積能塞進多少互連。Intel 揭露的進度：

節點	驗證狀態	對照
36/35 μm	已在 2x reticle 矽含量封裝上驗證；正擴展至 4.5x reticle， 目標 2026 年底完成認證	Granite Rapids 為 45 μm ；36 μm 等於 bump 密度提高 65%
25 μm	測試載具進行中：兩顆 1-reticle 晶粒由單一 3mmx18mm 橋連接	—
<25 μm	難度陡增：焊料體積過小，短路、斷路與組裝良率損失大增	瓶頸從「橋的繞線密度」轉移到「bump 成形、置件精度、組裝良率」

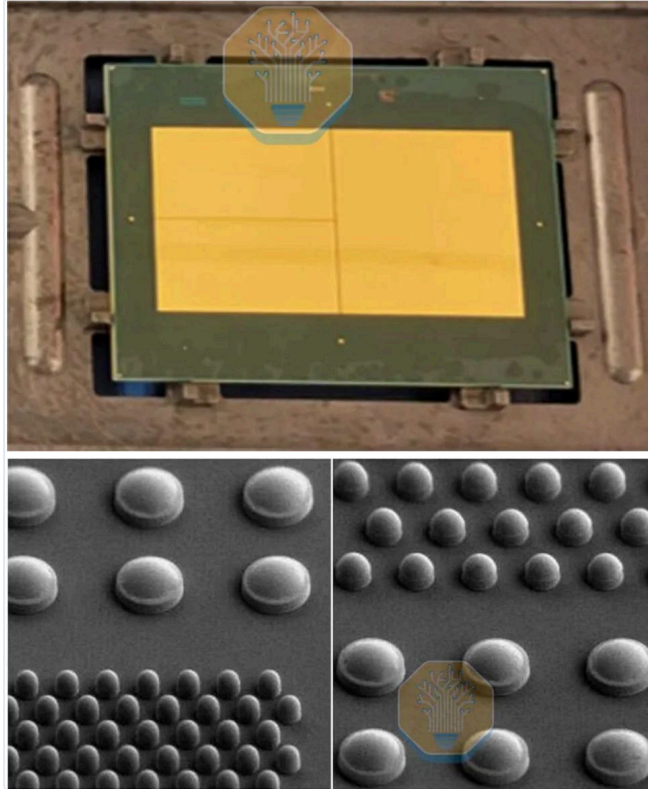


圖 1-1 | EMIB-T 2× reticle 矽含量測試載具實照（上，綠色基板上兩塊金色矽區），下方兩張 SEM 俯視顯示 110/55/36μm 混合 bump pitch 陣列。來源：Intel, ECTC 2026（SemiAnalysis 轉載）

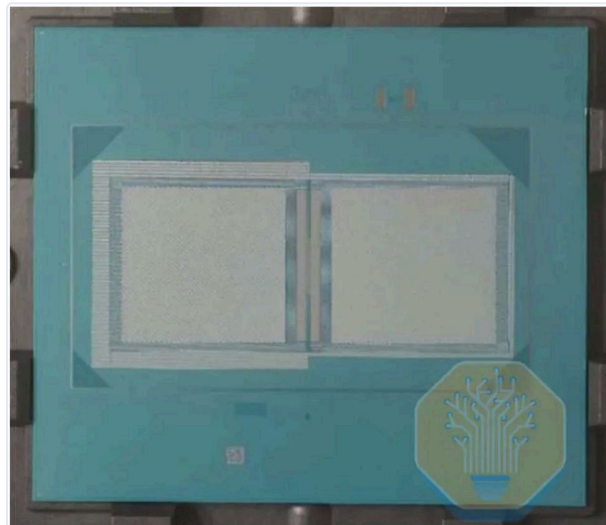


圖 1-2 | 25μm bump pitch 測試載具俯視實照：青色基板上兩顆 1-reticle 晶粒，中間由 3mm×18mm 細橋連接。來源：Intel, ECTC 2026（SemiAnalysis 轉載）

1.2 「T」的本事：橋內 TSV 供電與 MIM 電容

EMIB-T 的「T」指 TSV，職責是供電。傳統 EMIB 的問題在於：橋所在區域的正下方被矽橋擋住，電流必須繞路——從載板橫向鋪開、再經晶粒側繞線送達，路徑長、壓降大。橋內打 TSV 之後，電可以直接垂直穿過橋送上去。Intel 給出的量化數據非常可觀：

—68~80%

DC 壓降改善
(VDDQ —80% / VDDQL —70% /
VDD —68%)

500 nF/mm²

橋內 MIM 電容密度
與 Intel 18A 製程 MIM 相當

—82%

PDN 交流阻抗改善
(有 vs 無橋內 MIM 電容)

橋本身也不再只是被動繞線：剖面顯示 10 層金屬（含 4 層訊號繞線）、M1—M2 之間佈 MIM 電容、加上接地網格與供電走廊——一顆矽橋實質上是一片微型高密度電路板。

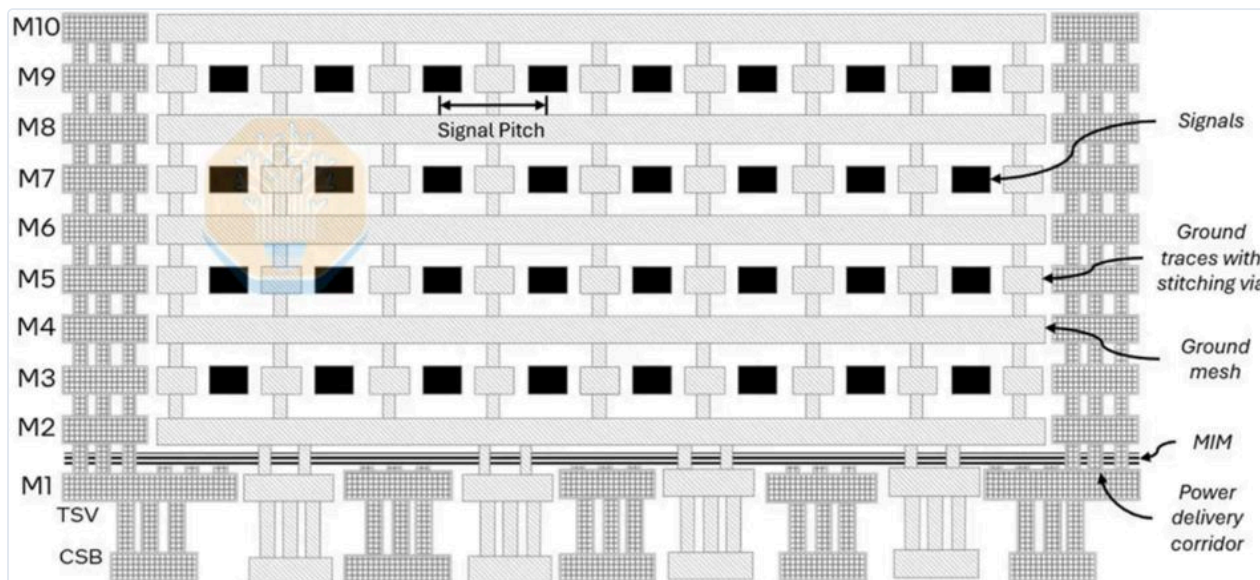


圖 1-3 | EMIB-T 橋 10 金屬層（M1—M10）堆疊剖面示意：標示訊號層、接地網格（ground mesh）、MIM 電容、TSV、CSB 與供電走廊。來源：Intel, ECTC 2026（SemiAnalysis 轉載）

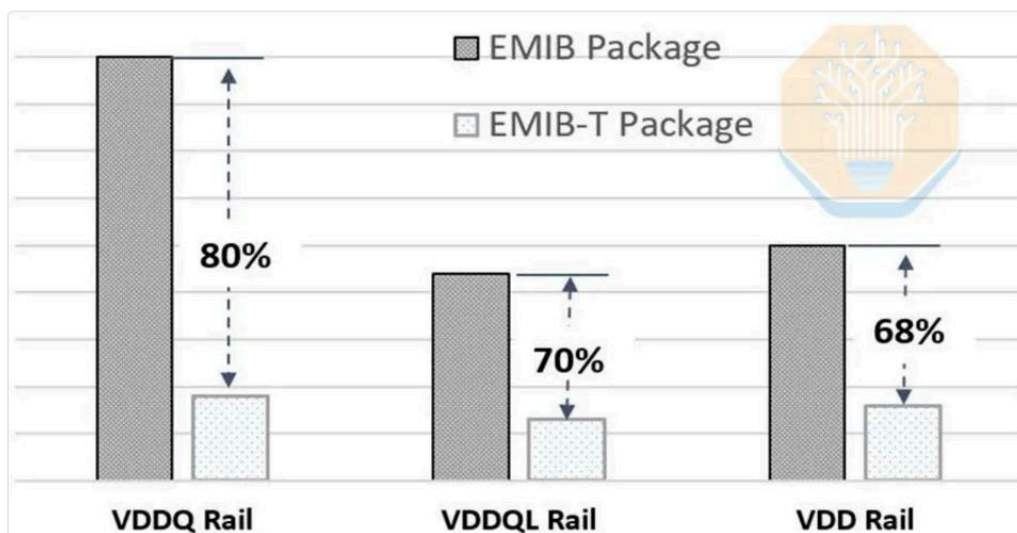


圖 1-4 | 傳統 EMIB vs EMIB-T 封裝 DC 壓降對比：VDDQ 軌 —80%、VDDQL 軌 —70%、VDD 軌 —68%。來源：Intel, ECTC 2026（SemiAnalysis 轉載）

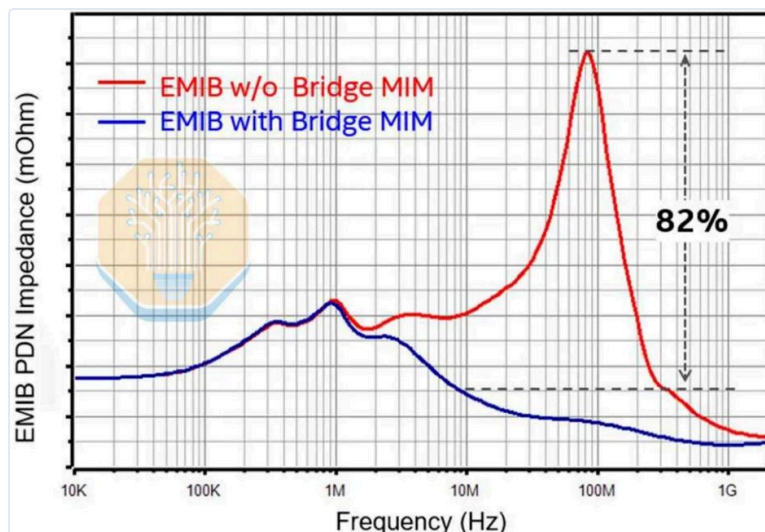


圖 1-5 | EMIB PDN 阻抗 vs 頻率曲線：紅線（無橋內 MIM）在 100MHz 附近出現高阻抗峰，藍線（有橋內 MIM）壓平該峰，差距 82%。來源：Intel, ECTC 2026（SemiAnalysis 轉載）

1.3 HBM4E 訊號完整性：12–16 Gb/s 過關

HBM4E 難在訊號密度與供電要同時放大：HBM4 腳位數是 HBM3 的兩倍，PHY 還需要額外電源軌（VDDQ、VDDQL），這些電源軌又吃掉訊號繞線面積。Intel 的解法是「分層分工」：最長的訊號通道走乾淨的高層（M9 只有約 28% 長度經過最擁擠區域），短通道走低層（M3 高達 84% 但距離短），避免串擾與插入損耗被最差路徑主導。模擬結果：

- 12 Gb/s：眼寬 ~67% UI（無接收端等化）；加一階 DFE（決策回授等化器）後提升至 ~72.5%
- 12.8 / 14 / 16 Gb/s：眼寬均維持 60% 以上（配合適度降低 pad 電容）

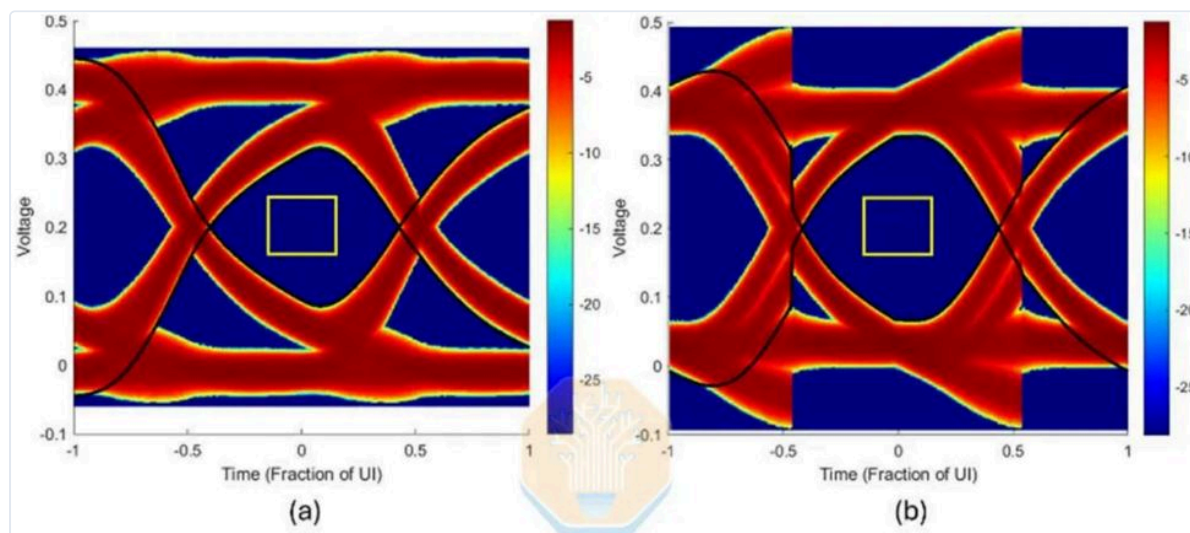


圖 1-6 | HBM4E 12Gb/s 通道眼圖熱圖：(a) 無 DFE、(b) 有 DFE，黃框為眼罩範圍。來源：Intel, ECTC 2026（SemiAnalysis 轉載）

1.4 67 個 reticle 的野心，與現場看見的翹曲

EMIB-T 能做多麼大？Intel 展示了 240mm×240mm 的 quarter-panel（四分之一面板）測試載具，約等於 67 個 reticle 的面積——作為對照，台積電 CoWoS 目前世代約 5.5x，2028 年路線圖為 14x reticle。Intel 把

quarter-panel 定調為實務目標（而非整片 panel）。但 SemiAnalysis 在攤位現場觀察到樣品翹曲嚴重：在這個尺寸下，橋只是問題的一部分，基板搬運、翹曲、對位、panel 級圖形化全部成為第一階約束，Intel 也正在評估先進微影方案以在 quarter/full panel 尺度維持對位精度。



圖 1-7 | Intel 240mm×240mm quarter-panel EMIB-T 測試載具實照（約 67 reticles），格狀晶粒陣列。SemiAnalysis 現場觀察樣品翹曲嚴重。來源：Intel, ECTC 2026（SemiAnalysis 轉載）

1.5 路線圖與差距

Intel 的 EMIB 路線圖不止於被動橋：更高密度橋內 MIM、更大高寬比橋晶粒、sub-25 μ m pitch、主動橋（active bridge，橋內含電路）、橋內嵌入式穩壓器；另揭露基板核心嵌入深溝電容（DTC）與 >2500 nF/mm² 的 eMIM-T 電容概念（均未進入量產品）。SemiAnalysis 的總評：EMIB-T 大幅縮小了與 CoWoS 的差距，但台積電在 DTC/eDTC 整合、整合式穩壓器與主動式 LSI 上仍然領先，而且是已在大量量產中執行多年的生態系。

1.6 資料庫補充：EMIB-T 的商業化拼圖

把 Intel 的技術揭露放回本知識庫既有的供應鏈研究，EMIB-T 的商業化拼圖已相當完整：

面向	資料庫既有情報	來源時點
首發大客戶	聯發科為 Google 設計的 2nm TPU (Humufish, 2027 年推出) 確認採雙源封裝：台積電 CoWoS-L 確保基本量產 + Intel EMIB-T 為降成本、放量主力；EMIB 在 Intel foundry 良率已 >90%	Morgan Stanley 2026-05-25
尺寸優勢	MS 認為台積電 CoWoS 實務 reticle 上限約 ~9.7x，EMIB 可支援 >12x——2028 年的超大型 TPU 傾向 EMIB	Morgan Stanley 2026-05-25
指定設備鏈	EMIB-T 產線設備由 Intel 指定：置件 ASMPT、固晶 Toray (近期品質問題，台廠均華精密被測試為替代)、塗佈烘烤群翊、濕製程敘豐、真空壓膜長廣；每條產線資本支出約為一般載板產線的 2 倍	定錨產業筆記 2026-07-06
良率現況	載板段良率僅約 20—50%；矽橋鍵合後的 NCF 殘膠需以冷雷射清除，避免傷及載板結構	定錨產業筆記 2026-07-06
對玻璃基板的排擠	Intel 對 Ibiden、欣興、Shinko 的強力擴產承諾，使載板廠短期把資源優先投注 EMIB-T，排擠玻璃芯基板的產能配置優先序	野村 2026-05-21
被動元件連動	SEMCO 約 W1.5 兆矽電容長約可能主要供應下一代 TPU 的 EMIB-T (2027—28)；力積電為 AP Memory S-SiCap 代工，佔占其營收 2026/27/28 年 3% / 5% / 9%	Morgan Stanley 2026-05

交叉判讀：ECTC 的技術數據 (36μm pitch 驗證、TSV 供電、HBM4E 眼圖) 填上了「EMIB-T 做不做得出來」的最後一塊拼圖；而供應鏈側的良率 (20—50%) 與設備資本支出 (2 倍) 數據，說明它的放量會以消耗更多 ABF 產能與設備採購為代價——這正是 ABF 供給缺口論的技術根源 (詳見第 6.1 節)。

2. 記憶體戰線：HBM4E 的封裝代價與客製 HBM

2.1 Samsung：層數 5 倍、功耗 5.6 倍的警訊

HBM4E 把資料速率推向 12Gb/s 以上、I/O 腳位數翻倍，代價由中介層買單。Samsung 給出的估算：HBM4E 需要的中介層層數是 HBM3E 的 2 倍、HBM2 的 5 倍；介面功耗比 HBM3E 高 86%、是 HBM2 的 5.6 倍。Samsung 提出的解法是一顆 8 層矽中介層（比估計需求省 20% 層數）：以「兩訊號一接地」交錯排列遮蔽高速訊號（75% 層數給訊號繞線），並將 UHC（超高密度電容，性質類似 Intel 的 MIM 或台積電的 DTC）重新平衡佈局到介面兩側，同時壓低供電阻抗與電壓雜訊。

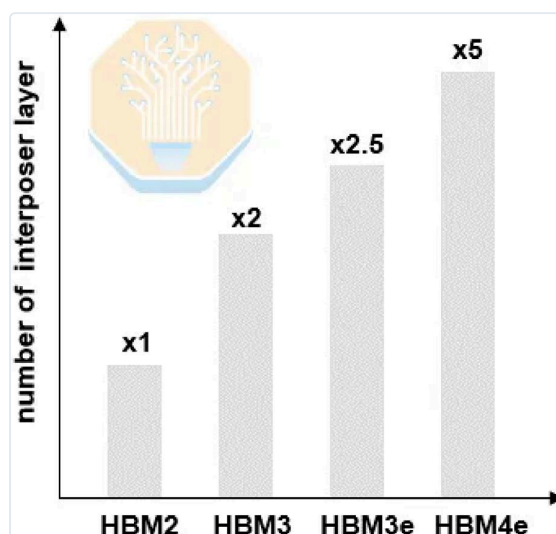


圖 2-1 | 中介層層數需求：HBM2 x1 → HBM3 x2 → HBM3e x2.5 → HBM4e x5。來源：Samsung, ECTC 2026
(SemiAnalysis 轉載)

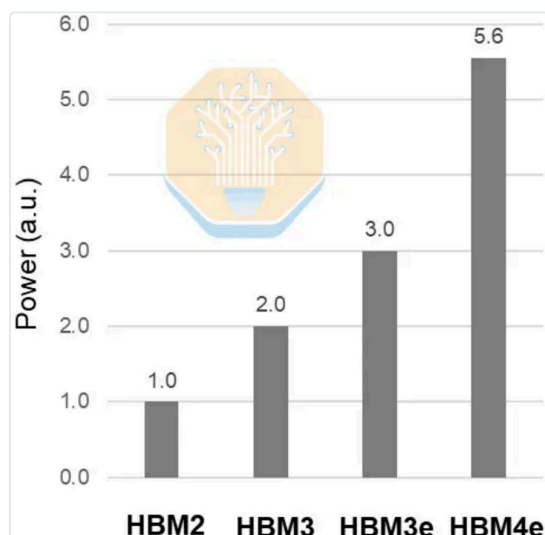


圖 2-2 | HBM 介面功耗 (a.u.)：HBM2 1.0 → HBM3 2.0 → HBM3e 3.0 → HBM4e 5.6。來源：Samsung, ECTC 2026
(SemiAnalysis 轉載)

UHC 電容只能放在 M1 層，而 M1 也是訊號繞線重度使用者。若繞線不平衡，電容會被擠到介面單側，造成邏輯側與 HBM 側供電行為不均。Samsung 的平衡式佈局把通道重新分配到 M1 與其他層，讓 UHC 能均勻鋪在

整個介面兩側：

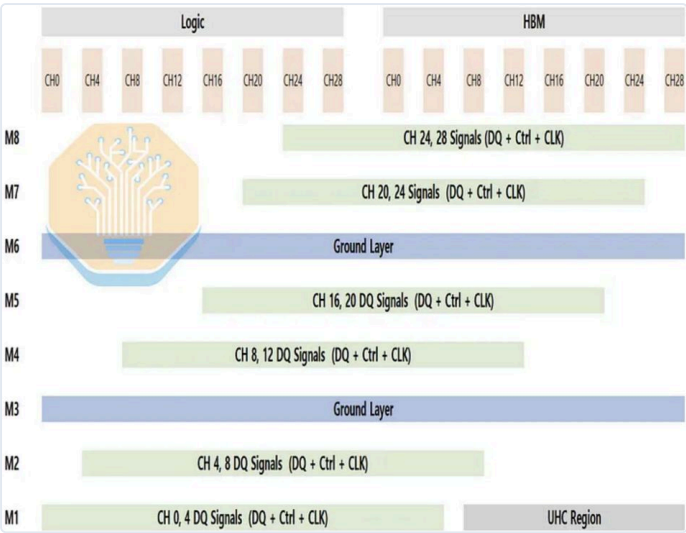


圖 2-2a | 不平衡繞線：M1 的 UHC 區域集中在單側，CH0—28 通道分層堆疊。來源：Samsung, ECTC 2026 (SemiAnalysis 轉載)

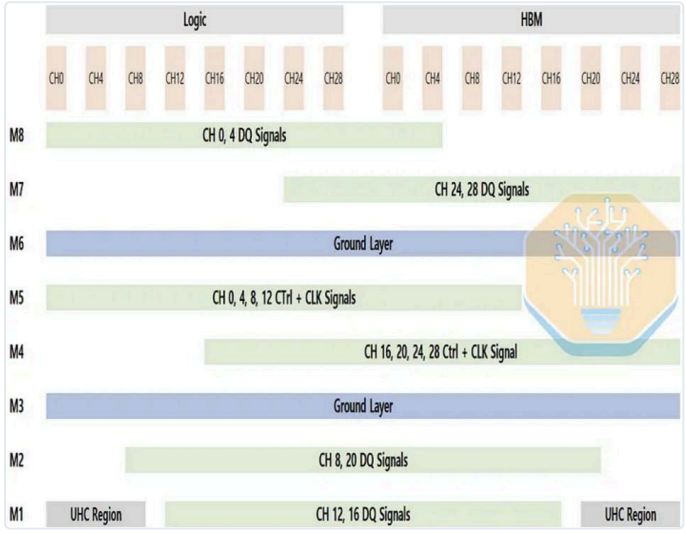


圖 2-2b | 平衡繞線：通道重新分層後，UHC 區域分佈於 M1 兩側，PDN 阻抗與電壓雜訊同步下降。來源：Samsung, ECTC 2026 (SemiAnalysis 轉載)

2.2 Marvell 客製 HBM：JEDEC 邊界的鬆動

JEDEC 標準固定了 HBM 堆疊與主晶片之間的介面——好處是互通（任何記憶體廠的 HBM 配任何相容主晶片），代價是功耗、效能與面積：主晶片必須實作標準 HBM PHY、繞出超寬平行介面，pad 位置與繞出規則全被綁死。客製 HBM（cHBM）的做法是：DRAM core die 不動，把 base die（堆疊底部的邏輯晶粒）改用先進邏輯製程客製化，將 HBM controller、介面邏輯、管理監控、甚至擴充介面全部搬進 base die。

Marvell 在 ECTC 首次給出封裝級數據：

項目	數據	意義
主晶片 HBM PHY 面積	−60%	釋放給運算、快取或 I/O
範例組態頻寬	1024 通道 @32Gb/s = 4.1 TB/s	等效 2048-bit JEDEC HBM4E @16Gb/s
中介層通道長度	6.5mm → 1.5mm	beachfront（繞出區）深度 −67%，壅塞大減
中介層材料	改用有機 RDL	比矽中介層便宜；9 層 2/2μm 維持不變即可增頻寬

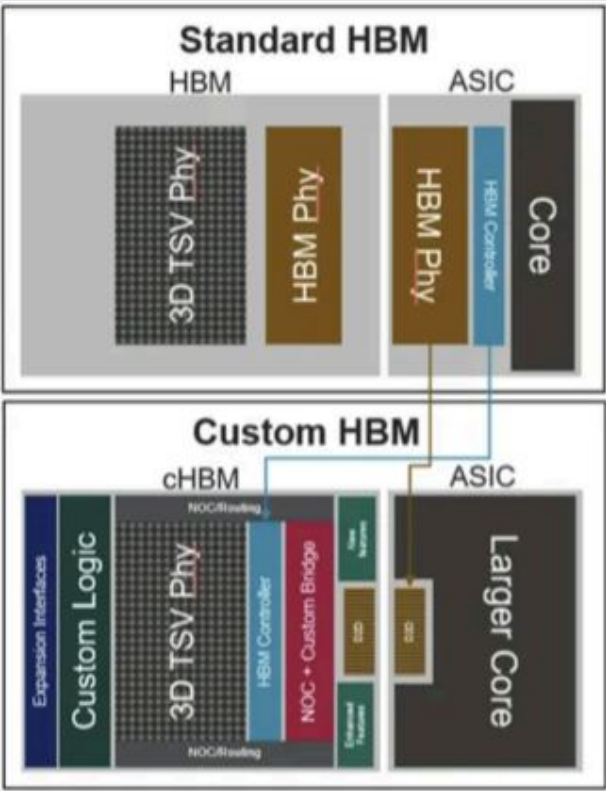


圖 2-3 | Standard vs Custom HBM 的 base die 與主晶片 floorplan 對比：cHBM base die 內含 Custom Logic、NOC+Custom Bridge、Expansion Interfaces，主晶片側 core 面積放大。來源：Marvell, ECTC 2026（SemiAnalysis 轉載）

2.3 NVIDIA Feynman 與那 16% 的 die 面積

這不是紙上架構：NVIDIA 已在 GTC 宣布 Feynman 世代採用客製 HBM。SemiAnalysis 估算 Rubin GPU 約有 16% 的 die 面積花在 HBM 相關邏輯與 PHY 上——cHBM 可以把這塊負擔移到 base die，換回等值的運算面積。此外 base die 還能作為第二記憶體控制器，向外擴充 LPDDR 或第二層 HBM 而不占用主晶片珍貴的邊緣繞出長度——這與 AMD MI450 / 未來 MI500 支援 LPDDR 擴容的路線直接相關。



圖 2-4 | 台積電 Rubin wafer 實照 (Computex 2026 展示)。SemiAnalysis 估 Rubin 約 16% die 面積為 HBM 邏輯與 PHY。攝影：SemiAnalysis

投資視角：base die 從 DRAM 製程升級為先進邏輯製程，等於在記憶體三雄之外新增一塊先進邏輯代工 TAM——台積電是天然受惠者（base die 代工 + GPU 面積釋放給運算 = 更高晶圓價值）。記憶體廠的 DRAM core 地位不變，但介面價值部分讓渡給邏輯代工與設計服務。

資料庫補充：HBM 的市場與產能背景

把客製 HBM 放進市場脈絡（本知識庫既有研究）：HSBC 估 2027 年 HBM 市場規模達 1,630 億美元、2024—27 位元需求年複合成長 67%；Google TPU v10 (Icelfish) 單顆將配置 16 顆 HBM4E，客製 ASIC 對 HBM4E 拉貨量極大。供給側，Morgan Stanley 的模型顯示三雄 TSV 產能 2026 年約 480k wpm → 2027 年約 610k wpm，且 HBM 占先進記憶體晶圓比例將從 2023 年約 6% 升至 2028 年約 34%——HBM 不只是新需求，更透過吃掉先進晶圓排擠傳統 DRAM（Chipflation 論點）。客製 HBM 讓 base die 移到先進邏輯製程，等於在這條緊繃的供應鏈上再疊一層「邏輯代工產能」的依賴。

2.4 TCB vs 混合鍵合的熱帳本

HBM 已是 2.5D 封裝的熱瓶頸：Samsung 拆解顯示 HBM 的內部熱阻占其總熱阻 57%（主晶片側僅 13%）。16 層堆疊尚可接受，20 層、24 層就需要新方案。Samsung 在模擬 Blackwell 級封裝（2 GPU + 8 HBM）上量化了混合鍵合（HCB，銅對銅直接接合）取代 TCB（熱壓接合，微凸塊 + 底膠）的效益：

- 堆疊級熱阻 -19%；提高接合 pad 密度到 2 倍 → -22.3%、4 倍 → -29.1%
- 系統級總熱阻改善較小（氣冷 -3.5%、液冷 -7.7%），因為 TIM 與冷卻系統仍占大頭

- 換算營運效益：進水溫可提高 1–2°C，或封裝功耗 +4%，或冷卻功耗 –7%
- cHBM 讓 base die 功耗放大後 HCB 優勢更大：base die 功耗 $\times 3$ 時 GPU–HBM 熱串擾占比從 13% 降到 5%，堆疊本身成為主導熱阻

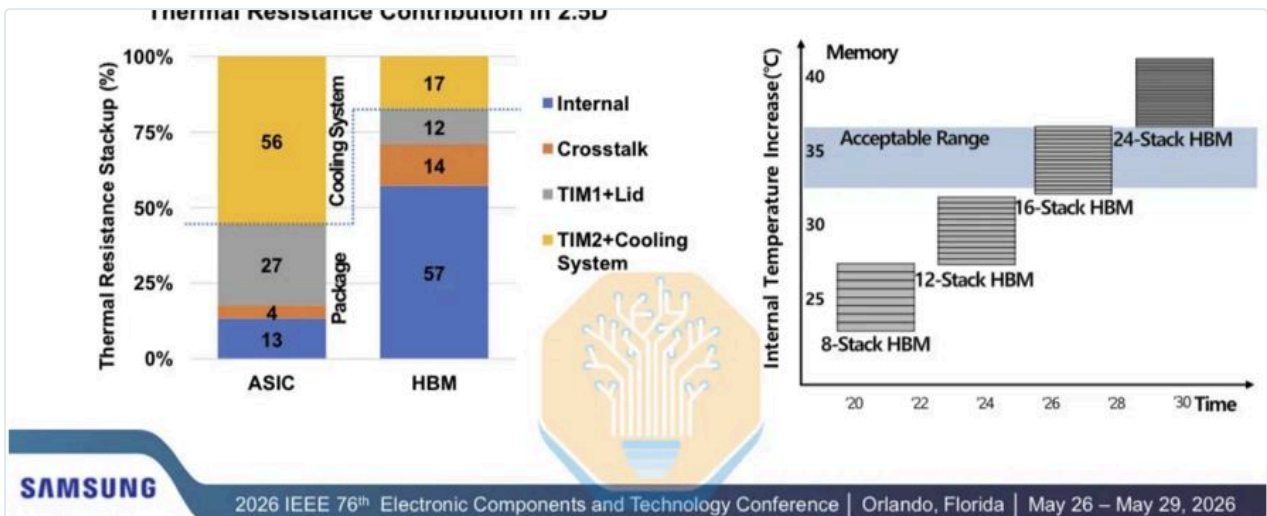


圖 2-5 | 左：2.5D 封裝熱阻貢獻拆解（HBM 內部熱阻占 57% vs 主晶片 13%）；右：HBM 堆疊數 vs 內部溫升——24 層堆疊將超出可接受範圍。來源：Samsung, ECTC 2026（SemiAnalysis 轉載）

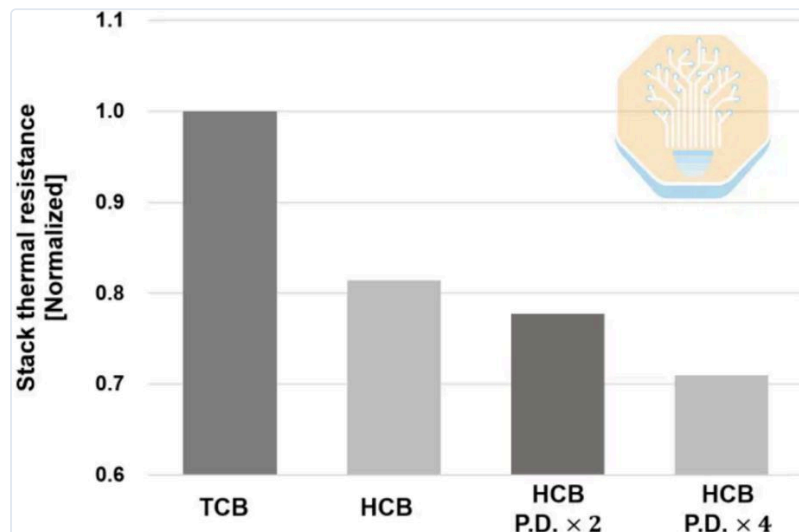


圖 2-6 | 堆疊熱阻（正規化）：TCB 1.0 $\rightarrow$ HCB 0.81 $\rightarrow$ HCB pad 密度 $\times 2$ 0.78 $\rightarrow \times 4$ 0.71。來源：Samsung, ECTC 2026（SemiAnalysis 轉載）

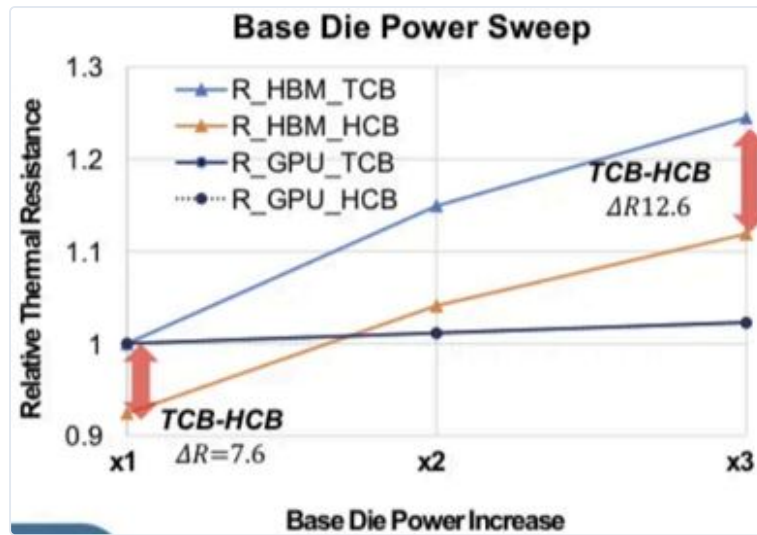


圖 2-7 | base die 功耗掃描 (x1→x3)：HBM 堆疊熱阻上升時，TCB 與 HCB 的差距從 7.6 擴大到 12.6——記憶體邏輯化 (cHBM) 越深，混合鍵合越必要。來源：Samsung, ECTC 2026 (SemiAnalysis 轉載)

3. 散熱戰線：冷卻液進入矽晶片

傳統散熱疊構是「晶片 → TIM1（導熱介面材料）→ 金屬蓋板 → TIM2 → 冷板」，每一層介面都是熱阻。當封裝功耗衝向 3kW 以上，TIM 成為無法繞過的瓶頸。本屆 ECTC 最重磅的兩篇論文——台積電與微軟——用不同方法做了同一件事：把冷卻液直接送進矽。

3.1 台積電 micropillar：實測 5.3kW

台積電在 CoWoS-R 平台（用有機中介層取代矽中介層的版本，翹曲容忍度與製程相容性較佳）做了大型 GPU 級測試載具：3.3x reticle 中介層 + 4 顆 SoC + 8 顆 HBM。做法是在 SoC 晶粒背面直接長出矽微柱（micropillar），讓冷卻液直接沖刷發熱源正上方的矽表面：

方案	散熱能力（40°C 去離子水）	限制
傳統帶蓋冷板（lidded）	1.9–2.3 kW @1–2LPM	>4LPM 後飽和——TIM 成瓶頸
無蓋冷板（lidless）	2.5–3.0 kW @1–2LPM	>4LPM 後飽和
micropillar 直達矽	4 kW @4LPM、5.3 kW @8LPM	流量越大越強，全載具均勻散熱 >5kW

工程挑戰在於：micropillar 必須在 chip-on-wafer 製程完成後成形而不損傷 CoWoS-R 結構，且需開發新密封材料對抗翹曲與熱膨脹失配。測試載具已通過 MSL4 濕度敏感度等級，無氮氣洩漏、無密封剝離。

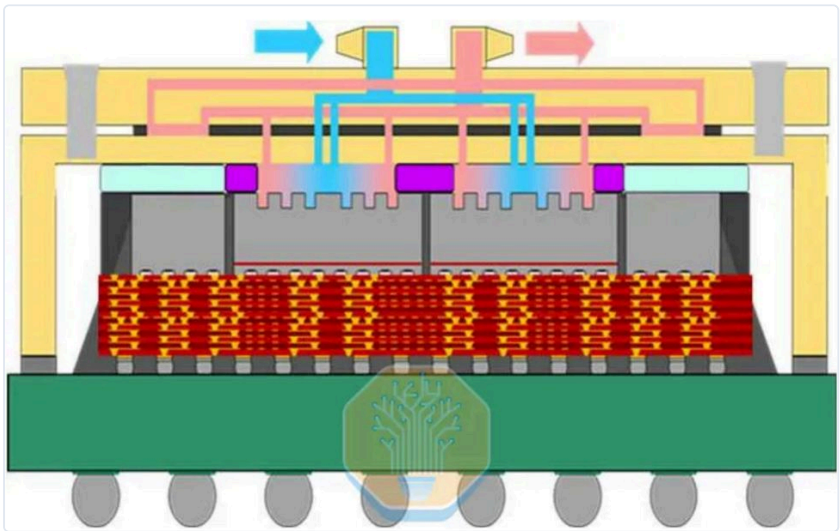


圖 3-1 | 直達矽冷卻封裝剖面示意：冷卻液（藍入紅出）流經晶粒背面的微柱齒狀結構。來源：TSMC, ECTC 2026 (SemiAnalysis 轉載)



圖 3-1a | 台積電 CoWoS-R 測試載具平面圖：4 顆 SoC（各含 4 組加熱器群）+ 8 顆 HBM 加熱器群，R1-R20 為熱感測器位置——SoC 加熱區約覆蓋中介層一半面積。來源：TSMC, ECTC 2026 (SemiAnalysis 轉載)

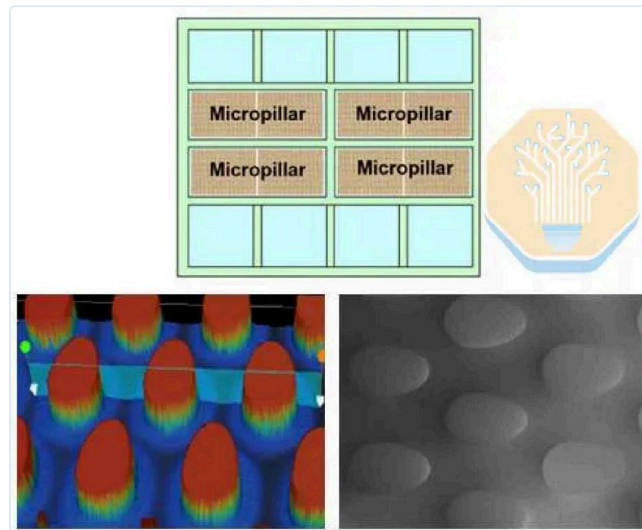


圖 3-2 | micropillar 佈局示意（上）與 3D 輪廓量測、SEM 實照（下）。來源：TSMC, ECTC 2026 (SemiAnalysis 轉載)

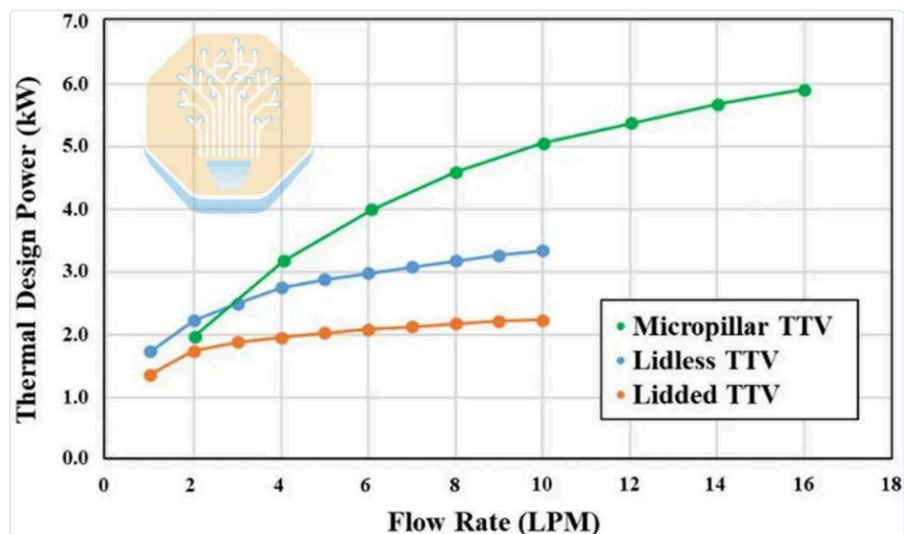


圖 3-3 | 散熱能力 vs 流量實測曲線：綠線（micropillar）持續上升至 ~5.9kW@16LPM；藍線（無蓋）與橘線（帶蓋）在 4LPM 後飽和。來源：TSMC, ECTC 2026 (SemiAnalysis 轉載)

3.2 微軟：直接在 GH200 上蝕刻微通道

微軟的做法更激進：直接把直線微通道蝕刻進 NVIDIA GH200 的 GPU 矽晶片背面，而且不用熱測試載具、直接用量產 GPU 實機跑 HPCG、HPL 等真實工作負載——這使其能捕捉真實的熱點分佈。結果：

- GPU junction-to-inlet 熱阻 **-51~60%** (@1LPM 流量)；HBM 改善較少 (-27~37%，因 HBM 仍走冷板 + TIM)；整體封裝熱阻 **-50%**
- 可靠度是本屆最珍貴的數據：6 個月、約 4,370 次觀測中僅 9 次潛在堵塞事件，且頻率隨時間遞減（安裝初期不穩、之後進入穩定期）；微通道無可量測的矽侵蝕；節點級通過 3 週反覆 benchmark + 1 週連續運轉
- 叢集級 MTBF（平均故障間隔）與可用性仍在測試中

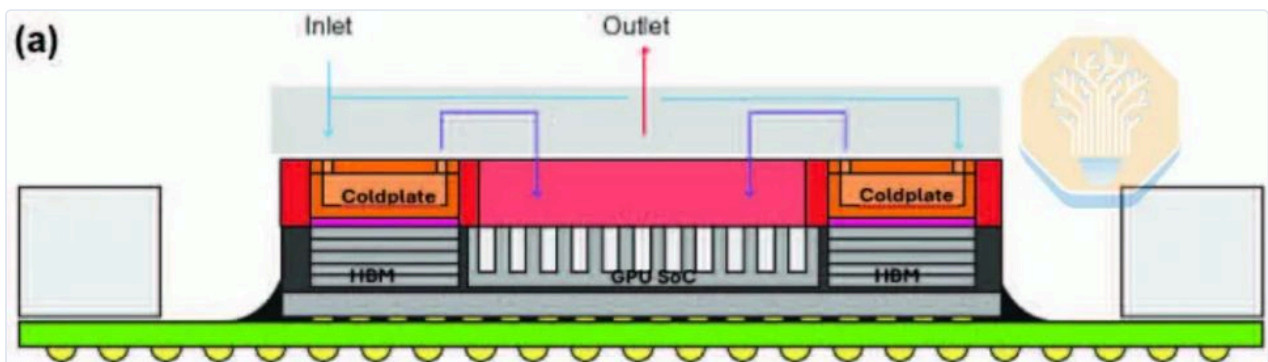


圖 3-4 | 微軟 GH200 微流道冷卻組裝剖面：Inlet/Outlet 流道，兩側 Coldplate 冷卻 HBM，中央 GPU SoC 走蝕刻微通道。
來源：Microsoft, ECTC 2026 (SemiAnalysis 轉載)

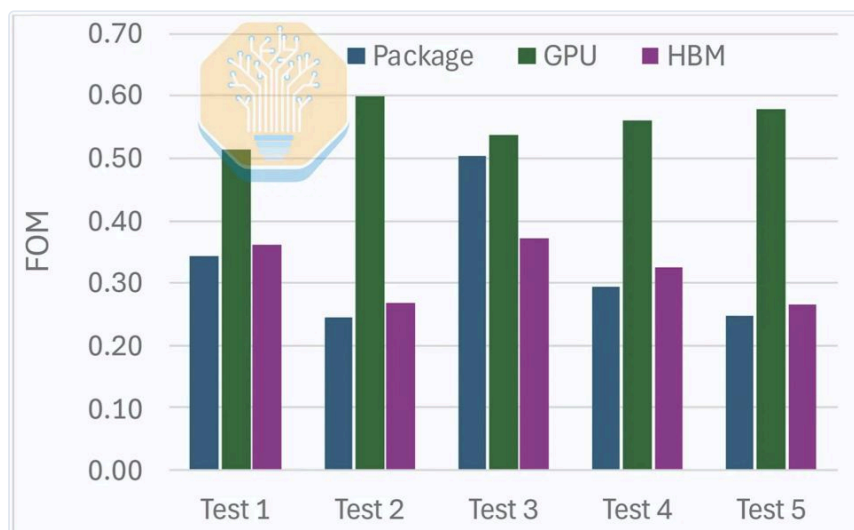


圖 3-4a | GH200 五種工作負載下的熱阻 FOM（越低越好）：GPU（綠）改善最大、HBM（紫）次之、封裝整體（藍）居中——因 HBM 仍走冷板 + TIM 路徑。來源：Microsoft, ECTC 2026 (SemiAnalysis 轉載)

為什麼重要：微軟的數據代表 hyperscaler 已在真 GPU 上跑真工作負載並累積六個月可靠度統計——微流道冷卻不再是「2028 以後的論文題目」。若叢集級 MTBF 過關，導入曲線可能比業界普遍預期更早。對散熱供應鏈的長線意涵見第 6.3 節。

3.3 TIM 材料的過渡期升級

直達矽冷卻會完全移除 TIM1，但多數近期系統仍需要更好的「矽對均熱片」介面材料。台積電封測夥伴矽品（SPIL）在 55mm×55mm FO-EB 封裝上實測了鎢基液態金屬複合材料：

- **HS-TIM**（液態金屬+矽膠基質）：導熱 5.7 W/m·K；**HCF-TIM**（液態金屬+碳纖維）：**10 W/m·K**（商用矽膠 TIM 約 4 W/m·K）
- 可靠度分化：150°C 烘烤 1,000 小時後，HCF-TIM 維持 95% 覆蓋率、HS-TIM 掉到 75%（矽膠基質硬化局部剝離）——**HCF-TIM 性能與可靠度雙優**
- 更前瞻：Purdue / Aveiro / UCLA 把 Cu/Sn 微凸塊嵌入奈米晶鑽石，互連層面內導熱 500—600 W/m·K（約傳統微凸塊+底膠的 20 倍）——不是取代 TIM1，而是讓熱在 3D 堆疊的互連層內橫向擴散（仍屬早期）

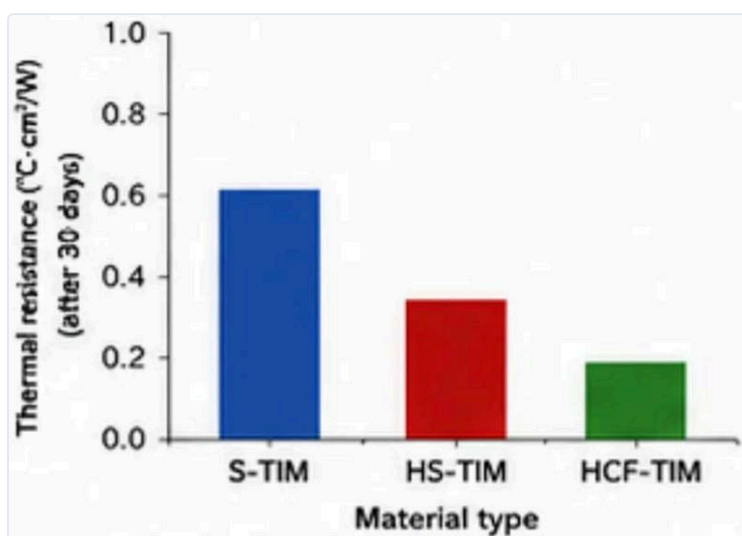


圖 3-5 | 三種 TIM 老化 30 天後的熱阻：傳統 S-TIM 0.61、HS-TIM 0.34、HCF-TIM 0.19 °C·cm²/W。來源：SPIL, ECTC 2026（SemiAnalysis 轉載）

3.4 資料庫補充：散熱路線圖上的位置

本知識庫的封裝級散熱路線圖：Direct-to-Chip 冷板（2025—26 主流，2,000W 級）→ MCCP 微通道冷板（2026 量產）→ MCL 微通道蓋板（2H26—27，3,000W+）→ **晶片內微流道（2028+，5,000W+ 的終極目標）**。ECTC 2026 的意義在於把最後一格從「理論」推進到「實測+實機可靠度」：台積電載具實測突破 5kW、微軟在量產 GPU 上累積六個月運轉數據。另一條佐證線：微軟 2025 年 9 月已公開與瑞士新創 Corintis 合作的 AI 仿生葉脈微通道設計——散熱效率達傳統冷板 3 倍、GPU 矽溫升最高降 65%。ECTC 這篇是同一路線的工程化續集。NVIDIA Rubin 世代 GPU 功耗已進入 1.8—2.3kW 級，Rubin Ultra 之後的世代將把「5kW 封裝怎麼冷卻」從選擇題變成必答題。

4. 光互連戰線：把光做進封裝

共封裝光學（CPO）與光子中介層是本屆另一大主題。電訊號在封裝基板上跑得越遠、越快，損耗與功耗越難看；把光收發器搬進封裝、甚至讓中介層本身變成光路，是 scale-up 網路頻寬的長期解方。ECTC 2026 展示了兩條激進程度不同的路線。

4.1 Marvell OMIB：只在需要的地方放光

OMIB（Optical Multi-Chip Interconnect Bridge）與 Photonic Fabric 技術來自 Marvell 2025 年底收購的 Celestial AI。相較於「整片光子中介層」，OMIB 的想法是 PIC（光子晶片）只在需要處局部內嵌於有機 RDL 中介層，其他區域用電橋——避開多 reticle 光子中介層的良率 / reticle 拼接問題，也保留放置高密度電容的空間。

- PIC 內嵌後光柵耦合器會被封裝膠遮蔽 → 在光柵區上方放矽 / 玻璃光學塊維持垂直光路，頂部接光纖陣列（FAU）
- 測試載具：1 顆 XPU+6 顆 EIC，中介層內嵌 6 PIC+6 電橋+12 DTC；約 2x reticle 的有機 RDL（4 層 2/2 μ m）；chip-last 製程（類似 CoWoS-L）
- 宣稱頻寬密度 1.8 Tbps/mm²；同一座橋可同時承載封裝內 die-to-die 與對外光互連，消除 shoreline（晶粒邊緣繞出）限制

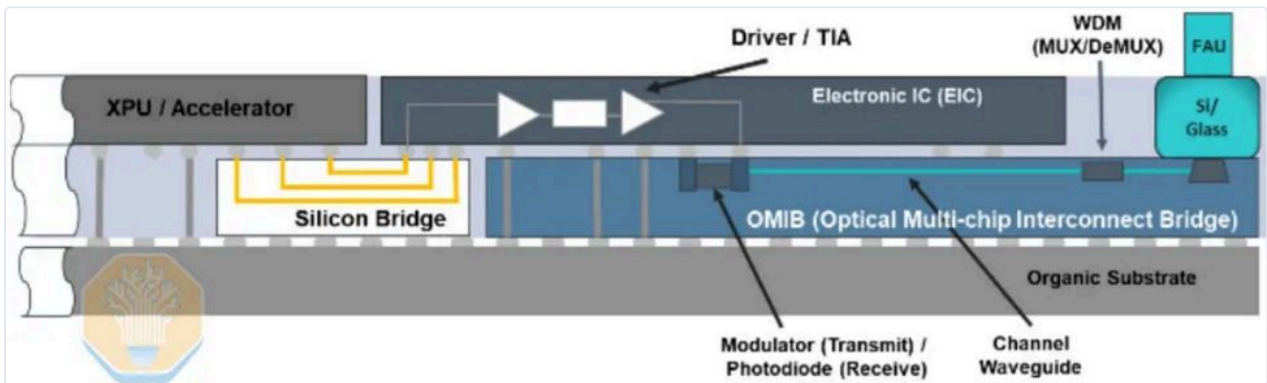


圖 4-1 | OMIB 封裝概念剖面：XPU、EIC（Driver/TIA）、矽橋、內嵌 PIC 的 OMIB（含調變器/光偵測器與通道波導）、WDM、FAU、有機基板。來源：Marvell, ECTC 2026（SemiAnalysis 轉載）

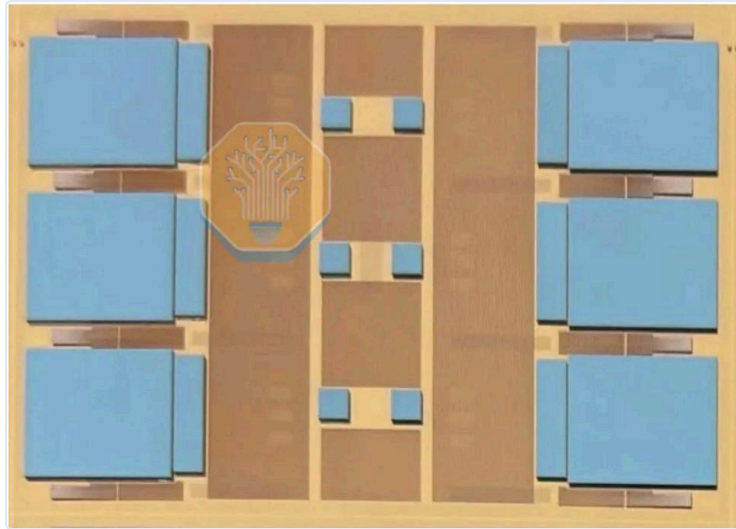


圖 4-2 | 有機 RDL 中介層實照：PIC（大藍矩形）、電橋（細藍條）、DTC（小藍方塊）附著完成。來源：Marvell, ECTC 2026 (SemiAnalysis 轉載)

Marvell 還展示了概念性的多晶粒 XPU：四顆 XPU 透過 OMIB 做晶片間光互連以降低延遲與跳數，光路匯聚到單一 FAU 對外。製程流程為 chip-last（類似台積電 CoWoS-L）：先做含嵌入橋、PIC、DTC 的有機 RDL 中介層（C4 凸塊接基板），再以橋 TSV 與高銅柱連 RDL，最後貼 ASIC 與 EIC。

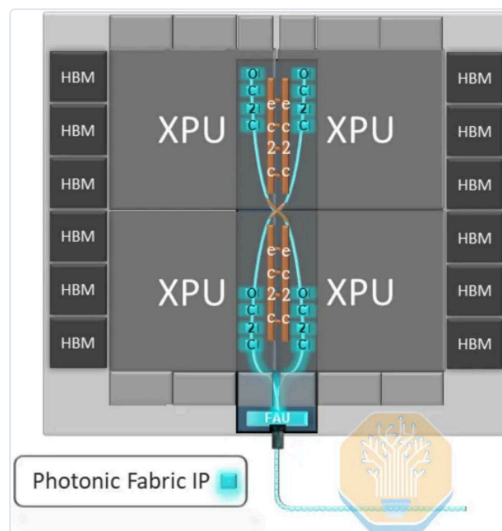


圖 4-2a | OMIB 四 XPU 概念圖：每顆 XPU 配 6 顆 HBM，中央 OMIB 承載 XPU 間光互連（青色光路）並經 FAU 對外。來源：Marvell, ECTC 2026 (SemiAnalysis 轉載)

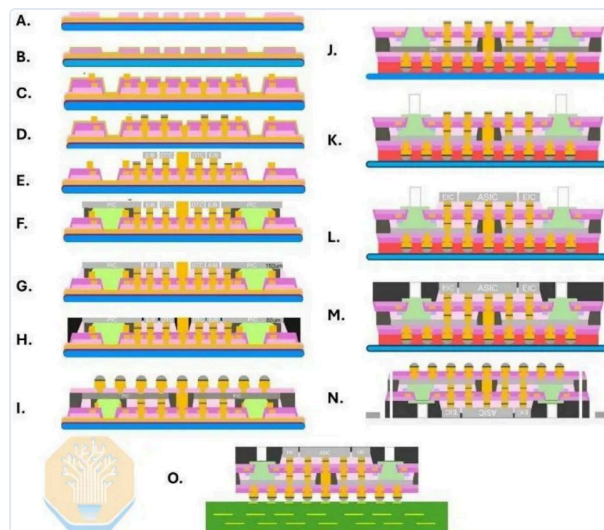


圖 4-2b | 2.5D OMIB 整合製程流程 (A–O 步驟剖面)：RDL 成形 → 嵌入 PIC / 電橋 / DTC → 銅柱與 TSV 連接 → chip-last 貼合 ASIC 與 EIC → 接基板。來源：Marvell, ECTC 2026 (SemiAnalysis 轉載)

4.2 EAM vs MRM：路線之爭與熱的裁決

Marvell 的光引擎測試晶片用 5nm EIC、4 組 56Gb/s 收發對（單向 224Gb/s），調變器選了 **EAM**（電吸收調變器）而非多數同業偏好的 **MRM**（微環調變器），理由是熱穩定性與更寬的工作波長範圍。SemiAnalysis 的評註：這些優勢是真的，但 **EAM 要大規模量產很難**。

Marvell 同場給出的熱數據很有裁決性——光引擎放在哪裡，直接決定 PIC 的熱環境：

光引擎位置	全 XPU 負載下 PIC 溫升	暫態速率
封裝基板上 (UCle-S、130μm C4)	<5°C	~10°C/s
矽橋上 (UCle-A)	~20°C	~100°C/s
矽中介層上 (UCle-A)	~25°C	~120°C/s

有機基板的低熱導與毫米級氣隙反而成了隔熱優勢；細 pitch 的矽是導熱高速公路。Marvell 因此偏好基板配置——簡單、熱隔離好；且 EAM 的偏壓可以用電子方式快速追蹤溫度暫態，MRM 則被 heater 回授迴路的時間常數綁住。

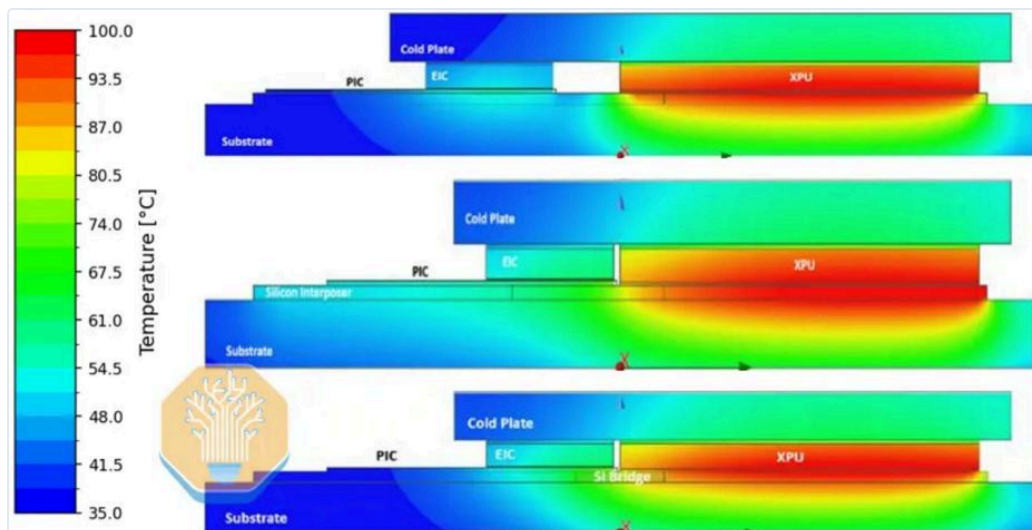


圖 4-3 | PIC 穩態溫度模擬三剖面（上：基板上；中：矽中介層；下：矽橋），溫標 35–100°C——基板配置的 PIC 明顯最冷。來源：Marvell, ECTC 2026（SemiAnalysis 轉載）

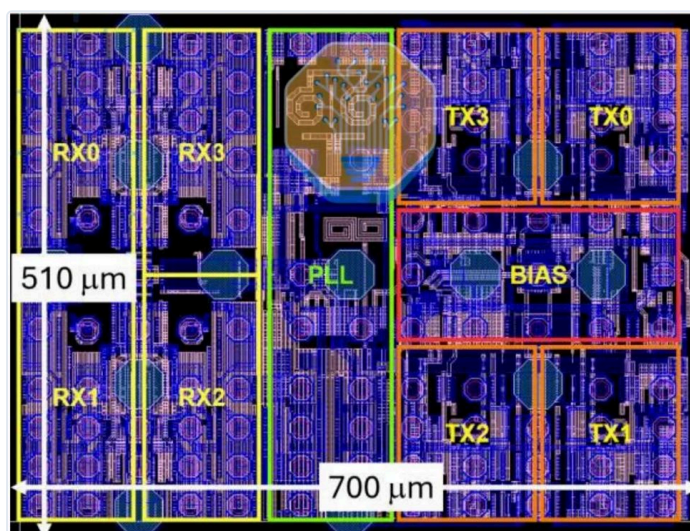


圖 4-3a | Photonic Fabric 光引擎 EIC 測試晶片 layout 實圖：510×700μm，四組 TX–RX 對（各 56Gb/s）、PLL 與 BIAS 區塊。來源：Marvell, ECTC 2026（SemiAnalysis 轉載）

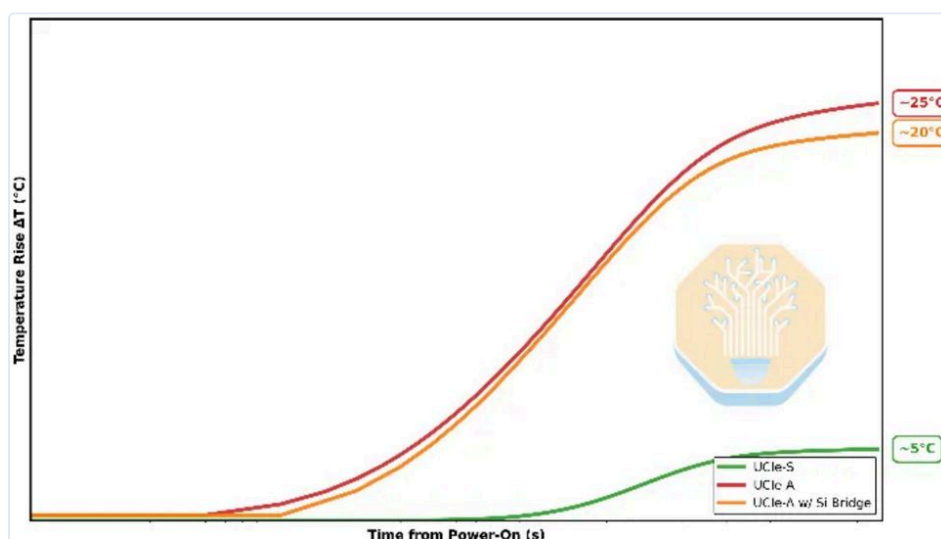


圖 4-3b | PIC 暫態溫升曲線（XPU 開機後）：UCle-S 基板配置最終僅 ~5°C，UCle-A 中介層 ~25°C、矽橋 ~20°C；熱暫態發生在功率狀態切換後 ~30ms 內。來源：Marvell, ECTC 2026（SemiAnalysis 轉載）

4.3 Lightmatter Passage M1000：全光子中介層的組裝實戰

Lightmatter 走最激進的路線：讓中介層本身就是多 reticle 的光子晶片。ECTC 首次深入揭露 M1000 的組裝製程與結果：

- 15 顆 ASIC chiplet 以 chip-on-wafer 貼合到 4-tile 中介層（約 2,100mm²，是 Hot Chips 2025 展示的 8-tile 4,000mm² 版本之半）；每 tile 32 條光波導 @127μm 間距
- 翹曲是核心工程問題：118μm 薄的巨大矽中介層貼到有機基板上，260°C 回焊時翹曲 ~59μm、冷卻回室溫仍有 ~56μm——足以毀掉 C4 接點。解法是**磁性夾具**壓平基板進行貼合，最終電性組裝良率 >95%
- 熱驗證：四象限各 170W（1.47W/mm²）、25°C 冷卻液下中介層約 100°C——驗證 680W 散熱，封裝設計目標 >900W

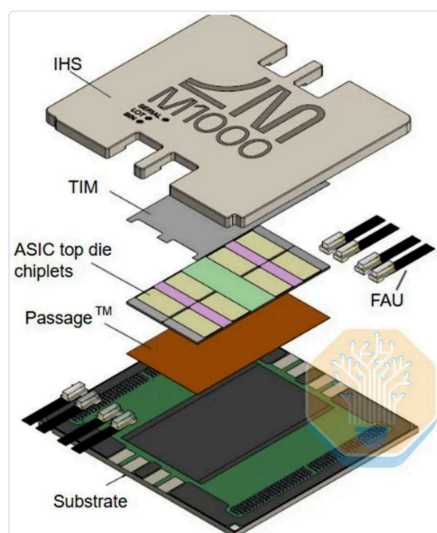


圖 4-4 | Passage M1000 爆炸分解示意：IHS（刻 M1000 字樣）、TIM、ASIC top die chiplets、Passage 光子中介層、基板與 FAU。來源：Lightmatter, ECTC 2026（SemiAnalysis 轉載）

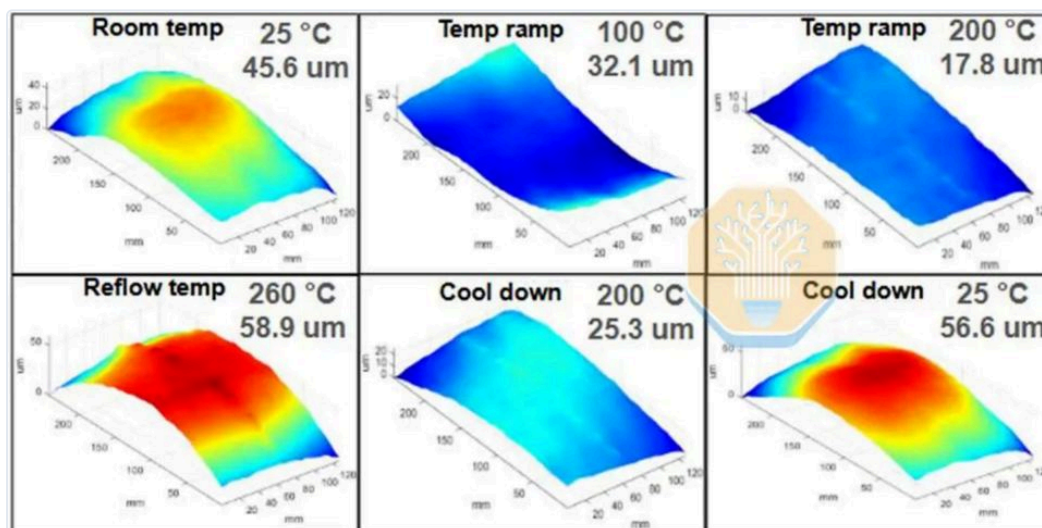


圖 4-5 | M1000 封裝翹曲 3D 量測六階段：室溫 45.6μm → 100°C 32.1μm → 200°C 17.8μm → 260°C 回焊 58.9μm → 冷卻 200°C 25.3μm → 回室溫 56.6μm。來源：Lightmatter, ECTC 2026（SemiAnalysis 轉載）

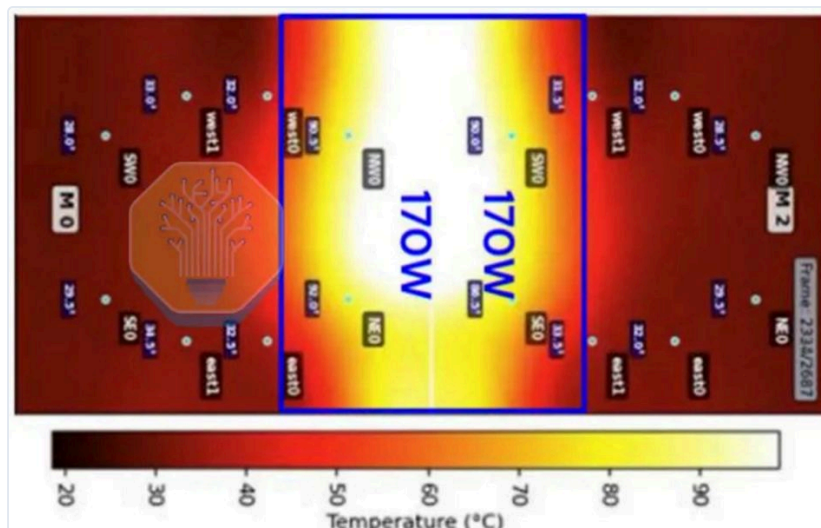


圖 4-6 | Lightmatter 熱測試紅外熱圖：兩個象限各施加 170W，周邊感測點溫度標註，溫標 20–90°C+。來源：Lightmatter, ECTC 2026 (SemiAnalysis 轉載)

SemiAnalysis 的判斷：近期最可行的封裝內光互連仍是「垂直堆疊光引擎」（如台積電 COUPE）——OMIB 式連接與全光子中介層屬於更後面的世代。兩家的熱數據其實指向同一結論：PIC 放哪裡＝熱設計問題，光引擎放基板側是近期主流。

4.4 資料庫補充：與台股 CPO 供應鏈的連動

SemiAnalysis「近期最可行是垂直堆疊光引擎」的判斷，與本知識庫的台股 CPO 主線一致：台積電 COUPE 平台（EIC 垂直堆疊在 PIC 上）是台股光通訊測試 / FAU 鏈（穎崴、旺矽、上詮、波若威等）既有佈局所繫。最新通路查核（Morgan Stanley 2026-07-05 CPO 供應鏈更新，本次同批 ingest）：台積電 PIC 產能規劃 10k → 15k → 25k wpm 逐年放大、FOCI（上詮）CPO 產品 2026 年 7 月起進入量產——放量節奏與 ECTC 的技術路線判斷互相呼應。此外，2024–26 的光通訊併購潮（Marvell 以 23 億美元購 Celestial AI、NVIDIA 入股 Lumentum / Coherent 各 20 億美元等）說明封裝內光互連已是 IDM / IC 設計 / hyperscaler 的共同戰場，OMIB 與 M1000 是這場競賽公開度最高的兩張牌。

5. 基板與其他亮點

5.1 玻璃基板：光環變暗的一年

SemiAnalysis 直言：「玻璃的光環今年略為黯淡」——ECTC 上的創新論文變少，未解的核心問題仍是 SeWaRe（切割邊緣起始的側向裂紋）：玻璃切單後，RDL 應力會讓裂紋從邊緣往內橫向擴展。本屆相關進展：

- Corning 用有限元素、peridynamics 與解析斷裂力學建模：剛性銅層把裂紋推向玻璃中面、柔性聚合物層可改變裂紋路徑；低 CTE 聚合物 + 正確玻璃選型可降風險
- STATS ChipPAC：74x74mm 玻璃芯封裝不做邊緣塗佈時每項可靠度測試全數失敗；加邊緣塗佈後全數通過、翹曲再 -33.5%——邊緣塗佈與 build-up pull-back 漸成玻璃芯組裝的必要條件
- Intel 展示業界首發 510x515mm、24 層（10-2-10）玻璃芯 panel：TGV 全銅填孔 + 內嵌 2 個 EMIB 橋 + TGV 間共形成光波導，在既有有機載板產線加工，切單後熱衝擊測試無 SeWaRe
- Amkor / STATS ChipPAC（OSAT 採用方）：較薄玻璃芯比有機參考基板翹曲低 30-40%，但組裝缺陷與 TGV 填孔問題顯示製程仍未成熟

結論：本屆數據支持「製造開發階段」定位，而非高量產導入。（與台股供應鏈熱度的對照見第 6.2 節。）

資料庫補充——為什麼大家仍前仆後繼：郭明錤（2026-06-11）拆解過玻璃芯的價值邏輯：玻璃核心變薄 → TGV 垂直通道變短 → 電阻與迴路電感雙降 → 電源完整性提升 → 釋放 power headroom → 更多電晶體 / 更高時脈——客戶付的是「AI 算力溢價」而非製造效率溢價。成本面：玻璃單片雖比 ABF 貴數倍，但基板僅占 AI 晶片 BOM 的 1-5%，而封裝良率損失金額常達基板成本的 5-10 倍——玻璃若能提高封裝良率，高單價不構成採用障礙。野村（2026-05-21）則給出量產門檻：試產期 TGV 收費 400-500 美元 / 片、整片玻璃芯基板可能超過 1,500 美元（大尺寸 ABF 約 200 美元），量產至少需降到 400 美元 / 片。ECTC 的 SeWaRe 與 TGV 填孔數據，正是這條降本曲線目前卡住的位置。

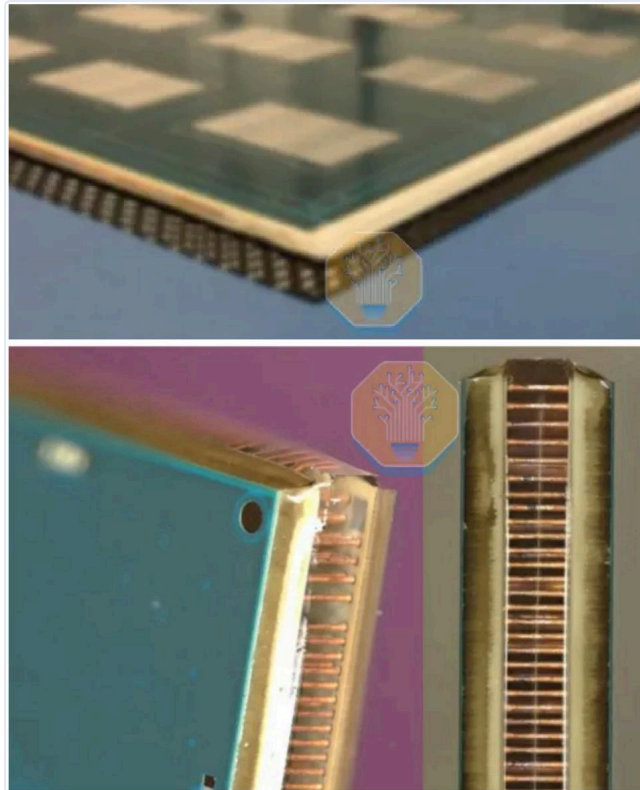


圖 5-1 | Intel 510x515mm 24 層玻璃芯 panel 實照（上：斜視角）與 TGV 剖面特寫（下：銅填孔陣列）。來源：Intel, ECTC 2026（SemiAnalysis 轉載）

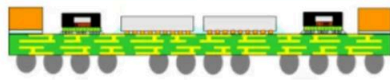
Category		Organic TV	Glass TV
Items			
PKG	Configuration		
	Size	74x74mm	
	Lid Size/ Thickness	73.4x73.4mm/ 2.5mmT	
Die	Size	25x25mm (X2)	
	Bump Pitch	130um	
Memory	Size	15x10mm (X6)	
	BGA Pitch	0.4mm	
Substrate	Layer #	14L(6-2-6)	8L(3-2-3)
	Core / Thickness	E705G / 1.2mm	Glass / 0.6mm
	PTH/TGV Size	150um	90um
	ABF Material	GL102	
	Thickness	1.81mm	0.92mm

圖 5-2 | STATS ChipPAC 74x74mm 有機 vs 玻璃測試載具規格對照：玻璃芯 8 層（3-2-3）、core 0.6mm、TGV 90μm、總厚 0.92mm，對比有機 14 層（6-2-6）、總厚 1.81mm——同功能下玻璃薄一半、層數省 43%。來源：STATS ChipPAC, ECTC 2026（SemiAnalysis 轉載）

5.2 去中介層架構群起

當封裝尺寸超出圓形矽中介層的實務極限，越來越多廠商提出「不要中介層」的整合方案：

廠商	方案	亮點
Intel + 矽品 (SPIL)	FO-EB 內嵌 SRAM chiplet	SRAM 埋進嵌入橋層、25 μ m 微凸塊垂直連邏輯晶粒；>265 GB/s/mm ² @0.24 pJ/b
Resonac	panel 級乾膜嵌入橋中介層	320×320mm panel、5 μ m 微孔、2/2 μ m L/S 各製程模組展示
ASE (日月光)	panel RDL	600×600mm panel 製作 RDL 後分割為四片 300×300mm 以既有設備組裝；3 層 RDL 5/8 μ m
IBM	DBrM (Direct Bridge Multi-die)	chiplet 先沿邊緣「黏合」成剛性次組件再接 30 μ m pitch 矽橋；抗彎 >30N (前代底膠結構僅 0.2N)
欣興 (Unimicron)	無中介層矽橋 (模擬研究)	兩顆 chiplet 經下方薄矽橋直連 + 直接貼基板，不需中介層也不需嵌入橋；作者 John H Lau 等

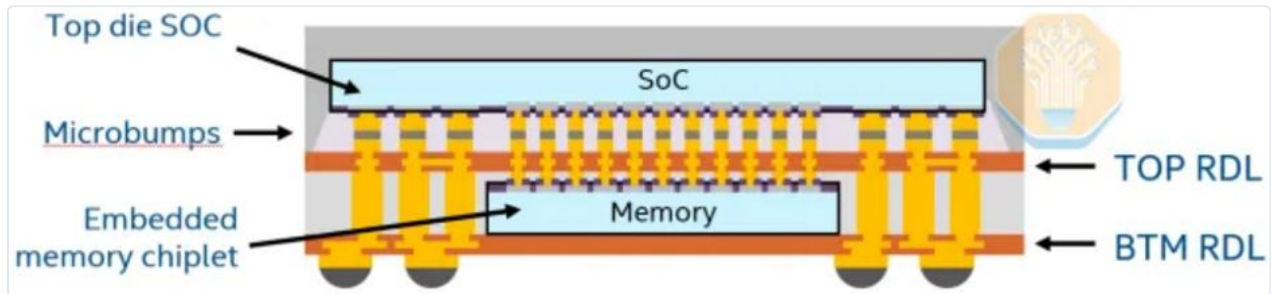


圖 5-2a | Intel+SPIL FO-EB 內嵌記憶體 chiplet 剖面示意：SRAM 埋在 TOP/BTM 兩層 RDL 之間，經 25 μ m pitch 微凸塊垂直連上方 SoC。來源：Intel & SPIL, ECTC 2026 (SemiAnalysis 轉載)

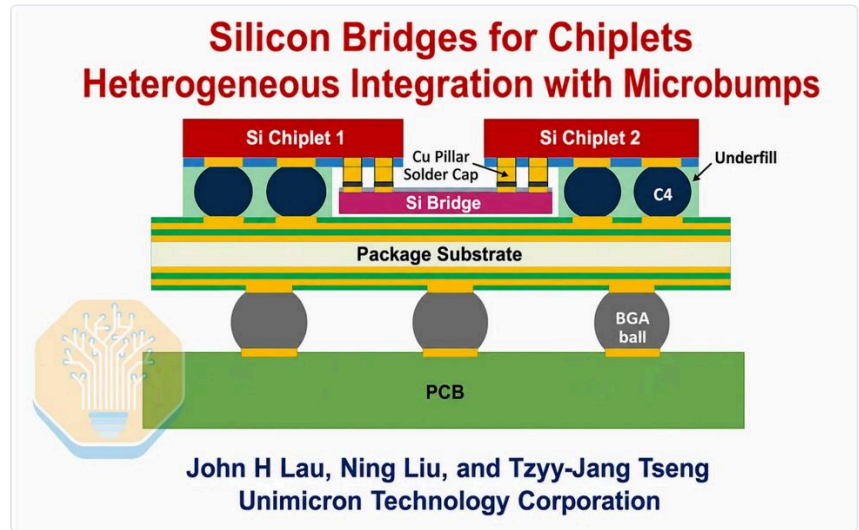


圖 5-3 | 欣興 ECTC 2026 投影片：Si Chiplet 1/2 經 Si Bridge (Cu Pillar+Solder Cap) 互連並以 C4 直接接基板，標示 underfill 與 BGA ball。台灣載板廠向上做封裝架構設計的訊號。來源：Unimicron, ECTC 2026 (SemiAnalysis 轉載)

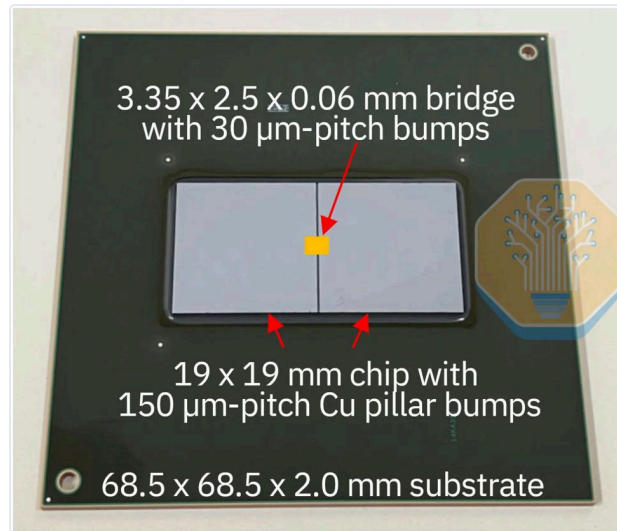


圖 5-4 | IBM DBrM 實照：68.5×68.5mm 基板上兩顆 19×19mm 晶片（150μm pitch 銅柱），中央 3.35×2.5×0.06mm 矽橋（30μm pitch）。來源：IBM, ECTC 2026（SemiAnalysis 轉載）

5.3 混合鍵合：低溫化與 450nm pitch

混合鍵合（銅對銅直接接合）仍是 HPC 最細 pitch、最高密度的互連，公開難題是「介面要極平極淨、鍵合溫度還要往下降」。兩條材料路線突出：**有機介電質**（機械柔順、容忍微粒與粗糙度：Mitsui+ASE 做到 200°C 無壓力 10μm pitch；TOK + 陽明交大 150°C、10 秒鍵合）與**細晶銅**（晶界密度高、低溫就能擴散：Intel 175/200°C 退火均勻鍵合）。最激進的 pitch 來自 Applied Materials+EV Group：**450nm pitch 晶圓對晶圓鍵合、2,000 萬鍵結 98% 良率**（失效與銅面 BTA 碳殘留相關，PVD TaN/Ta 阻障層顯著改善）；CEA-Leti 則做到 100°C 退火（免電漿活化）>97% 良率。SemiAnalysis 預期 2027 起材料與設備商持續改善 post-bond 良率。

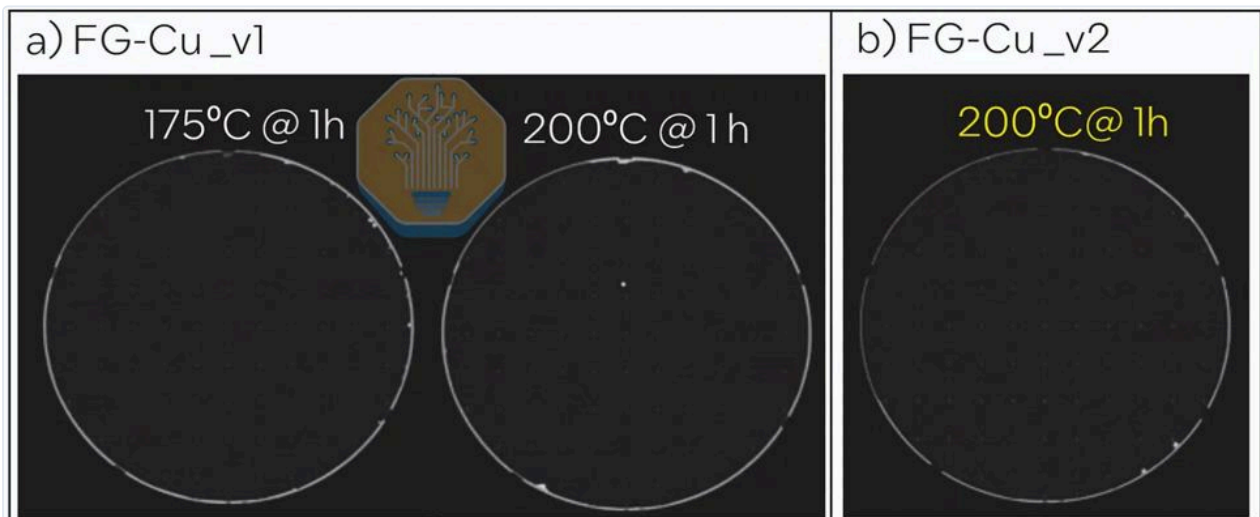


圖 5-5 | Intel 細晶銅 C-SAM 鍵合檢測圖：FG-Cu v1（175°C 與 200°C 各 1 小時）與 v2（200°C 1 小時）晶圓均無空洞。來源：Intel, ECTC 2026（SemiAnalysis 轉載）

5.4 RDL 微縮與 UCle 3.0

封裝越做越大，RDL 線寬卻越縮越細，驅動力是 UCle 3.0（最高 64 GT/s 的 die-to-die 標準）。路線：10/10 μ m（2015 年前後）→ 2/2 μ m（現況）→ 1/1 μ m（下一目標）；sub-2 μ m 銅製程正從半加成法（SAP）轉向 damascene（大馬士革，先挖溝再填銅磨平），CMP 與低收縮介電質成為關鍵步驟。各家進度：Resonac 在 320×320mm 玻璃 panel 做到 2/2 μ m 四層；imec+Fujifilm 在 300mm 晶圓推進到 1/1 μ m；Ushio 以 16 次曝光覆蓋 510×515mm panel、1.5/1.5 μ m 跨 18-reticle 無拼接。

台廠亮點：創意電子（GUC）與台積電合作，在 8 層 CoWoS-R RDL（平台近期上限）整合 64-bit UCle-A 介面（TSMC N3 測試晶片、45 μ m bump pitch、6 層 2/2 μ m 訊號+1 層電源），32 GT/s 實測眼寬 0.77 UI、模擬 36 GT/s 0.74 UI——證明有機中介層足以承載高速 chiplet 系統的訊號與電源完整性要求。

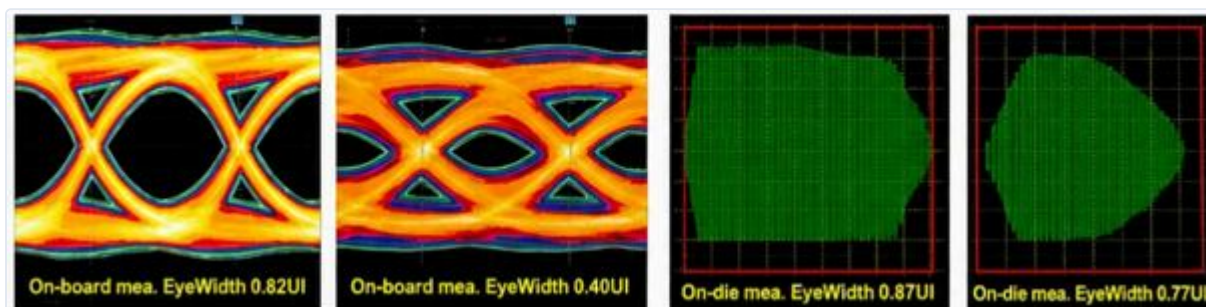


圖 5-6 | GUC UCle-A 眼圖：板上實測 0.82UI / 0.40UI、晶粒上實測 0.87UI / 0.77UI（16 與 32 GT/s）。來源：GUC, ECTC 2026（SemiAnalysis 轉載）

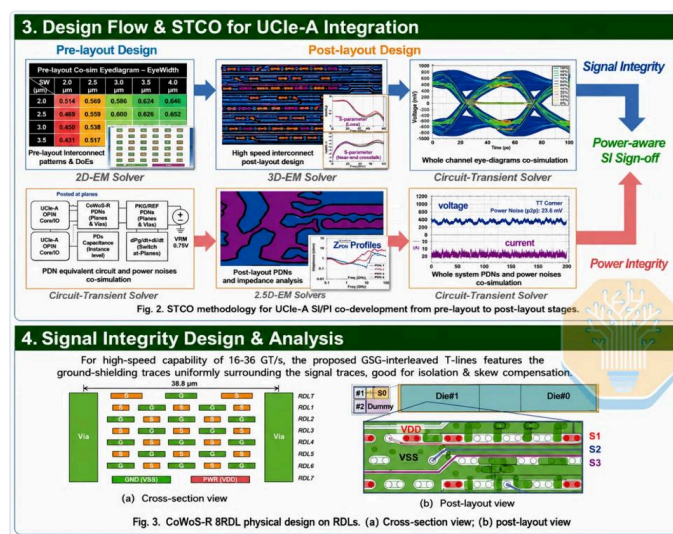


圖 5-6a | GUC 的 STCO（系統技術協同最佳化）設計流程：pre-layout 2D-EM 掃描線寬 DoE → 3D-EM 後佈局驗證 → 全通道眼圖與 PDN 雜訊共模擬；下半部為 CoWoS-R 8 層 RDL 的 GSG 交錯傳輸線剖面。來源：GUC, ECTC 2026（SemiAnalysis 轉載）

5.5 Samsung VCS：不用 TSV 的堆疊 DRAM

Samsung 展示 VCS（Vertical Cu post Stack）：4 層 DRAM 以埋在封裝膠體內的極高深寬比銅柱（pitch <56 μ m、寬 <30 μ m）垂直互連——完全不用 TSV、也不用打線，並以 RDL 取代封裝基板。效益：功耗 -41%（0.646→0.384W）、最大速率 8.6→11.8 Gb/s（功耗僅 +8%）、封裝高度與佔位各 -40%、頻寬 2.6

倍、I/O 數 6 倍。Samsung 定位在手機 on-device AI 記憶體，但 SemiAnalysis 認為此路線也適用於 AI 加速器與伺服器 CPU 的高密度記憶體模組（如 SOCAMM 類）。

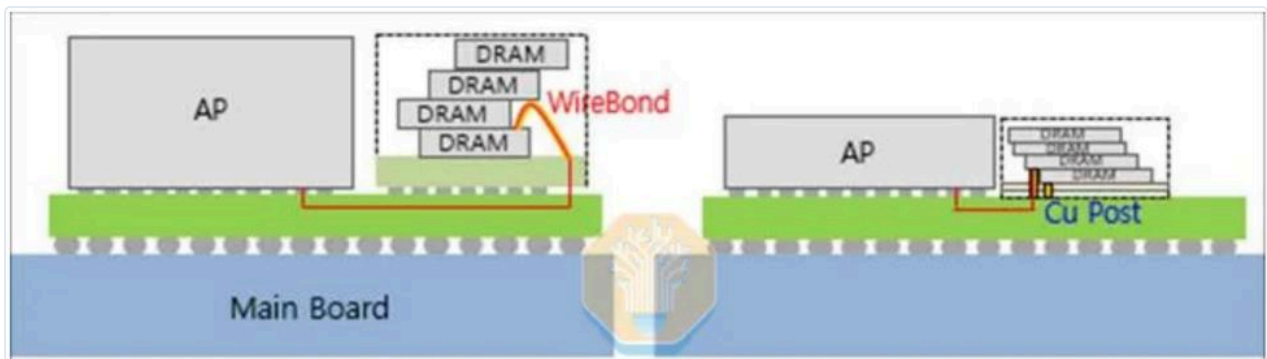


圖 5-7 | 傳統打線 DRAM 堆疊（左，金線下彎接基板）vs Cu Post 堆疊（右，銅柱垂直互連、更矮更省面積）。來源：Samsung, ECTC 2026（SemiAnalysis 轉載）

6. 結合資料庫：台股供應鏈判讀與觀察清單

本章把 ECTC 2026 的一手技術訊號，與本知識庫近期累積的供應鏈研究（凱基 ABF 載板論壇 2026-07-02、定錨產業筆記玻璃基板供應鏈調查 2026-07-06、散熱產業研究等）交叉比對。

6.1 與 ABF 載板供需模型的交叉驗證

本知識庫既有的 ABF 載板供需模型（凱基 + 定錨，2026-07 初）核心論點是：AI 晶片尺寸巨量化（Blackwell 14 層 80×80mm → Rubin 18 層 95×98mm → Rubin Ultra 22 層 120×150mm）疊加 EMIB-T 良率損耗，使 2027 年起 ABF 供給缺口實質存在（佔 26—30%）。ECTC 2026 從技術面直接佐證了這條邏輯鏈：

- **EMIB-T 把大面積繞線推回 ABF 載板**（第 1 章）——Intel 揭露的橋規格越成熟，載板層數與細線寬需求越確定。供應鏈端「EMIB-T 產線資本支出 2 倍於一般載板、載板段良率僅 20—50%」的說法，與 Intel 自己展示的 quarter-panel 翹曲問題互相印證：良率損耗會實質吃掉產能；
- **時程錨點對齊**：Intel「2026 年底完成 36/35µm @4.5× reticle 認證」，與供應鏈傳出的 Google TPU（聯發科 Humufish，2027 年推出）採用 EMIB-T 的時間表一致；
- **瓶頸換位=設備機會**：微縮限制從橋本身轉移到「bump 成形、置件精度、組裝良率」，對應 EMIB-T 台系設備鏈——塗佈烘烤群翊（6664）、濕製程敘豐（3485）、真空壓膜長廣（7795），以及固晶段 Toray 品質問題下正被測試為替代方案的均華精密（6640）。

供給側的對照數據（本知識庫 2026-07-03 高盛 / Citi 台積電前瞻，本次同批 ingest）：高盛估台積電 CoWoS（含 WMCM）年產能 2026 / 27 / 28 年為 127.5 萬 / 273 萬 / 348 萬片（年增 +89% / +114% / +27%）；Citi 則指出 CoWoS 已不再是 GPU 出貨量的可靠代理指標——AMD MI455（6 die SoIC 堆疊）、Feynman 等產品使晶圓折算複雜化，ABF 基板可用性成為新瓶頸。這與凱基 / 定錨的 ABF 缺口論、以及本屆 ECTC 的 EMIB-T 放量訊號形成三方一致。

主要受惠者：欣興（3037）同時站在三條線上——Intel EMIB-T 最核心載板夥伴、NVIDIA 玻璃芯基板後段 ABF 增層供應商，且本屆自己發表了「無中介層矽橋」論文（圖 5-3）——載板廠向上做封裝架構設計，長期定價權加分。高階 AI 載板實質僅剩欣興與 Ibiden 兩家有能力供應，欣興 GPU/ASIC 載板市占逾 70%。

6.2 玻璃基板：兩種敘事的時間差

本知識庫 2026-07-06 收錄的定錨產業筆記調查描繪了積極的供應鏈進展：NVIDIA 陣營（群創前段 TGV、欣興 + Ibiden 後段 ABF）與 Broadcom 陣營（Toppan + 康寧玻璃，鈦昇 TGV 雷射、晶呈科氣體蝕刻等台廠分工）都已在 2026 年確認、設備訂單落地。而 ECTC 2026 的技術數據（第 5.1 節）給出的是較保守的畫面：SeWaRe 裂紋未解、TGV 填孔缺陷、「製造開發階段」。

兩者並不矛盾，而是兩個時間尺度：設備商營收在 2026—27 先行（實驗線 / 驗證線訂單已確認——鈦昇獨拿兩陣營 TGV 雷射改質設備即為例證），載板廠的玻璃「營收」則因良率成熟度遞延到 2028 以後。投資上的紀律是：不要用設備下單的熱度去外推載板廠的玻璃營收時程，也不要 HVM 遞延去否定設備商的訂單真實性。

Intel 的 510×515mm 24 層 panel (圖 5-1) 證明技術路線可行，SeWaRe 的邊緣塗佈解法 (STATS ChipPAC) 則是 2027—28 良率成熟的關鍵追蹤點。

6.3 散熱鏈的長線警訊

微軟在 GH200 實機上的六個月可靠度數據 (第 3.2 節) 是本屆對台股散熱鏈最重要的訊號。判讀分兩段：

- **近期 (2026—27) 不受影響、甚至受惠：**直達矽冷卻尚未進量產平台，Rubin 世代仍走冷板路線；無蓋化 (lidless) 與液態金屬 TIM 升級 (HCF-TIM 10 W/m·K) 反而是散熱件與材料的加值方向；
- **長線 (2028+) 結構重分配：**若微流道冷卻隨 5kW 級封裝導入，TIM1 與均熱片 / 蓋板的價值量會被「晶圓級散熱製程」取代——誰能在 chip-on-wafer 之後蝕刻微結構並密封，誰就拿走散熱價值，天平向台積電與 OSAT (日月光 / 矽品已在 LM TIM 與 FO-EB 卡位) 傾斜。傳統散熱件廠 (奇鋁、健策等) 的 content-per-package 假設需要開始做 2028 後的敏感度分析。同時，密封材料、氦檢漏、微通道 AOI 是新增的隱形設備 / 材料需求。

6.4 台股映射總表

標的 / 群組	對應戰線	ECTC 訊號方向	依據
台積電 (2330)	全部	+ 正面	cHBM base die 代工增量、micropillar 冷卻、COUPE 光引擎、CoPoS panel 路線全數卡位；EMIB-T 替代性上升是唯一減分，但其 DTC / IVR / 主動 LSI 仍領先
欣興 (3037)	互連 + 基板	+ 正面	EMIB-T 核心載板 + 玻璃後段 ABF + 自家矽橋論文；高階 AI 載板雙寡頭之一
EMIB-T 設備鏈：群翊 (6664)、敘豐 (3485)、均華 (6640)、長廣 (7795)	互連	+ 正面	組裝良率成為新瓶頸 = 設備需求上升；Toray 固晶品質問題打開均華替代窗口
玻璃設備：鈦昇 (8027)、群創 (3481)	基板	+ (設備先行)	兩陣營 TGV 設備訂單已確認；HVM 遞延不影響驗證線下單，但 2027 後續單需追蹤 SeWaRe 解法進度
創意電子 (3443)	互連	+ 正面	UCle-A 32GT/s 實測 = chiplet 高速整合設計服務能力獲公開驗證
日月光投控 (3711，含矽品)	散熱 + 去中介層	+ 正面	LM TIM 實測主導、FO-EB 平台多篇論文；散熱價值向 OSAT 移轉的受益方
散熱件：奇鋐 (3017)、健策 (3653) 等	散熱	⚠ 長線留意	近期訂單不受影響；2028+ 微流道若量產，TIM1 / 均熱片價值量面臨重分配
記憶體三雄 (Samsung / SK hynix / Micron)	記憶體	中性偏 +	cHBM 拉高 base die 價值但部分讓渡給邏輯代工；HBM4E 中介層需求利多封裝鏈

6.5 觀察指標 (Checkpoints)

#	指標	時點	驗證什麼
1	Intel EMIB-T 36/35μm @4.5x reticle 認證	2026 年底	TPU v9 / Humufish 供應鏈時程與 ABF 需求的直接驗證
2	微軟微流道叢集級 MTBF 數據	測試中	散熱終局時程的關鍵輸入；過關＝導入曲線提前
3	NVIDIA Feynman 客製 HBM base die 代工歸屬與製程節點	2026H2－ 2027	邏輯代工 TAM 增量落點
4	玻璃基板 SeWaRe 解法標準化（邊緣塗佈 / 低 CTE 聚合物）	2027－28	載板廠玻璃營收能否從 2028 提前
5	EAM 量產良率 vs MRM 陣營進度	持續	Marvell / Celestial 路線時程風險；MRM 陣營（Coherent / Lumentum / Intel）相對受益與否

本報告由 stock_ilm_wiki 知識庫整理生成（2026-07-06）。第 1—5 章內容與圖片整理自 SemiAnalysis〈EMIB-T, HBM4 Challenges, Microfluidic Cooling, Photonic Interconnects〉（Afzal Ahmad, DC, Gerald Wong, Dylan Patel，2026-07-02，newsletter.semianalysis.com/p/ectc2026），圖片版權屬各原發表公司（Intel、Marvell、Samsung、TSMC、Microsoft、Lightmatter、IBM、Unimicron、STATS ChipPAC、GUC、SPIL）與 SemiAnalysis；第 6 章判讀結合本知識庫之凱基 ABF 載板論壇紀要（2026-07-02）、定錨產業筆記玻璃基板供應鏈調查（2026-07-06）等來源。本報告僅供研究參考，非投資建議。