

CoPoS 面板級先進封裝深度報告

玻璃基板路線與台股全供應鏈

從先進封裝結構與名詞，到 Chip-on-Panel-on-Substrate 的材料、設備、封裝與採用端鐵路圖

CoPoS / Chip-on-Panel-on-Substrate

玻璃芯基板 Glass Core

FOPLP / 面板級封裝

TGV / RDL

AI 加速器封裝

研究報告 | 2026-05-22 | 重心：玻璃載體路線與台股供應鏈定位 | 本報告為產業技術與投資觀點整理，非投資建議

當 AI 加速器的單封裝面積一路衝破光罩極限、HBM 顆數越疊越多，沿用數十年的「圓形晶圓載體」開始撞上面積利用率與成本的天花板。**CoPoS (Chip on Panel on Substrate, 晶片－面板－基板)**是台積電把高階 2.5D / 3D 封裝從圓形晶圓搬到 **310×310mm 方形面板載體**的路線；而要在這麼大的面積上壓制翹曲、做到次微米對位，**玻璃**幾乎是唯一能兼顧低熱膨脹、低訊號損耗與大尺寸平整度的載體材料——這也是本報告把重心放在玻璃的原因。

本報告先用一章把先進封裝的「分層結構」與關鍵名詞 (ABF、中介層、RDL、TSV/TGV、bump、underfill、CTE...) 用具體尺度 (μm 、 mm^2 、ppm) 解釋清楚「它到底是什麼、在做什麼」；接著進入面板化動機與 CoPoS 定位，再以最大篇幅拆解玻璃基板材料、TGV 製程、六大關鍵設備與商業化時程，最後給出窮盡式的台股＋國際供應鏈鐵路圖與分級投資觀點。文中圖片取自公開券商 / 產業報告，已逐張標註來源。

1. 先進封裝結構解剖與名詞辭典

2. 為什麼要面板化：CoPoS 的定位

3. CoPoS 製程結構與四大挑戰

4. 玻璃基板：CoPoS 的關鍵載體 (重心)

5. CoPoS 其餘供應鏈：載板、封裝、採用端

6. 投資觀點：受惠分層與分級名單

0 | 先進封裝結構解剖與名詞辭典

先進封裝的本質，是把一顆「做不大、做不快、做不便宜」的單一大晶片，拆成多顆小晶片 (chiplet)，再用各種「中間層」高密度地拼回去。要看懂 CoPoS 與玻璃，得先認識一顆 AI 封裝由上到下的分層結構，以及每一層具體在做什麼。

先抓尺度感 (後面所有名詞都回到這幾個數字)

- 光罩極限：單次曝光最大約 858 mm^2 ($\approx 26 \times 33 \text{ mm}$)，單晶片做不過這條線
- 一顆高階 GPU die：可達 $700\text{--}800 \text{ mm}^2$ ，已逼近光罩極限
- 一根頭髮：約 $70 \mu\text{m}$ 寬 (拿來對照下面的 μm 尺度)
- Micro-bump 間距：約 $40\text{--}50 \mu\text{m}$ ；Hybrid bonding 可到 $<10 \mu\text{m}$
- RDL 線寬/線距：可細到約 $2 \mu\text{m}$ (頭髮的 $1/35$)
- TGV 玻璃穿孔：孔徑數十 μm 、玻璃厚數百 μm ，深寬比 $\sim 10:1$
- CoPoS 面板： $310 \times 310 \text{ mm}$ (961 cm^2) vs 12 吋圓晶圓 (300 mm 直徑、 $\sim 707 \text{ cm}^2$)

0A 一顆 AI 加速器封裝的分層結構（由上到下）

① 裸晶 / 小晶片 Die / Chiplet	運算本體：GPU/ASIC 邏輯晶片（可達 ~800mm ² ）、HBM 高頻寬記憶體（10 餘層 DRAM 用 TSV 垂直疊起來）。現代 AI 晶片把大 SoC 拆成多顆 chiplet（GPU die+I/O die+ 多顆 HBM），各用最適製程生產再拼裝，良率與成本都更好。
② 微凸塊 Micro-bump / Hybrid Bond	晶片往下接到中介層的微小鋁錫凸塊，間距約 40—50 μm ；最先進的 Hybrid Bonding（Cu—Cu 混合鍵合）直接銅對銅、無凸塊，間距縮到 <10 μm （SoIC 用）。間距越小＝同樣面積能塞越多接點＝頻寬密度越高。
③ 中介層 Interposer	晶片與基板之間的「轉接板」，線路比基板細、距離短，讓 GPU 與多顆 HBM 以極短路徑高密度互連。矽中介層（含 TSV 垂直導通，CoWoS—S 用，尺寸受 12 吋晶圓限制、要拼接）、RDL 中介層、新興玻璃中介層。
④ 重佈線層 RDL（在中介層/晶片表面）	用薄膜微影＋電鍍做出的金屬繞線，把晶片密集 I/O「重新分佈、扇出」到較大間距，線寬/線距可細到 ~2 μm 。介電層常用 PSPI（感光聚醯亞胺），厚數 μm 。是 Fan-out 與所有先進封裝的核心工序。
⑤ 封裝基板 / 載板 Substrate（含 C4 凸塊）	承載整組晶片＋中介層，把訊號與電源繼續扇出到電路板可焊接的間距（百 μm 級），並供電與支撐。傳統用有機 ABF 載板；下一代用玻璃芯基板取代有機核心。中介層以 C4 較大凸塊（~100 μm ）接到基板。
⑥ 錫球 → 印刷電路板 BGA Ball → PCB	基板底部的錫球陣列（間距常 0.5—1 mm）焊到主機板/OAM 模組，再進入伺服器系統。封裝的最外一層。

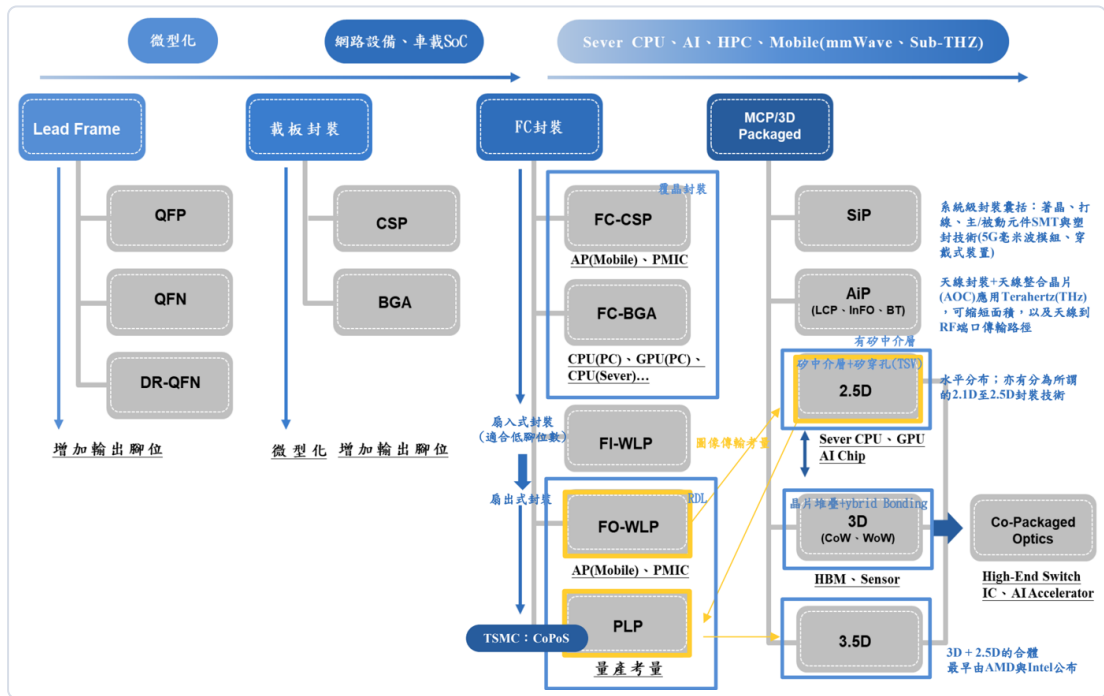


圖 1 封裝製程演進脈絡：從導線架（Lead Frame：QFP/SOP/QFN）、覆晶 FC—CSP/FC—BGA，到先進封裝 FOWLP/FO—WLP、PLP（面板級）、2.5D/3D，乃至 Co—Packaged Optics。來源：福邦投顧《2026 台灣半導體特化與耗材展望》2026—03。

一句話定位 CoWoS 與 CoPoS

CoWoS (Chip on Wafer on Substrate) = 把上面②~⑤整套做在**圓形晶圓**載體上；**CoPoS** (Chip on Panel on Substrate) = 把同一套搬到**方形面板**載體上。差別不在功能，而在「載體形狀從圓變方、材料從矽/有機走向玻璃」，目的是面積、尺寸與成本。

0B 名詞辭典（依功能分組，附具體尺度）

結構與材料

ABF 載板 Ajinomoto Build-up Film，味之素增層膜 基板介電材料

一種環氧樹脂介電**薄膜**（具體：像保鮮膜一樣一層層貼上去）。逐層疊加（build-up）在載板核心上，每層用雷射鑽 ~60—100 μm 微孔 + 電鍍銅互連，形成高密度繞線的有機載板。由日本味之素獨家供應膜材，載板廠（欣興、南電、景碩、Ibiden、Shinko）做成成品。**痛點**：有機材料 CTE 12—20 ppm/°C，大面積受熱會翹——這正是玻璃要取代之處。

封裝基板 / 載板 Substrate / Carrier Board 承載 + 扇出

承載晶片、把晶片極細間距（ μm 級）的接點「扇出」到 PCB 可焊接的間距（百 μm 級），並供電與支撐。分**核心層 Core**（提供剛性，較厚）與上下**增層 Build-up**（細線路）。玻璃芯基板 = 用一片玻璃當這個 core。

中介層 Interposer die 之間的高密度橋

位於晶片與基板之間的轉接層，線路更細、距離更短（mm 級），讓 GPU 與多顆 HBM 高密度互連。**矽中介層**（用 65nm 級被動製程 + TSV，成本高、尺寸受 12 吋晶圓限制，CoWoS-S）；**玻璃中介層**可做大尺寸、低損耗，但 TGV 深寬比要求更高、仍在開發。

RDL 重佈線層 Redistribution Layer 扇出繞線

具體就是「在晶片/中介層表面，用半導體薄膜製程畫出來的細銅線網」，把擠在一起的 I/O 拉開重排，**線寬可細到 ~2 μm** 。**RDL-First** = 先在載板上做好 RDL 再貼晶片（線路品質好，適合大晶片高 I/O）；**Mold-First** = 先封膠再做 RDL（晶片會偏移 die shift，逐漸式微）。

TSV / TGV Through-Silicon / Through-Glass Via，矽穿孔 / 玻璃穿孔 垂直導通

垂直貫穿矽或玻璃、內壁鍍銅的導通孔，讓上下層垂直通電。HBM 堆疊、矽中介層用 TSV；玻璃芯基板用 TGV。**深寬比 (AR) = 孔深 ÷ 孔徑**：玻璃厚 ~300 μm 、孔徑 ~30 μm 即 AR ≈ 10:1，越高越難打、越難鍍滿。

凸塊 Bump / Micro-bump / C4 / Hybrid Bonding 層間電氣接點

鋁錫凸塊。**Micro-bump (μbump)** = 晶片到中介層，間距 ~40—50 μm ；**C4** = 中介層/晶片到基板，較大 (~100 μm)；**Hybrid Bonding** = Cu—Cu 直接鍵合、無凸塊，間距 <10 μm (3D 堆疊)。間距越小 = 頻寬密度越高。

CTE 熱膨脹係數 Coefficient of Thermal Expansion 翹曲/脫層的元凶

材料受熱膨脹程度 (ppm/°C)。兩種材料 CTE 差太多，升降溫時就互相拉扯而**翹曲 (Warpage)** 或**脫層 (delamination)**。具體：矽 ~3、玻璃 3—9、有機 ABF 12—20 ppm/°C。封裝面積越大，差異後果越嚴重——玻璃 CTE 接近矽，是大面積載體的關鍵解方。

製程與輔助

底部填膠 Underfill 可靠度

在凸塊縫隙灌入樹脂，緩衝 CTE 不匹配的熱應力、保護焊點。封裝越大越難灌得均勻無氣泡，是大尺寸封裝的設備門檻之一。

封膠 / 重構 Molding / EMC (環氧封膠) 保護 + 重構

把晶片包覆保護的膠體；Fan-out 製程更用 mold compound 把多顆 die 「重構」成一片人工晶圓/面板，再在上面做 RDL。

暫時載具 / 解鍵合 Carrier / Debond 製程載台

製程中暫時承載工件的基板，做完 RDL 後解鍵合 (debond) 移除 (雷射或機械剝離)。**玻璃載具**是玻璃在封裝最成熟的應用——平整、耐高溫、可雷射穿透解鍵合。

CMP 化學機械研磨 Chemical Mechanical Planarization 平坦化

用研磨墊 + 化學藥液把表面磨到極平 (平整度 TTV 目標 $<5\text{ }\mu\text{m}$)。多層 RDL、玻璃載板、TGV 後都需要；玻璃薄又脆，磨的時候易破，是良率關鍵。

尺寸與整合概念

光罩極限 Reticle Limit 單晶片面積天花板

單次微影曝光最大約 858 mm^2 ($26\times 33\text{mm}$)。單一晶片做不過這條線，要更大算力只能多 die 拼接。中介層尺寸常以「幾倍光罩」衡量——AI 加速器正從 3.3 倍朝 5.5、9 倍以上擴張。

2.5D / 3D 封裝 2.5D / 3D Integration 整合維度

2.5D = 多顆 die 並排放在同一中介層上 (水平整合, CoWoS)；**3D** = die 垂直堆疊 (HBM、SoIC Cu-Cu 鍵合)。CoPoS 是把 2.5D/3D 的承載基礎面板化。

扇出封裝 Fan-Out : FOWLP / FOPLP 無載板扇出

不用傳統載板，直接在重構的晶圓/面板上以 RDL 扇出 I/O。**FOWLP** = 晶圓級 (圓形)；**FOPLP** = 面板級 (方形，面積利用率更高、成本更低)。CoPoS 可視為「高階 Chip-Last FOPLP + 基板整合」。

1 | 為什麼要面板化：CoPoS 的定位

1A 圓形晶圓的面積天花板（具體算給你看）

用方形大晶片去切圓形晶圓，邊緣一定浪費。具體對比：12 吋圓晶圓直徑 300mm、面積約 707 cm²，但邊緣切不滿大方塊；CoPoS 的 310×310mm 方形面板面積 961 cm²，且方形完美貼合方形封裝、邊角幾乎不浪費。封裝面積越大（AI 加速器正是如此），圓晶圓邊緣的損耗比例越高、每片可用封裝數越少、單位成本越高。這就是面板化（FOPLP→CoPoS）最根本的經濟學動機。

1B AI 加速器的封裝尺寸正在爆炸

AI 加速器為了塞更多運算單元與 HBM，中介層面積以「倍數光罩」快速膨脹，把對載體尺寸、翹曲與供電的要求推到極限：

表 1：AI 加速器中介層尺寸與算力演進（產業估值，方向性）

時間	中介層尺寸（光罩倍數）	相對算力	技術備註
2025	約 3.3× 光罩（≈2,800 mm ² ）	1×	FOWLP / CoWoS 為主
2026F	約 5.5× 光罩	—	尺寸持續擴大，CoWoS 產能吃緊
2027F	約 9× 光罩（≈7,700 mm ² ）	約 7×	方形基板路線導入，面板化需求浮現

當中介層大到 5.5~9 倍光罩，圓晶圓的面積浪費與翹曲都難承受，CoWoS 月產能也被擴產速度與成本綁住。把高階封裝搬上方形面板，是延續 AI 封裝尺寸與成本曲線的下一步。

1C CoPoS 是什麼、和 FOPLP / CoWoS 什麼關係

CoPoS（Chip on Panel on Substrate）是台積電把高階 2.5D / 3D 封裝從圓形晶圓載體推向 310×310mm 方形 panel/carrier 的路線，與 FOPLP、RDL-First、玻璃載體緊密相關。白話：把 CoWoS 那一套（晶片 + 中介層 + 基板）做到方形面板上，並以玻璃載體解決大面積翹曲。

表 2：CoWoS vs FOPLP vs CoPoS

技術	載體	主要目的	典型應用	狀態
CoWoS Chip on Wafer on Substrate	圓形晶圓 / 基板	高階 AI 2.5D 封裝主流	NVIDIA/AMD GPU、HBM 整合	已放量
FOPLP Fan-Out Panel-Level	大尺寸方形面板	提高面積利用率、降低成本	PMIC/RF 已量產；高階 CPU/GPU 驗證中	分級量產
CoPoS Chip on Panel on Substrate	310×310mm 方形 carrier（趨向玻璃）	把高階封裝導向方形 + 玻璃載體	AI GPU（NVIDIA/AMD）	研發 / 量產前驗證

關鍵區隔

FOPLP 是「面板級扇出」的廣義技術（含低階 PMIC 到高階 GPU）；CoPoS 是台積電針對高階 AI 加速器的具體面板化路線（高階 Chip-Last FOPLP + 基板整合 + 玻璃載體）。兩者技術同源、設備供應鏈高度重疊，但 CoPoS 的尺寸、翹曲與對位門檻最嚴苛。

1D 終端廠面板尺寸布局

表 3：主要封裝廠面板級布局

公司	面板尺寸	應用	進度
台積電 TSMC (2330)	310×310mm	AI GPU (NVIDIA/AMD)，即 CoPoS 路線	規劃 2027 小量試產（部分供應鏈傳 2026 已建置試產線，待驗證）
力成 (6239)	515×510mm	MTK / AMD 高階 RF / PMIC	2026 大幅擴產，capex 約 NT\$400 億 +
日月光投控 (3711)	310×310mm（高雄）→ 610×610mm（規劃）	AMD / Qualcomm AI CPU	2025Q4 設備進駐、2026 送樣認證
群創 (3481)	700×700mm	PMIC（低 I/O）	已量產；面板級製程經驗外溢先進封裝

2 | CoPoS 製程結構與四大挑戰

2A 製程路線：Chip-Last / RDL-First（具體每步在做什麼）

高階面板級封裝採 RDL-First + Chip-Last：先在（玻璃）載板上把高品質 RDL 線路做好，再貼裝已測良的大晶片。具體流程：



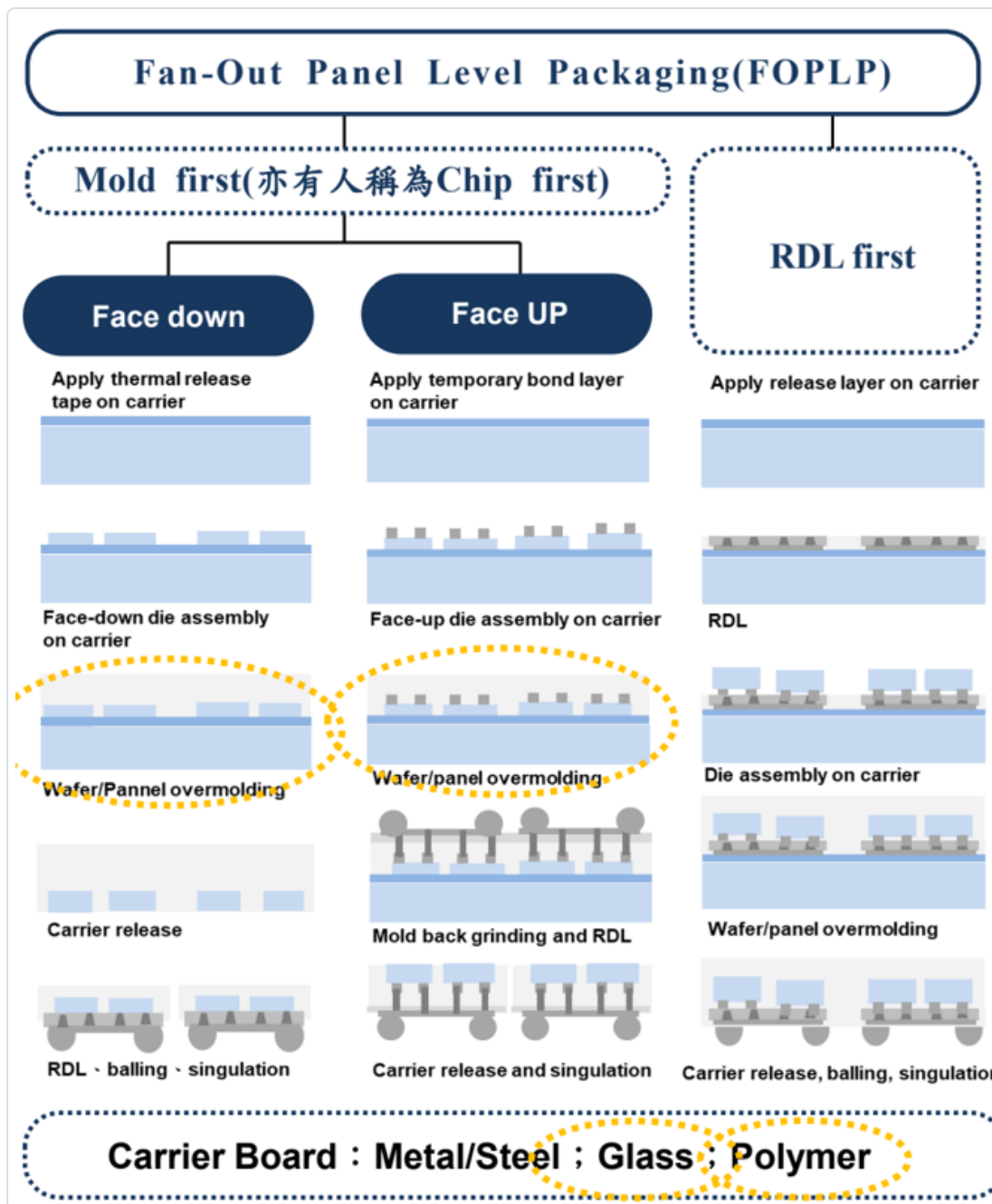


圖 2 面板級封裝 Mold-First（晶片先封膠，分 Face-down / Face-up）vs RDL-First（先在載板做 RDL 再貼晶片）兩條製程路線；最下方點出載板（Carrier Board）材料可為金屬/鋼、玻璃、有機聚合物。高階 CoPoS 走 RDL-First + 玻璃載板。來源：福邦投顧《2026 台灣半導體特化與耗材展望》2026-03。

2B 方形大面板的四大挑戰

表 4：310×310mm 方形 carrier 相對圓晶圓的關鍵難題

挑戰	為什麼變難（具體）	影響	解方方向
翹曲 Warpage	面積大、材料受熱不均，邊角應力集中；有機載板 CTE 12–20 放大變形	對位失準、RDL 斷裂、良率下降	低 CTE 載體（玻璃 3–9）、多區溫控、升降溫曲線優化
對位精度	大面積下累積對位誤差被放大（ μm 級要求）	晶片貼裝、RDL 疊對失準	高精度平台運動控制、即時量測回饋
CTE 匹配	玻璃/有機、銅、矽 CTE 不同 → 熱循環互拉	脫層、翹曲	CTE 接近矽的玻璃載體、界面附著力優化
大面積濕製程 / 檢測均勻性	方形載體電鍍/蝕刻/清洗邊角易不均；玻璃透明、缺陷對比低難檢測	邊角過鍍/欠鍍、缺陷漏檢	流場優化、穿透式 X-ray/超音波 + AI 影像、AOI

收斂：為什麼 CoPoS 主流要走玻璃

上表四個挑戰，玻璃載體一次解掉大半：CTE 3–9 ppm/°C 接近矽（有機 ABF 12–20），大面積翹曲遠小於有機；表面平整、可做大尺寸、低 Df 利高速訊號。代價是玻璃脆易破、TGV 成本高、RDL 與玻璃/ABF 界面脫層尚未完全解決。這正是下一章的重心。

3 | 玻璃基板：CoPoS 的關鍵載體（本報告重心）

3A 玻璃材料科學與三層分類

玻璃在先進封裝不是單一產品，而是依「整合深度」分三層，技術成熟度由高到低：

表 5：玻璃在封裝的三層應用

層次	具體角色	取代對象	技術難度	成熟度
Glass Carrier 玻璃載具	製程中暫時固定晶圓/面板，做完即 debond（不留在成品裡）	暫時載板	低（不需精細 TGV）	最成熟，已商用
Glass Core Substrate 玻璃芯基板	當封裝基板的核心層，玻璃片內打 TGV 導通、上下做 RDL	有機 ABF core	中高，TGV AR ~10:1	導入前驗證；晶呈 LADY 製程已達 Glass Core
Glass Interposer 玻璃中介層	取代矽中介層，做大尺寸 die 間高密度橋	矽中介層	最高，AR 需求更高	仍在開發

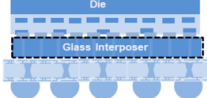
	示意圖	用途	特性	規格	玻璃供應商
轉移玻璃		晶圓薄化與導線特徵尺寸控制 2019年康寧推出	物理特性(低熱膨脹係數；高強度)	TTV<=2.0um Bow：12吋<=50um CTE：<=12ppm/°C	康寧股份有限公司(Ealg XG / 半導體晶圓用途)
玻璃基板		類比/MEMS/感測器LED 2023年Intel推出 無關封裝、在於載板面積	尺寸與成本驅動(因為光罩數越來越大)；MEMS Fab、封測廠製造	厚度：20~500um Via(孔洞)直徑：30~500um Via Drilling：DRIE or Laser #Vias：>1400/cm2 AR(深度/寬度)：>=5：1	艾杰旭(旭硝子)(Advanced Packaging Glass) SCHOTT AG(AF & BF Series)
玻璃中介		高階Logic IC應用(GPU、CPU、FPGA、ASIC) Rapidus 2028年量產	效能驅動(寬頻、低功耗)；通常由CMOS Fab製造	厚度：<=100um Via(孔洞)直徑：<=10um Via Drilling：DRIE #Vias：>10,000/cm2 AR(深度/寬度)：>=12：1	日本電氣硝子株式會社(Ultra-Low Expansion Glass)

圖 3 玻璃三大應用（轉移玻璃載板 / 玻璃芯基板 Glass Core / 玻璃中介層 Glass Interposer）的導入時程、用途、特性（TTV、CTE、孔徑、深寬比 AR）與供應商（雷射改質設備、SCHOTT / AGC / Corning 等玻璃原片）。深寬比需求由 Carrier→Core→Interposer 遞增。來源：福邦投顧《2026 台灣半導體特化與耗材展望》2026-03。

3B 玻璃 vs 有機 ABF vs 矽中介層

表 6：載體材料比較

特性	玻璃芯基板	有機 ABF 載板	矽中介層
CTE（熱膨脹）	低，3—9 ppm/°C（接近矽）	高，12—20 ppm/°C	最低，~3 ppm/°C
翹曲	低	高（大面積尤甚）	低
訊號損耗	低（低 Df）	較高	低
最大尺寸	大（面板級）	受基板廠設備限制	受 12 吋晶圓限制（小）
厚度	薄	較厚	薄
成本	初期高	成熟、低	高
易碎性	高（玻璃脆，破片風險）	低	中

一句話：玻璃＝「矽的低 CTE、低損耗」加上「面板的大尺寸、可降本」，正對應 AI/HPC 封裝高功耗、大面積、高 I/O 的需求。短板是脆性與初期成本。下圖是玻璃芯基板的實際截面——玻璃片中那些「沙漏狀」結構就是鍍了銅的 TGV 通孔：



圖 4 玻璃芯基板截面示意：中央玻璃片內的沙漏狀通孔即 TGV（雙面蝕刻使孔呈中間細、兩端寬的腰鼓/沙漏形），孔內鍍銅垂直導通，玻璃上下再做 RDL 銅線層。來源：福邦投顧《2026 台灣半導體特化與耗材展望》2026-03。

3C TGV + Glass Core 製程全流程（具體拆解每一步）

玻璃芯基板的核心難關是 TGV（玻璃穿孔）——要在脆硬玻璃上打出又深又細又圓的孔，再鍍銅導通。對照下圖，逐步說明每一道在做什麼、為什麼：

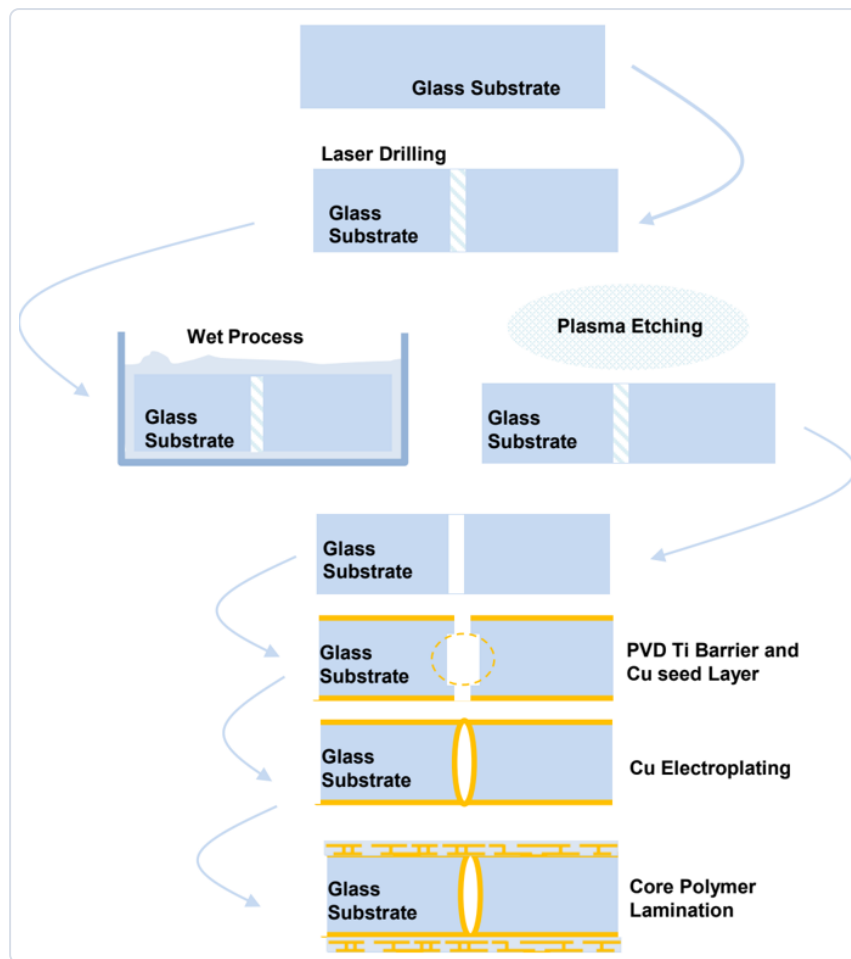


圖 5 Glass Core / TGV 製程主流程：玻璃原片 → 雷射鑽孔（Laser Drilling，雷射在玻璃內造改質軌道）→ 濕製程 / 電漿蝕刻（Wet Process / Plasma Etching，把改質軌道擴成通孔）→ PVD 鍍 Ti 阻障層 + Cu 種子層 → 電鍍銅填孔（Cu Electroplating，呈沙漏狀填滿）→ 核心聚合物疊層（Core Polymer Lamination）。來源：福邦投顧《2026 台灣半導體特化與耗材展望》2026-03。

表 7：TGV / Glass Core 製程逐步說明

#	製程	具體在做什麼 / 為什麼
1	雷射改質鑽孔	用皮秒/飛秒超短脈衝雷射在玻璃內部造一條「改質軌道」（玻璃結構被改變、易被蝕刻），對應孔位。雷射光源是台廠最依賴進口的環節。
2	蝕刻成孔	用蝕刻（乾式電漿或濕式 HF）沿改質軌道把孔「擴開」。雙面蝕刻使孔呈沙漏/腰鼓形（中間細兩端寬），這是 TGV 的典型孔形。
3	側壁清洗	洗掉蝕刻殘留與顆粒，確保後續鍍膜附著（清洗劑：勝一）。
4	絕緣 / PSPI 塗布 + 顯影	在玻璃與孔壁鋪絕緣介電層（正型 PSPI：永光/長興/達興），再顯影定義圖形（顯影：三福化）。
5	PVD：Ti 阻障層 + Cu 種子層	濺鍍一層極薄的鈦（Ti barrier，阻止銅擴散進玻璃/介電層）再鍍一層銅種子層當電鍍起點（友威科/天虹）。
6	電鍍銅填孔	把孔與線路電鍍填滿銅，高深寬比沙漏孔要填得緻密無孔洞是難點（敘豐；銅柱替代方案：創新服務）。
7	CMP 平坦化	把多餘銅與表面磨平（TTV <5 μm），玻璃薄脆易破（均豪/頌勝）。
8	RDL 佈線 / 疊層	玻璃上下做多層 RDL 銅線與核心聚合物疊層，完成 Glass Core 基板。

深寬比為什麼是關鍵指標

深寬比（AR）＝孔深÷孔徑。玻璃厚 ~300 μm、孔徑 ~30 μm 即 AR≈10:1，**Glass Interposer 需要更高**。晶呈科技 LADY（雷射輔助乾式蝕刻）已達 Glass Core 所需的 10:1；能否再突破，決定它能否從芯基板進軍中介層。

3D 玻璃六大關鍵製程設備鐵路圖（台股＋國際）

玻璃載板設備需求對應「雷射改質 → 蝕刻通孔 → AOI 檢測 → PVD 種子層 → 電鍍銅 → CMP 研磨」六大製程（即圖 5 的工序）。台廠多從 PCB / 面板 / 半導體既有技術延伸切入，其中 **AOI 是台廠最具相對優勢的環節**，其餘多在追趕。

表 8：玻璃六大製程設備供應鏈（台股代號 / 國際對手）

#	製程	台廠（代號）	切入亮點	國際對手
1	TGV 雷射改質	鈦昇（8027）、東捷（8064）	鈦昇已切入 Intel 玻璃載板驗證、每秒數千孔；東捷以面板修補雷射轉攻大尺寸玻璃鑽孔＋自動化搬運	DISCO、Orbotech、MKS、Corning、Samsung
2	蝕刻通孔	聯策（6658）、揚博（2493）、悅城（6405）	聯策 PCB 藥劑＋視覺自動化整線；揚博精密化學蝕刻藥劑；悅城玻璃化學減薄老牌	MEC、RENA、Manz
3	AOI 光學檢測	由田（3455）、晶彩科（3535）、德律（3030）	由田國內 AOI 龍頭、玻璃透光專用 2D/3D；晶彩科面板檢測轉攻 TGV 孔徑/垂直度；德律 2D/3D AOI＋X-ray/CT。 台廠相對優勢環節	Camtek、Orbotech、SCREEN、Mycronic、Onto
4	PVD 種子層	友威科（3580）、天虹（6937）	友威科真空濺鍍領導、玻璃孔壁 Ti/Cu 種子層；天虹 PLP PVD（面板級正背面鍍膜，二/三號機推進）＋PLP ALD	Evatec、Applied Materials、ULVAC
5	電鍍銅 / 填孔	敘豐（3485）、創新服務（7828）	敘豐濕製程電鍍自動化標竿、多段電流密度控制；創新服務以 TGV-ICP / 銅柱植入提供高深寬比填孔替代	MacDermid Alpha、UYEMURA、MKS Atotech
6	CMP 研磨	均豪精密（5443）、頌勝（7768）	均豪半導體設備聯盟核心、亞微米級平整度、氣囊式研磨頭多區壓力；玻璃薄脆 TTV 控制是門檻	Applied Materials、DISCO、Okamoto

台廠的三道門檻

① **驗證平台缺乏**：載板大廠對良率要求極高，缺開放測試線銜接；② **雷射光源依賴進口**：台廠多停在系統整合與光路優化，超短脈衝雷射源仍仰賴國外；③ **電鍍液/添加劑配方**：高階配方由國際大廠主導。AOI 是目前唯一被點名「台廠具相對優勢」的環節。

3E 玻璃材料供應鏈（原片三巨頭＋台廠材料）

表 9：玻璃基板材料供應鏈

環節	主要供應商	角色
玻璃原片 / 特殊玻璃	Corning (GLW, 美)、AGC 旭硝子 (日)、SCHOTT (德)、NEG 日本電氣硝子	熔融玻璃製程與低 CTE 封裝級材料；日美廠主導，台廠難切原片本身
正型 PSPI (RDL/絕緣介電)	達興材料 (5234)、永光 (1711)、長興 (1717)	TGV 後絕緣層與 RDL 介電材料
負型 PSPI 顯影材料	三福化 (4755)	有機溶劑系顯影液
製程清洗劑	勝一 (1773)	TGV 成孔後與製程間清洗
TGV 蝕刻氣體 / 製程	晶呈科技 (4768)	LADY 乾蝕刻製程，深寬比 10:1 (Glass Core 已達)
銅柱填孔 / TGV-ICP	創新服務 (7828)	與晶呈合作銅柱植入；高深寬比應用良率訴求優於電鍍銅

3F 玻璃芯基板商業化進程與時程

表 10：玻璃芯基板商業化時程（各方估值）

時間	里程碑
2027	玻璃載板小量導入高階 AI/HPC 封裝；Broadcom Switch ASIC 被點名最早採用者
2028	Chip-Last FOPLP + 玻璃載板進入實質量產期
2030	玻璃載板於 IC 載板市場市占率約 10—15%
2030+	Corning 管理層認為半導體玻璃基板可能進入大規模採用期

產業地圖：Intel 已公開展示玻璃核心基板（定位本世代後段的基礎研究，非即將高量產）；Absolics（SKC 子公司）已取得美國 CHIPS Act 初步支持、規劃在喬治亞建玻璃基板廠；AGC、Corning、SCHOTT 投入低 CTE 玻璃；Broadcom 的 Switch ASIC 被視為玻璃芯基板進入量產的關鍵觸媒（最快 2027F）。

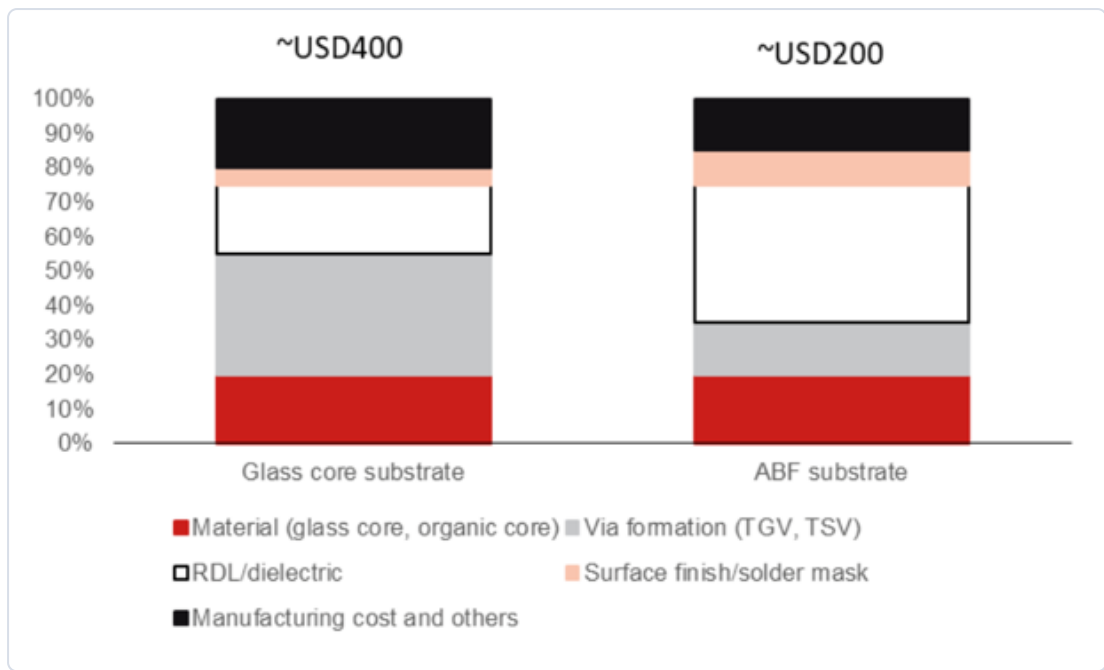


圖 6 玻璃芯基板 vs 大尺寸 ABF 載板 BOM 成本結構：玻璃芯約 USD 400、ABF 約 USD 200，差距主要在「Via formation（TGV/TSV 成孔）」與材料；玻璃量產需把成本壓向 ABF 水準才有競爭力。來源：野村（Nomura）半導體文藝復興報告，2026-05-21。

兩大不確定性（為什麼別太早反映玻璃營收）

- ① **成本與技術未解**：TGV 小量試產仍要 USD 400—500/片，使整片玻璃芯基板 ASP 可能超過 USD 1,500，遠高於大尺寸 ABF 約 USD 200；量產至少要降到 USD 400/片以下才具競爭力（見圖 6）。技術上，RDL 介電層與玻璃/ABF/銅界面的脫層仍是瓶頸，CTE 不匹配與附著力是基礎物理問題。
- ② **EMIB-T 排擠產能**：Intel 對 Ibiden、欣興、Shinko 等基板夥伴在 EMIB-T 上承諾強，促使基板廠優先為 EMIB-T 共投擴產；在 ABF 與 EMIB-T 需求強勁下，玻璃芯基板產能投資可能被延後。

4 | CoPoS 其餘供應鏈：載板、封裝、採用端

4A 有機 ABF 載板（玻璃量產前的現役主力）

玻璃芯基板真正放量前，高階有機 ABF 載板仍是現役承載主力，且 EMIB-T 等路線還會延續其需求。台廠載板三雄：

表 11：ABF 載板台廠

公司（代號）	定位
欣興（3037）	高階 FC-BGA / ABF 載板，AI 加速器與 Intel EMIB-T 共投夥伴
南電（8046）	ABF 載板，大尺寸高層數 AI 應用
景碩（3189）	ABF / 覆晶載板

4B 封裝 / 製造端（誰來做 CoPoS）

表 12：面板級封裝製造端

公司	定位	備註
台積電(2330)	CoPoS 主導者	310×310mm 方形載體，瞄準 AI GPU，規劃 2027 試產
力成(6239)	515×510mm FOPLP	2026 大幅擴產，capex 約 NT\$400 億+
日月光投控(3711)	310/610mm FOPLP	AMD/Qualcomm AI CPU，2025Q4 設備進駐、2026 送樣
群創(3481)	700×700mm 面板級	PMIC 量產，面板製程經驗外溢先進封裝
國際：Amkor、Samsung、Intel	面板級 / 玻璃核心布局	各家面板尺寸與玻璃核心進度不一

4C 採用端（終端客戶）

表 13：CoPoS / 玻璃載體採用端

客戶	產品方向	採用邏輯
NVIDIA	AI GPU（Rubin 系列之後的更大封裝世代）	封裝面積與 HBM 顆數突破圓晶圓極限，面板化 + 玻璃是延續路線
AMD	AI GPU / CPU（Instinct 系列）	大 chiplet 高 I/O，受惠面板化面積經濟
Broadcom	Switch ASIC	被點名玻璃芯基板最早商業採用者（最快 2027F），量產關鍵觸媒
Qualcomm / MediaTek	高階 SoC / AI CPU	透過力成/日月光面板級驗證
Intel	玻璃核心基板自研 + EMIB-T	已公開展示玻璃核心；同時推 EMIB-T，產能優先序影響玻璃時程

5 | 投資觀點：受惠分層與分級名單

5A Investment Thesis

一句話：CoPoS / 玻璃基板從研發走向量產時，最先反映在訂單能見度的是「設備驗證」，其次是「材料卡位」，最後才是「採用端放量」。方形玻璃載體放大翹曲、邊角均勻性、搬運與檢測問題，設備供應鏈比封裝產能更早進入驗證期——這是時間序上最先受惠的一層。但要切記：玻璃芯基板大規模採用多落在 2028—2030+，**短中期投資主軸應在「設備驗證+材料卡位」，而非玻璃原片營收爆發。**

5B 受惠分層

表 14：受惠分層與訊號時序

層級	環節	代表標的	訊號最先出現處
第一層：設備驗證先行	濕製程/underfill、AOI/X-ray、CMP、PVD/電鍍、TGV 雷射	弘塑、德律、由田、均豪、友威科、敘豐、鈦昇、天虹	客戶機台驗收、訂單能見度、稼動率
第二層：材料卡位	PSPI、顯影、清洗、TGV 氣體、銅柱	達興、永光、長興、三福化、勝一、晶呈、創新服務	Glass Core 供應商認證、料號導入
第三層：載板/封裝/採用	ABF 載板、面板級封裝、終端 GPU/Switch	欣興、南電、景碩、台積電、力成、日月光、群創	面板送樣認證、量產時程、終端產品上量

5C 分級名單（高/中/低信心）

表 15：台股投資重點 memo（信心分級）

重點 / 環節	投資含義	相關台股	信心
玻璃 AOI 檢測為台廠相對優勢環節	玻璃透明、大面積檢測門檻高，台廠技術領先、最可能拿實質份額	由田（3455）、德律（3030）、晶彩科（3535）	高
濕製程/underfill/電鍍隨先進封裝擴產先動	不只玻璃，CoWoS/SolC/CoPoS 都拉動；訂單能見度先反映	弘塑（3131）、敘豐（3485）、友威科（3580）	高
CMP 平坦化對玻璃薄/脆/TTV 控制吃重	玻璃載板良率關鍵工序，設備驗證先行	均豪（5443）、頌勝（7768）	中
TGV 雷射改質已切入 Intel 驗證	玻璃核心成孔關鍵；雷射光源仍依賴進口、驗證期長	鈦昇（8027）、東捷（8064）	中
面板級 PVD/ALD 新機種推進	PLP 正背面鍍膜，二/三號機進度為觀察點	天虹（6937）	中
材料端 PSPI/顯影/清洗/TGV 氣體卡位	需取得 Glass Core 供應商認證，認證進度決定貢獻時點	達興（5234）、永光（1711）、長興（1717）、三福化（4755）、勝一（1773）、晶呈（4768）	中
銅柱填孔替代電鍍銅	高深寬比良率訴求；2026H2 驗證結果決定 2027 擴產幅度	創新服務（7828）	低
ABF 載板/面板封裝/玻璃原片	現役主力但玻璃放量遞延；原片由日美主導，台廠著力在載板與封裝	欣興（3037）、南電（8046）、景碩（3189）、力成（6239）、日月光（3711）	低

信心分級反映「與 CoPoS / 玻璃量產的關聯度＋台廠競爭地位＋時程確定性」，非個股評等或目標價判斷。

5D 驗證清單（追蹤指標）

表 16：thesis 驗證指標

追蹤指標	為什麼重要
台積電 CoPoS 試產時程（2027 規劃是否提前 / 遞延）	面板化路線起爆點，牽動整條設備鏈拉貨
玻璃芯基板 BOM 成本是否降向 USD 400/片	低於此才具成本競爭力，量產經濟門檻
RDL 脫層問題是否突破	玻璃/ABF/銅 CTE 不匹配核心物理瓶頸
Broadcom Switch ASIC 玻璃核心採用進度	全球玻璃芯基板進入量產的關鍵觸媒
台廠設備商客戶機台驗收 / 訂單能見度	第一層受惠最先反映的實績訊號
正型 PSPI 等材料取得 Glass Core 供應商認證	材料卡位轉成營收貢獻的轉折
Intel EMIB-T 與玻璃核心的產能優先序	EMIB-T 排擠可能延後玻璃投資

5E 風險與反證條件

- 時程遞延：Corning 等口徑將大規模採用定在 2030+，若玻璃量產一再延後，相關設備/材料營收貢獻會落空。

- **EMIB-T / ABF 排擠**：有機載板與 EMIB-T 需求若持續強勁，基板廠把資本支出優先投在這些路線。
- **成本下不來**：TGV 成本與整片 ASP 若無法降到 USD 400/片以下，玻璃對 ABF 缺乏競爭力。
- **技術未解**：RDL 脫層、玻璃破片良率若長期卡關，量產進一步推遲。
- **台廠卡位≠拿單**：多數台廠仍在驗證/卡位，雷射光源、電鍍配方等核心仍受制國際大廠，實際份額需逐案驗證。

資料基礎與圖片來源：本報告整理自半導體先進封裝產業公開資訊與券商/法說觀點之自行歸納。圖 1—5 取自福邦投顧《2026 年台灣半導體特化與耗材展望》(2026-03)；圖 6 取自野村 (Nomura) 半導體文藝復興報告 (2026-05-21)。製程與設備供應鏈另參酌呂紹旭玻璃載板 FOPLP 報告 (2026-05)、Corning 線上會議 (2026-05) 等。技術時程與份額為產業估值，具不確定性。

本報告為產業技術與投資觀點之研究整理，非投資建議，不構成任何證券買賣之要約或招攬。所列公司與代號僅為供應鏈定位說明，不代表推薦。投資人應自行判斷並承擔風險。