Chip Scale Review 2026 冬季號整理

CPO 封裝結構 × 混合鍵合量產門檻 × 無焊料 Cu–Cu 熱壓接合
× 散熱介面失效分析 × 晶圓形貌量測

報告日期：2026–09–29 ｜ 資料來源：Chip Scale Review（美國先進封裝技術季刊，Haley Publishing 發行）Vol.30 No.1，2026 年 1 月出刊，共 68 頁、九篇文章
性質：技術期刊中文導讀與投資含義整理。原刊為學界與設備 / IDM 工程師撰寫的技術文章，不含財務預測或投資評等；本報告的投資觀點為整理者依原文推論，已標示。

三句話看懂這一期

1. **CPO 的瓶頸已從「光學」轉到「封裝」**：交換器頻寬每代翻倍，光引擎越做越大，平面擺不下，只能 3D 堆疊；台灣載板大廠欣興的研究主管提出完整結構分類，並指出 CPO 至今**沒有任何公開可靠度數據**。
2. **混合鍵合的量產門檻被量化**：對位要小於 50nm、晶粒翹曲要小於 100nm，而產線最常用的超音波檢測只看得到 10μm，檢測是明確缺口。
3. **「非混合鍵合」的路線也在進步**：UCLA 以兩段式無焊料 Cu–Cu 熱壓接合把吞吐量從每顆 30–60 秒拉到每小時 1,100 顆以上，晶圓級系統不一定要走混合鍵合。

一、這一期在講什麼：九篇文章總覽

Chip Scale Review 是美國發行的先進封裝專業季刊，作者多為大學研究中心、IDM 與設備商的工程師，內容偏製程與方法論。本期的共同主軸是**「異質整合進入量產後，哪裡會卡住」**：從 CPO 的封裝結構、混合鍵合的潔淨與對位、晶圓級組裝的吞吐量，到散熱介面的失效分析與翹曲量測。下表依投資關聯度排序。

文章	作者機構	一句話重點	投資關聯
CPO：交換器、PIC、EIC 的異質整合	欣興（Unimicron），John H. Lau	整理四種光學擺位、12 種光引擎 3D 堆疊、三類 CPO 基板與三種橋接；建議多用玻璃、光引擎內部走混合鍵合	高
ECTC 2025 混合鍵合特別座談	Applied Materials、AMD、Binghamton 整理；講者 Adeia、KLA、imec、Toray、Samsung、AMD	六項量產門檻：<50nm 對位、表面與量測缺口、微粒與翹曲、<250°C 熱預算、設計標準化、散熱	高
異質晶圓級整合：半導體微縮的新前線	UCLA CHIPS（Iyer）	矽互連織構（Si-IF）＋兩段式無焊料 Cu-Cu 熱壓接合，吞吐 >1,100 顆 / 小時	中高
高效能處理器銦 TIM 截面方法評估	AMD 新加坡	銦導熱介面材料的截面製樣方法比較；均溫板蓋讓超音波檢測失效	中
波前相位成像對半導體量測的影響	Wooptix（西班牙）	1 秒內量完整片晶圓翹曲，主張鍵合前先量、把變形預算傳給微影	中
die-attach 空洞對 clip-bond 封裝散熱的影響	Nexperia（安世）	單一大空洞比分散小空洞更傷熱阻，組裝檢驗須守 5% 上限	低中
以多項式迴歸做異質封裝應力模擬	新加坡 A*STAR IME	用 AI 取代部分有限元素模擬，取樣數減半、誤差幾乎不變	低
TMR 磁感測器的晶圓級測試	Hprobe（已被 Mycronic 收購）	TMR 感測器需要精準三軸磁場才能在晶圓階段測試	低
第 6 屆 SWTest Asia 會後報導	SWTest 大會主席	Marvell、Advantest 的矽光子量產晶圓測試獲最佳論文；2026 年移師新竹	低中

閱讀提醒

期刊文章多為研究或方法論，數字是實驗條件下的結果，不代表量產水準；作者對路線的偏好（例如 John Lau 偏好玻璃與混合鍵合）屬作者觀點。本報告在各章以「原文重點」與「投資含義」分開寫。

二、CPO 封裝結構：光引擎放不下了，只能往上疊

原文：John H. Lau，欣興（Unimicron）資深特別專案顧問。作者有 40 年以上封裝研發經驗、532 篇論文、24 本教科書，是國際封裝學界的代表人物之一。

2.1 先搞清楚：光學元件離晶片多近

資料中心的交換器（switch ASIC）要把電訊號轉成光訊號送出去。負責光電轉換的叫**光引擎（OE，Optical Engine）**，由兩種晶片組成：**PIC**（光子積體電路，做雷射、調變、光偵測）和 **EIC**（電子積體電路，做雷射驅動與把微弱電流放大的 TIA）。光引擎離 ASIC 越近，電訊號要跑的銅線越短，功耗與延遲就越低。依距離由遠到近分成四種：

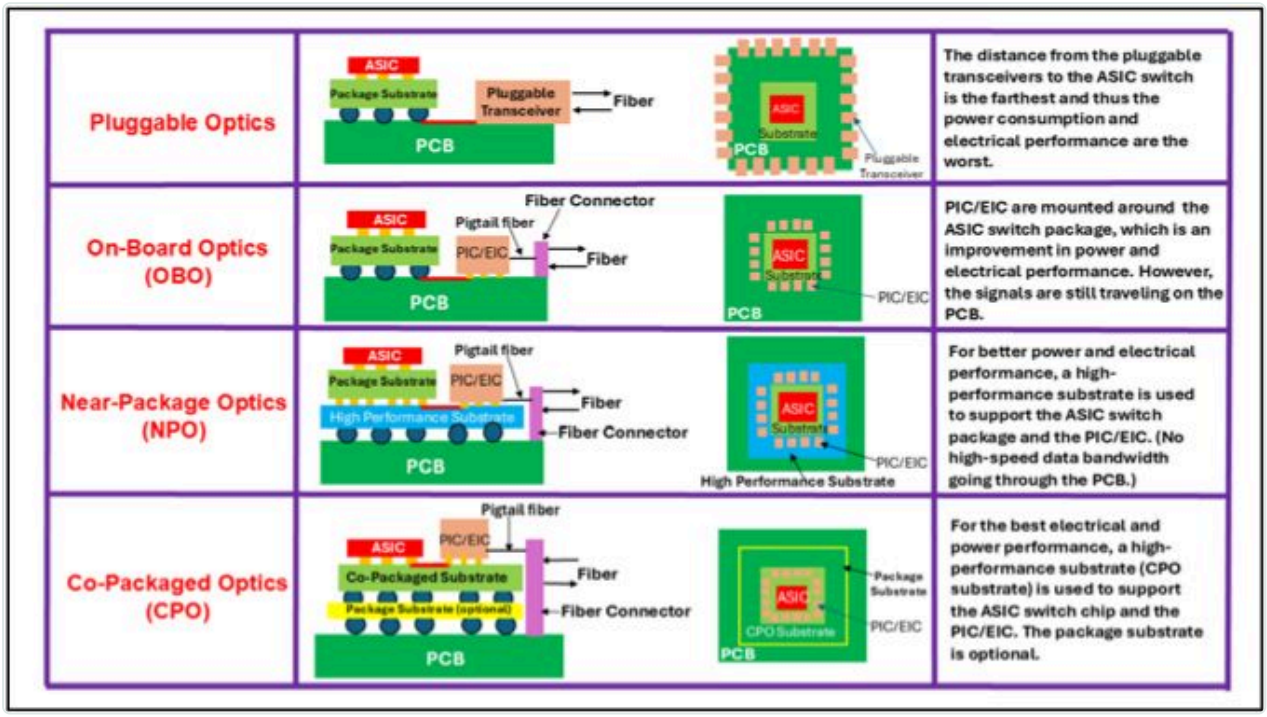


圖 1｜四種光學擺位。由上而下：可插拔光模組（pluggable，插在 PCB 邊緣，離 ASIC 最遠）、板上光學（OBO，光電模組圍在 ASIC 封裝旁，訊號仍走 PCB）、近封裝光學（NPO，ASIC 與光引擎放在同一片高性能基板，高速訊號不再經過 PCB）、共同封裝光學（CPO，光引擎沿 ASIC 四邊直接並排在同一個封裝基板上）。來源：Chip Scale Review 2026 冬季號，John H. Lau。

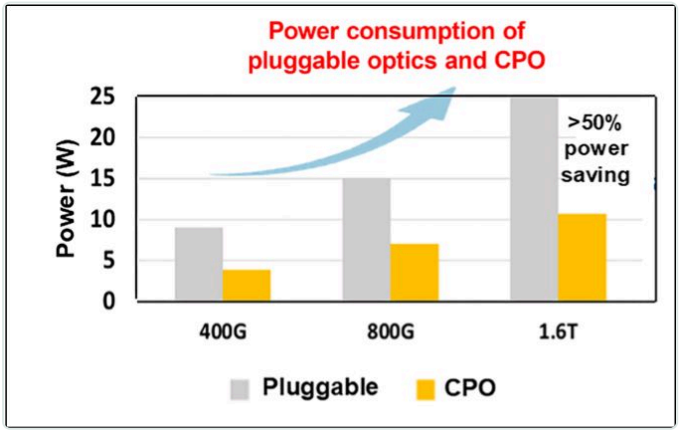


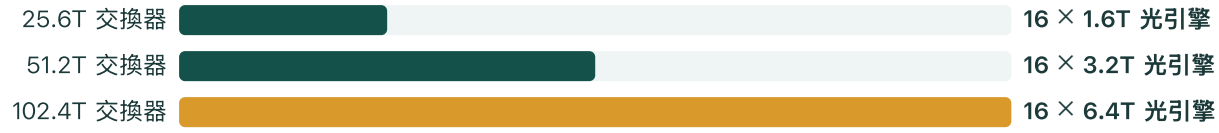
圖 2｜可插拔 vs CPO 功耗（W）。400G、800G、1.6T 三個世代的比較，1.6T 標示省電超過 50%。原文引用 OFC 2022 論文。來源：同上。

擺位	光引擎位置	高速訊號經 PCB？
Pluggable	PCB 邊緣插槽	是，最長
OBO	ASIC 封裝旁的 PCB 上	是
NPO	與 ASIC 同一片高性能基板	否
CPO	與 ASIC 並排在同一封裝基板	否，距離最短

現況：原文指出超過 90% 的光收發器仍是可插拔式。

2.2 為什麼要 3D 堆疊：光引擎一代比一代大

一顆交換器晶片通常被 16 個光引擎包圍。交換器頻寬每一代翻倍，每個光引擎的頻寬也跟著翻倍，裡面的 PIC 與 EIC 晶片就越做越大；但一個多晶片模組的面積有物理上限。



長條長度代表單一光引擎頻寬的相對大小。原文：以現有封裝技術，要在 51.2T 或 102.4T ASIC 四周塞滿 16 個光引擎「很有挑戰」。

作者提出兩條解法：一是把部分 PIC、EIC 用 CMOS 製程整合成單顆矽光子晶片；二是把 PIC 和 EIC 從「平面並排」改成**「上下堆疊」**。他把堆疊方式整理成 12 種（圖 3），差別在上下晶片怎麼連：微凸塊（μbump）、穿矽孔（TSV）、無凸塊的 Cu–Cu 混合鍵合，或是中間墊一層轉接板（矽、有機或玻璃中介層）。

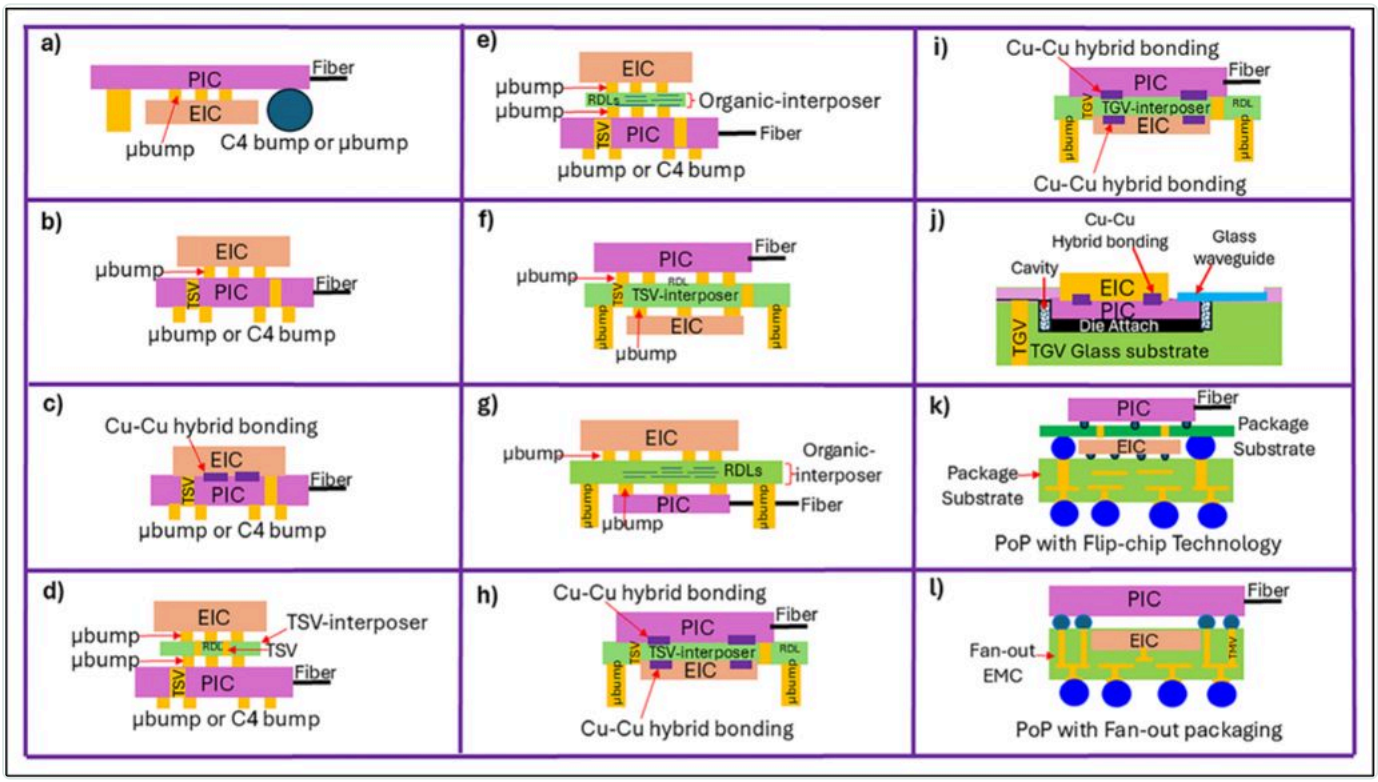


圖 3 | 12 種 PIC / EIC 3D 堆疊方式（a–l）。a 為面對面 μbump；b 為面對背經 PIC 的 TSV；c 改用 Cu–Cu 混合鍵合；d–i 在 PIC 與 EIC 之間加入 TSV、有機或 TGV 玻璃中介層（可省掉 PIC 內部的 TSV）；j 為 PIC 半埋入玻璃基板凹槽；k、l 為兩種疊層封裝（PoP）。極高密度或 EIC / PIC 難以直接堆疊時才走中介層。來源：同上。

2.3 三種 CPO 形態：作者認為「全整合」看不到

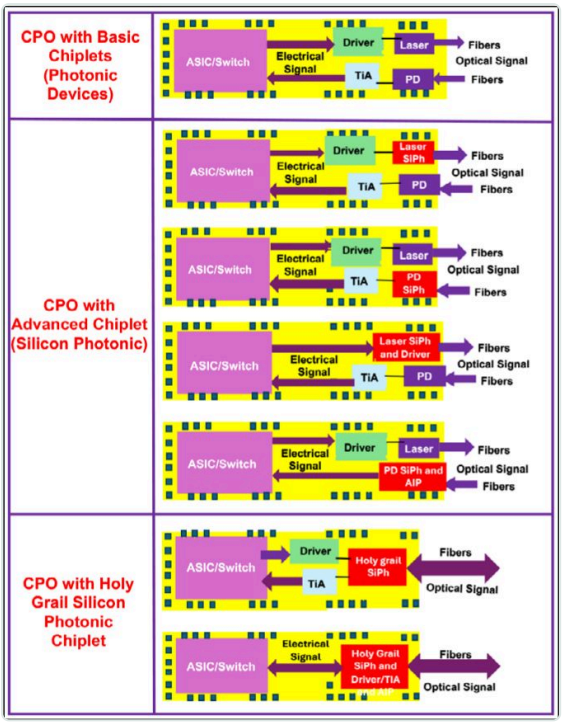


圖 4 | 三種 CPO 形態。上：基本 chiplet（分立光元件）；中：進階 chiplet（矽光子整合晶片）；下：holy grail 全整合矽光子晶片。來源：同上。

形態	優點	缺點	作者判斷
基本 chiplet：switch、driver、TIA 各一顆，雷射與光偵測器為分立元件	成本低、彈性高	封裝大、測試與 burn-in 工作多	**用量最大**
進階 chiplet：矽光子的雷射＋驅動、光偵測＋TIA 整合晶片	性能好、易測、封裝小	成本高、架構僵硬	用量較少
Holy grail：所有 PIC、EIC 做在同一顆 CMOS 晶片	理想中最好	技術上做不到	**nowhere in sight**

作者指出，二十年前業界曾熱衷把所有東西整合進矽光子；近幾年反而**受成本驅動，把 PIC 與 EIC 拆成小 chiplet 再用封裝整合**。這把 CPO 的價值重心推向封裝與基板。

2.4 CPO 基板與橋接：性能和成本同方向

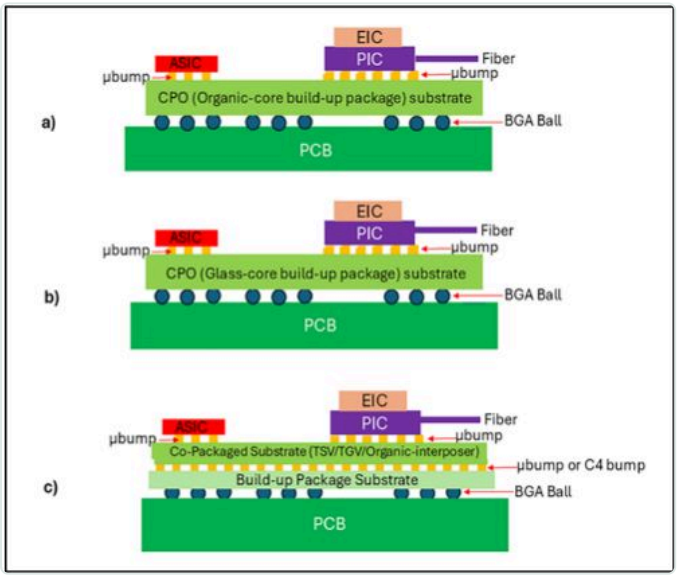


圖 5 | CPO 基板三選項。a) 有機芯增層載板；b) 玻璃芯增層載板；c) 在增層載板上再加 TSV / TGV / 有機中介層。c 性能與成本最高，a 最低。來源：同上。

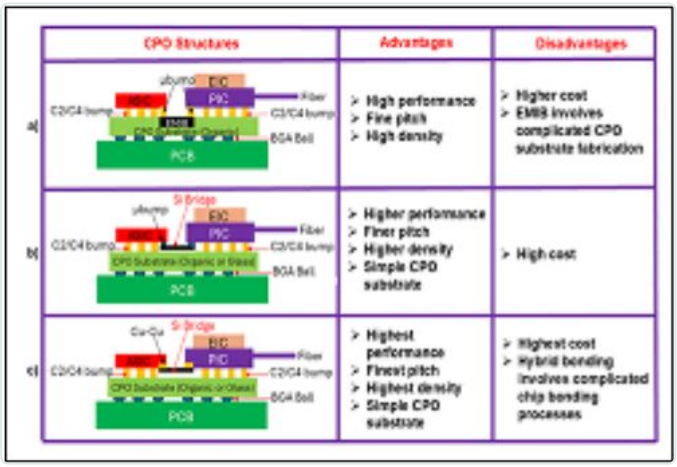


圖 6 | 三種 ASIC 與光引擎的橋接結構比較。a) Intel EMIB 式埋入橋；b) 矽橋放在基板上方、以 μbump 接合；c) 矽橋改用混合鍵合。越往下密度越高、基板越簡單，但成本與製程難度越高。來源：同上。

其他被提出的系統還包括：扇出重佈線層（fan-out RDL）基板，結構簡單、性能高、成本合理；在基板開孔、PCB 內埋兩端 45° 鏡面的高分子光波導，讓光從外部光纖經鏡面折進 PIC；以及在玻璃中介層或玻璃基板上直接做玻璃光波導。作者最後提出一個 AI 系統構想：GPU 被 HBM 包圍、HBM 外再被光引擎包圍，交換器同樣被光引擎包圍，兩者之間全以光纖相連（圖 7）。

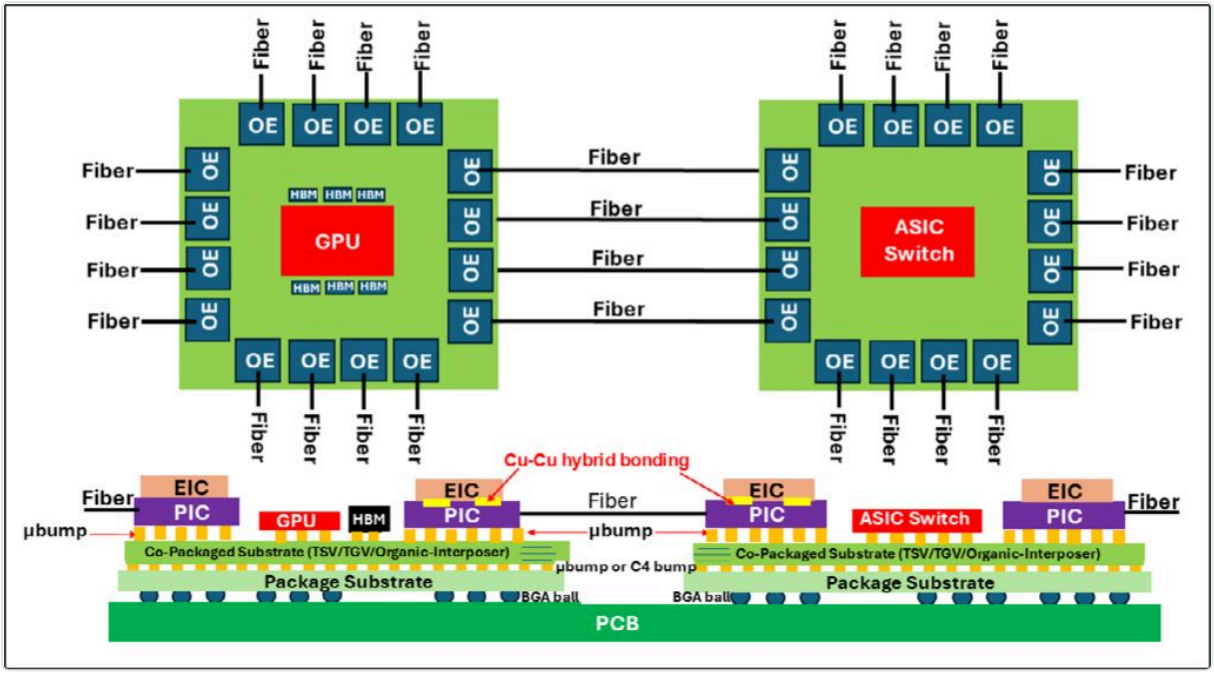


圖 7｜GPU＋HBM 與交換器都以 CPO 光纖互連的系統構想。左為 GPU 四周 HBM、外圈光引擎（OE）；右為交換器 ASIC 外圈光引擎；兩者皆置於 TSV / TGV / 有機中介層再上封裝基板，光引擎內 PIC 與 EIC 以 Cu–Cu 混合鍵合堆疊。來源：同上。

2.5 作者的四點建議

1. **多用玻璃**：玻璃較能無縫整合光互連（可直接做波導），建議 CPO 多採玻璃基板或玻璃中介層。
2. **光引擎內部走 Cu–Cu 混合鍵合**：為了更高密度、更細間距、更低功耗與延遲。
3. **可靠度數據是空白**：截至撰文，沒有任何公開論文發表 CPO 的品質與可靠度數據（溫度循環、熱衝擊、振動、高溫儲存、高加速濕熱等），這是 CPO 普及前「迫切需要」補上的；3D CPO 的熱管理會是重要課題。
4. **漏光是隱形殺手**：耦合損失、波導裂紋、散射與吸收造成的漏光，就像電路的漏電。

投資含義（整理者觀點）

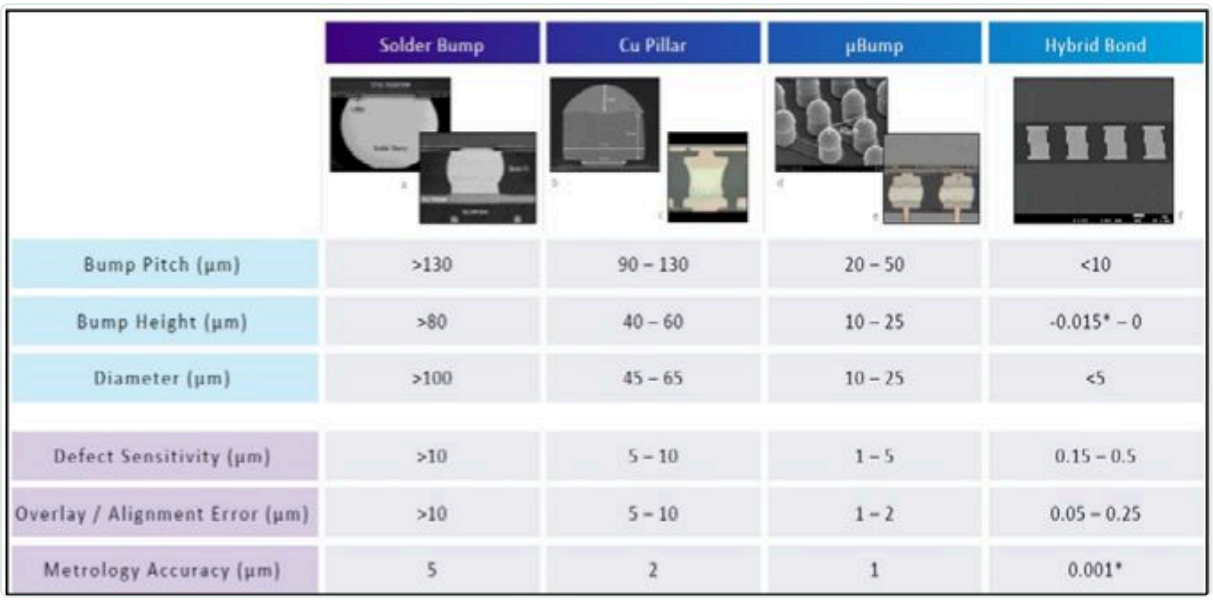
- **CPO 價值向封裝與基板移動**：若主流是「分立 chiplet＋3D 堆疊」而非單晶片整合，堆疊、中介層、橋接與基板環節的重要性上升。對**欣興（3037）**而言，這篇文章連同文中列出的三項專利（CPO 用有機中介層 US 11,860,428、PIC/EIC 經有機中介層 3D 堆疊 US 12,412,879、Cu–Cu 混合鍵合橋 TW 1848577），顯示載板廠正往 CPO 結構設計端延伸；惟屬研發佈局，未揭露客戶或量產時程。
- **玻璃基板的 CPO 敘事獲學界背書**：玻璃的優勢不只 CTE 與平整度，還能直接整合光波導（玻璃封裝另見同日發布的玻璃封裝專題報告）。
- **可靠度空白是時程風險**：沒有公開可靠度數據，意味著客戶驗證週期可能比市場預期長，支持「CPO 真正放量在 2027 年以後」的看法。

三、混合鍵合：六家業者一起把量產門檻講清楚

原文：ECTC 2025（IEEE 電子元件與技術會議，封裝界最大年會）混合鍵合特別座談會後整理。講者來自 Adeia（混合鍵合專利授權方）、KLA（量測設備）、imec（比利時研究機構）、Toray（東麗，材料）、Samsung、AMD。

3.1 混合鍵合為什麼難：精度差了一到兩個數量級

混合鍵合（hybrid bonding）是把兩片晶片的銅接點與周圍的介電層（通常是氧化矽或 SiCN）**同時**直接貼合：先在室溫讓介電層貼上，再加熱讓凹陷的銅膨脹接上，中間沒有焊料凸塊。好處是間距可以做到 10μm 以下、訊號路徑極短；代價是每一個環節的精度都要跳一級。KLA 的比較表把這件事量化：



	Solder Bump	Cu Pillar	μBump	Hybrid Bond
Bump Pitch (μm)	>130	90 – 130	20 – 50	<10
Bump Height (μm)	>80	40 – 60	10 – 25	-0.015* – 0
Diameter (μm)	>100	45 – 65	10 – 25	<5
Defect Sensitivity (μm)	>10	5 – 10	1 – 5	0.15 – 0.5
Overlay / Alignment Error (μm)	>10	5 – 10	1 – 2	0.05 – 0.25
Metrology Accuracy (μm)	5	2	1	0.001*

圖 8｜四種互連方式的尺寸與精度要求（KLA 估計值）。由左至右為焊料凸塊、銅柱、微凸塊、混合鍵合。混合鍵合的間距 <10μm，缺陷敏感度 0.15—0.5μm，對位誤差 0.05—0.25μm，量測精度需達 0.001μm（用來分辨銅相對氧化層的凹陷量）。來源：Chip Scale Review 2026 冬季號，ECTC 2025 座談，KLA 簡報。

換個比例感受：頭髮直徑約 70μm。微凸塊時代的對位誤差容許 1—2μm，混合鍵合要做到 50—250nm，是頭髮直徑的千分之一到三百分之一。量測則要看得出 1nm 等級的銅凹陷。

3.2 六家講者各說了什麼

講者	重點
Adeia	晶圓對晶圓（W2W）的 DBI 適合小且高良率的晶粒，例如影像感測器、天線開關、3D NAND；晶粒對晶圓（D2W）的 DBI Ultra 適合大晶粒，例如 DRAM、CPU、GPU、SoC，可以只挑好晶粒鍵合。下一步是把晶粒直接混合鍵合到含有機層的封裝基板；鍵合前後都需要量測，長期目標是可重工。
KLA	量測焦點：表面缺陷、研磨（CMP）後的銅與介電層輪廓、鍵合前晶圓與晶粒翹曲、電漿切割的乾淨單顆化、對位。間距進入個位數微米後，缺陷越來越難看見，量測時間也拉長。
imec	W2W 已用於記憶體堆疊量產；D2W 正快速推進到邏輯對記憶體、邏輯對邏輯；晶粒對晶粒（D2D）用於 chiplet 與修補。細間距需要 **<50nm 對位**。D2W 的表面因為薄化與切割，天生比 W2W 粗。
Toray	提出**聚合物混合鍵合**（聚醯亞胺對氧化矽）：鍵合溫度 **<250°C**、壓力低，熱膨脹係數可在 5—100ppm/K 調整，對微粒的容忍度高、應力小；實驗對位 <2μm。相容玻璃基板與面板級封裝。

Samsung	兩大難題是微粒與翹曲。微粒來自切割、CMP、載板製程、鍵合與背磨；**晶粒翹曲必須壓在 100nm 以下**才能堆疊，大而薄的晶粒更難。引用 Yole：混合鍵合產品年複合成長率 18%（16 層 HBM、3D NAND、3D DRAM 驅動），高於整體先進封裝到 2029 年的 13%。
AMD	要擴大滲透就得簡化製程、降成本；鍵合膜位在散熱路徑上，會增加熱阻。要整合第三方 chiplet，必須先有混合鍵合的設計標準（版圖交換格式、繞線規則、IO 規格、設計規則檢查、電遷移與壓降檔案）。上市時程已是導入的限制因素之一。

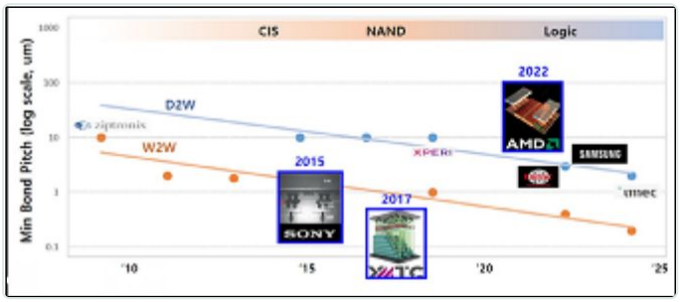


圖 9｜混合鍵合最小間距演進（對數座標）。D2W 與 W2W 兩條線，應用由影像感測器（CIS）、NAND 走向邏輯，標示 Sony 2015、YMTC 2017、AMD 2022 與 Samsung 等節點。來源：同上，Samsung 簡報。

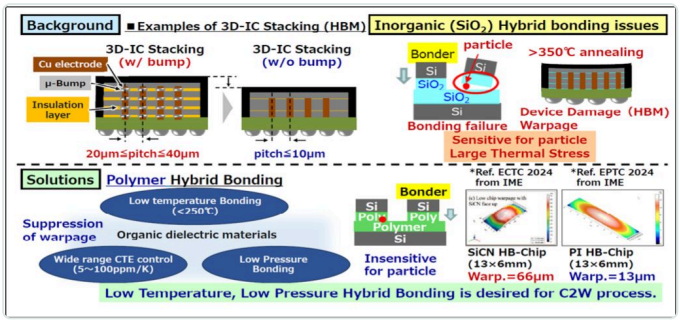


圖 10｜Toray 聚合物混合鍵合的出發點。傳統無機（SiO_2）混合鍵合需 >350° C 退火、對微粒敏感、熱應力大導致 HBM 翹曲；聚合物路線以低溫、低壓鍵合並容忍微粒。來源：同上，Toray 簡報。

3.3 座談共識：六項量產門檻

1
對位 <50nm
W2W 與 D2W 都需要更精準的鍵合機、應力模型與晶圓 / 晶粒形狀補償

2
表面與量測缺口
銅凹陷、氧化層平坦化、表面缺陷是良率損失主因；需要高吞吐量測

3
微粒與晶粒翹曲
切割、取放、薄化都會產生微粒與彎曲；先進清洗與低壓材料是解方

4
熱預算 <250° C
HBM 與 3D DRAM 需要低溫鍵合；低溫銅擴散與聚合物介電是關鍵

5
設計標準化
可互通的設計規則、LEF/DEF 與電性 IP 標準，才能整合第三方 chiplet

6
散熱與可靠度
3D 堆疊功率密度超過 3W/mm²，需整合微流道、冷板鍵合等散熱

3.4 問答中值得注意的細節

- **一顆微粒就能造成關鍵損傷**；空洞大小依材料可差好幾個數量級，有機污染是主因之一；銅凹陷被點名為失效根因。
- **電漿切割幾乎是必要選項**：邊緣乾淨、微粒少；但機械刀、隱形雷射、電漿三種切割的良率可達相近水準，切割後清洗仍不可省。
- **超音波掃描（CSAM）解析度約 10μm，不足以偵測**現行混合鍵合的空洞。業界需要能看見次微米 Cu–Cu 介面空洞的鍵合後量測，以及能即時回饋的製程中量測。
- 聚醯亞胺對氧化矽鍵合時，控制 5–15nm 的銅凸出比控制銅凹陷容易；室溫鍵合與 200° C 以上退火之間的多次熱循環會讓大晶片分層，翹曲控制要從晶片設計就開始。
- Adeia 的研究顯示，距晶粒邊緣約 70μm 以內仍可維持電性連接。

投資含義（整理者觀點）

- **檢測與量測是最明確的增量**：主流檢測工具看不到混合鍵合的缺陷，是座談中最直接的「缺口」。台灣相關者包括混合鍵合 AOI 檢測平台的**政美應用（7853）**；國際以 KLA、Onto 為主。
- **潔淨與表面處理**：CMP 後清洗、電漿活化、切割後清洗的重要性上升，對應**弘塑（3131）**的 SoIC 濕製程、**勝一（1773）**的洗淨液、**中砂（1560）**的 CMP 鑽石碟。
- **介電層與低溫材料**：SiCN 等介電層沉積對應**天虹（6937）**的 ALD；聚合物混合鍵合若成熟，材料話語權在日系（Toray 等）。
- **HBM 是混合鍵合下一個大量應用**：16 層 HBM 是 Yole 成長預估的主要驅動之一，觀察重點是 HBM 何時從熱壓接合切換。

四、另一條路：無焊料 Cu–Cu 熱壓接合與晶圓級系統

原文：Krutikesh Sahoo（現任職 Micron）、Subramanian S. Iyer（UCLA CHIPS 異質整合中心主任）。

4.1 兩種微縮思路

Scale down：追求密度

更細的凸塊間距、更薄的介電層、更窄的金屬線，對應 3D-IC 垂直堆疊的頻寬需求。代表技術是間距遠低於 10μm 的直接金屬鍵合。

Scale out：追求面積

把整片 300mm 晶圓、甚至 600mm 面板當成一個系統，容納大量記憶體與上千個處理核心。難點不只是間距，而是機械穩定、翹曲，以及在一片基板上組裝上千顆晶粒的速度。

UCLA 的做法是**矽互連織構（Si-IF）**：用一整片矽晶圓當作高密度佈線平台。基板與晶粒都是矽，熱膨脹係數完全一樣，溫度變化時不會像有機載板那樣翹曲，整片晶圓可以做到 7μm 以下的互連間距。

4.2 為什麼選熱壓接合而不是混合鍵合

方法	原理	限制
焊料覆晶	整批回焊焊料凸塊，業界主力 30 年	間距 <40μm 後易橋接短路，介金屬化合物變脆，微量焊料難控
熱壓接合（TCB）	鍵合頭同時加熱加壓；無焊料版直接把銅柱壓到銅墊	傳統上很慢，每顆 30–60 秒
混合鍵合	介電層先室溫貼合，再加熱讓銅膨脹接上	需 Class 1 無塵室、次奈米粗糙度、昂貴 CMP；介電層鍵合依賴特定材料，跨晶圓廠異質整合較難

作者的論點是：熱壓接合的壓力由外部施加、與材料系統無關，比混合鍵合更可控、容忍度更高，**特別適合來自不同晶圓廠、不同材料的晶粒混搭**；只有當所有晶粒都來自同一家晶圓廠時，混合鍵合才最有優勢。

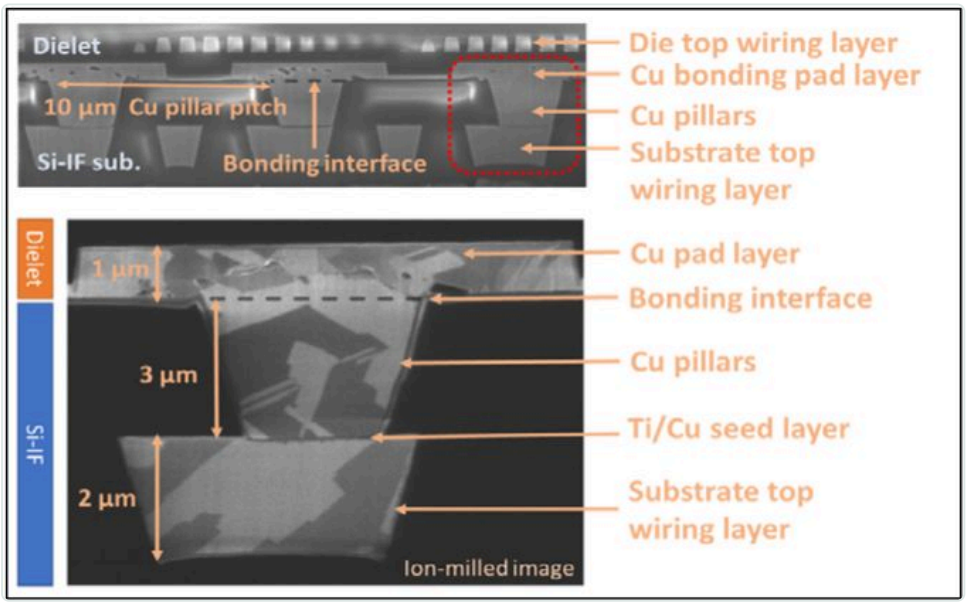


圖 11 | Si-IF 上的無焊料 Cu–Cu 熱壓接合截面。銅柱間距 10μm，上為晶粒（dielet），下為 Si-IF 基板；放大圖標出銅墊、銅柱、Ti/Cu 種子層與鍵合介面，可見晶粒跨越介面成長成連續金屬。來源：Chip Scale Review 2026 冬季號，UCLA CHIPS。

4.3 關鍵突破：把「對位」和「鍵合」拆開

單步熱壓接合每顆晶粒要 30–60 秒（對位、加熱到 300°C、再冷卻），一片晶圓 1,000 顆晶粒要超過 16 小時，商業上不可行。兩段式製程把兩件事拆開：

前處理
表面活化
離子束或電漿去除銅表面氧化層；銅柱粗糙度須 <3nm

→

步驟 1
高速暫固定（tacking）
覆晶機對位後以 120°C、低壓脈衝固定，每顆 <10 秒

→

步驟 2
整片批次退火
整片 300mm 晶圓進爐，300–400°C、30–60 分鐘，上千接點同時完成

→

後處理
ALD 氧化鋁鈍化
奈米級 Al_2O_3 包覆，隔絕濕氣



單步產能為整理者依每顆 30–60 秒換算；兩段式為原文實驗值。

4.4 可靠度與製程細節

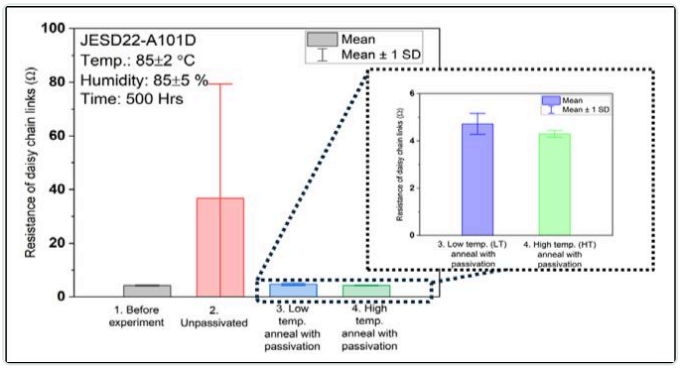


圖 12 | 85°C / 85% 濕度 500 小時測試。未鈍化樣品的菊鏈電阻均值升到約 37Ω 且差異極大；氧化鋁鈍化樣品（300°C、400°C 退火兩組）維持約 4–5Ω。來源：同上。

- **濕度**：未鈍化樣品 100 小時內失效；ALD 氧化鋁鈍化後超過 500 小時電阻與機械強度不變。
- **溫度循環**：0–125°C 循環 110 次零失效，剪力強度因晶粒持續成長反而略升。
- **機台**：鍵合頭平整度是最關鍵參數，傾斜零點幾度就會一側冷接、一側銅柱變形；研究用 K&S 的 APAMA 覆晶機，文中稱新款 Aptura 對位與吞吐更好。
- **還原氣氛**：鍵合時在機台內局部通甲酸去氧化；若能持續氮氣吹掃維持低氧，甲酸步驟可省。
- **焊料輔助版**：銅柱上加 2μm 錫帽較能容忍粗糙與不平，但最高性能仍走純 Cu–Cu，以避開焊料的柯肯達爾空洞。

未來五年三個趨勢（原文）：chiplet 介面標準化（SuperCHIPS、BoW 這類與協定無關的簡單平行介面）；直接 Cu–Cu 鍵合，熱壓接合可望推進到 5μm 間距；散熱改為把液冷、兩相冷卻與微流道散熱器直接鍵合到組件上，最好不再使用導熱介面材料。

投資含義（整理者觀點）

- **熱壓接合不會被混合鍵合「一次取代」**：在異質晶粒混搭、晶圓級系統的場景，無焊料 TCB 有自己的位置。這支持熱壓接合設備需求延續，國際為 Hanmi、ASMPT、K&S、Besi；台灣觀察**梭特（6812）**與未上市的麥科先進。
- **晶圓級系統仍屬早期**：與台積電的 SoW / SoWX 同方向，但 UCLA 的 Si-IF 屬學界路線，量產時程不明。

五、散熱路徑上的兩個細節：銦導熱介面與晶片黏著空洞

5.1 AMD：怎麼看出銦導熱介面裡的裂紋

高效能處理器分兩種封裝：**無蓋（lidless）**用在筆電與嵌入式；**有蓋（lidded）**用在桌機與伺服器，近年也用在 AI 繪圖晶片。有蓋設計中，晶片與金屬蓋之間夾著一層**導熱介面材料（TIM）**，是晶片散熱的直接路徑。高階產品常用軟的金屬銦，夾在硬的矽晶片與銅蓋之間。

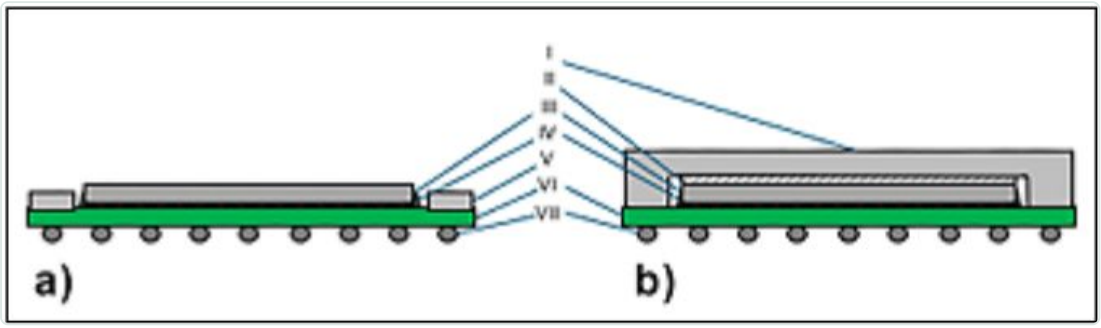


圖 13｜處理器兩種封裝截面。a) 無蓋、b) 有蓋；標示 I 蓋子、II 導熱介面材料、III 晶片、IV 底部填膠與互連、V 補強環、VI 載板、VII 錫球。來源：Chip Scale Review 2026 冬季號，AMD 新加坡。

非破壞檢測（超音波、X 光）只能看到空洞的平面位置，要量厚度、做元素分析或判斷裂紋嚴重度，就得把封裝切開做截面。問題是三種材料的硬度差太多：銦的莫氏硬度 1.2、銅 3.0、矽 6.5，研磨用的碳化矽（9.5）與氧化鋁（9）碎屑會嵌進軟銦裡，把裂紋蓋住。AMD 比較了兩種方法：

方法	做法	耗時	可切開長度	表面品質	適用
上蠟砂紙機械研磨	在碳化矽砂紙塗上蠟燭蠟（硬度 <1），讓碎屑嵌在蠟裡；省略氧化鋁拋光	約 2 天	全長，可 >50mm	仍有碎屑與銅拖曳	量厚度、看整片大裂紋
冷卻離子研磨	氬離子轟擊表層；加液氮冷卻台，避免銦在 156.6°C 熔點附近受熱變質	5–7 天	僅 2.5–4.8mm	無假影	元素分析、次微米量測、細微裂紋與分層

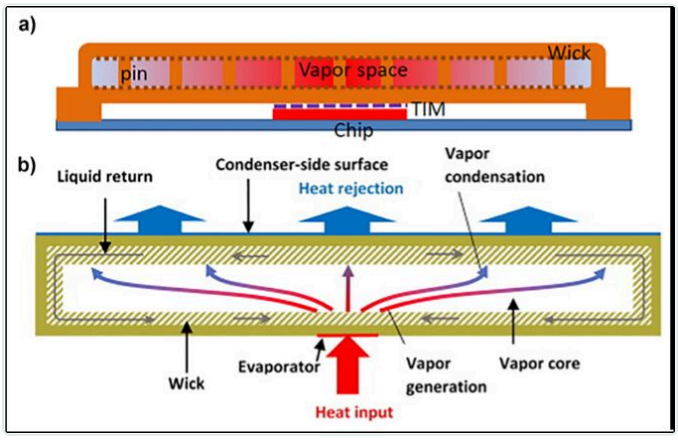


圖 14｜均溫板蓋（VCL）。a) 截面：蓋子內部是蒸氣腔與毛細結構；b) 原理：晶片熱讓液體蒸發，蒸氣在上方冷凝放熱，再經毛細結構回流。來源：同上。

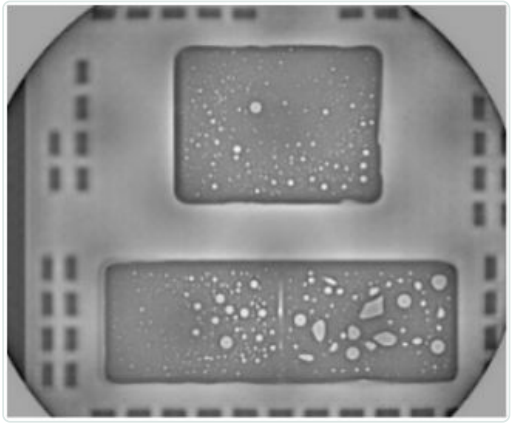


圖 15｜X 光斷層（laminography）只取導熱介面那一層。可見兩塊晶片區域內的空洞分布。超音波穿不過均溫板的蒸氣層，只能改用這種方法。來源：同上。

三個案例的結論：溫度循環 3,000 次後的暗區經截面證實為裂紋，之後可只靠超音波篩檢；**均溫板蓋（VCL）讓超音波失效**，必須改用 X 光斷層；功率循環 4,600 次後，晶片與導熱介面之間出現分層。

5.2 Nexperia：功率 MOSFET 黏晶空洞，一個大洞比十個小洞糟

Clip-bond 封裝用一片銅片取代打線，連接功率 MOSFET 的閘極與源極，電流能力、導通電阻、寄生電感與熱阻都比打線好，已大量用於車用。晶片底下的黏晶焊料在回焊時幾乎一定會產生空洞，空洞裡是空氣，會阻擋熱往下傳。

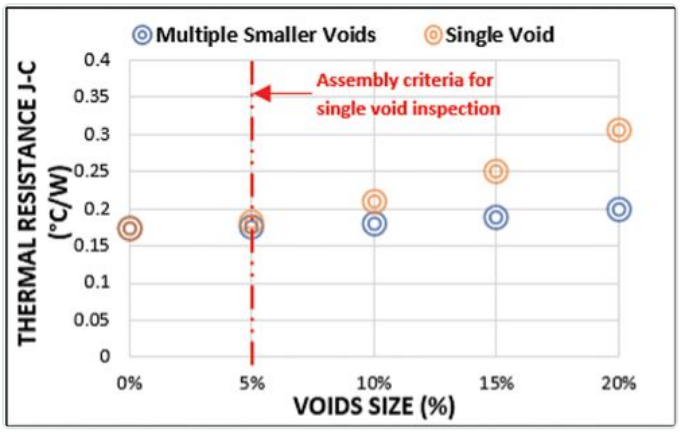


圖 16｜空洞比例 vs 熱阻（模擬）。單一大空洞在 5% 組裝標準線之後明顯上升，20% 時約 0.3° C/W；多個小空洞維持約 0.2° C/W。來源：Chip Scale Review 2026 冬季號，Nexperia。

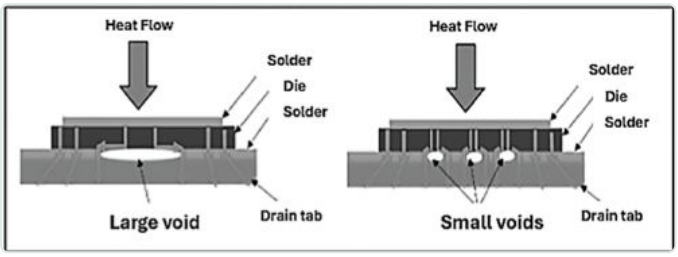


圖 17｜熱流路徑。大空洞迫使熱在晶片內橫向繞行很遠（左）；小空洞只造成局部繞行（右）。來源：同上。

- 20% 空洞時，矽溫度上升：多個小空洞 1.85%，單一大空洞 9%。
- 實測單一空洞 60% 時熱阻升到 1.38° C/W，增加 557%；超過 5% 後呈指數上升。
- 結論：組裝檢驗時**單一大空洞必須守在 5% 以內**。

> **投資含義（整理者觀點）**
>
> - **AI 晶片的蓋子與導熱介面仍在快速變動**：均溫板蓋、金屬導熱介面登場，連失效分析方法都得跟著換，代表這段結構尚未定型，材料與貼合設備的規格升級還在進行。相關台廠：蓋子與微通道蓋板的**健策（3653）**、TIM1 貼合設備的**竑騰（7751）**。
> - **檢測從「有沒有空洞」走向「空洞長什麼樣」**：兩篇文章都指向同一件事，空洞的形態比總量更重要，對 X 光與超音波檢測的解析度要求提高。

六、量測與模擬：先量準，再動手

6.1 Wooptix 波前相位成像（WFPI）：1 秒量完整片晶圓

原理是用一道均勻的平行光照射晶圓，晶圓表面的高低起伏會讓反射光的「波前」變形。在焦點前後各拍一張強度影像，用演算法把波前形狀算回來，就得到整片晶圓的形貌。原文數據：

- 單次拍攝，**不到 1 秒**取得整片資料；高度解析度達次奈米。
- 300mm 空白晶圓以每像素 65μm 取得超過 1,600 萬個資料點；改光路後側向解析度可到 **7.5μm**，能看到晶粒對晶圓鍵合時每貼一顆晶粒造成的局部變形。
- 可量空白、有圖形與鍵合後的晶圓，也可延伸到玻璃、碳化矽、氮化鎵、砷化鎵基板。

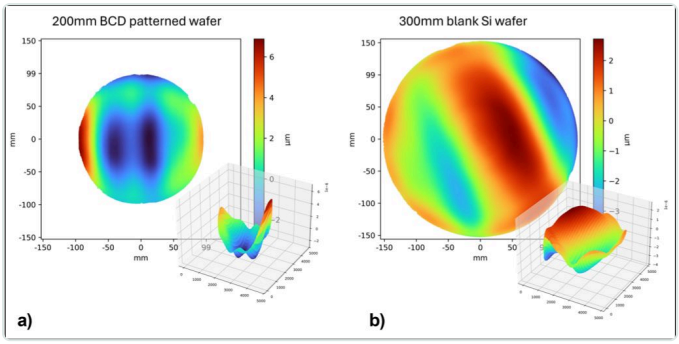


圖 18｜WFPI 量測結果。a) 200mm BCD 製程圖形晶圓、b) 300mm 空白矽晶圓的 2D 與 3D 形貌。來源：Chip Scale Review 2026 冬季號，Wooptix。

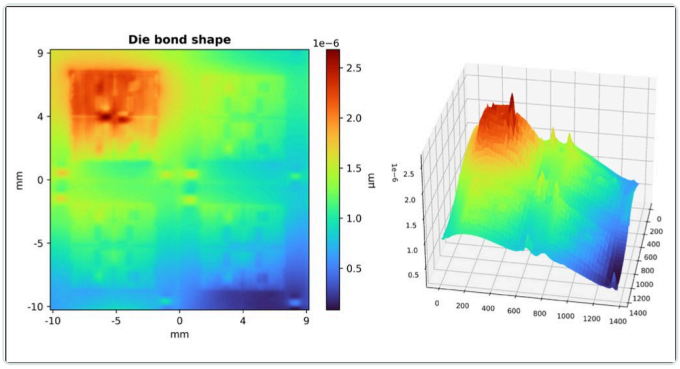


圖 19｜晶粒對晶圓鍵合後的局部形貌。高解析 WFPI 的 2D 高度圖與 3D 曲面，可見鍵合晶粒造成的局部變形。來源：同上。

文中指出，只要 50–100μm 的變形就會讓微影對不準，而鍵合又會改變晶圓的翹曲平衡。因此主張 **feed-forward（前饋）**：在鍵合與微影之前先量形貌，把變形預算直接交給微影工程師補償。

形貌量測
鍵合前
→
鍵合
改變翹曲平衡
→
形貌量測
鍵合後
→
微影
依量測補償
→
疊對量測
驗證結果

6.2 A*STAR：用 AI 取代部分應力模擬

3D 異質封裝在極端溫度循環下會產生高應力，傳統靠有限元素分析（FEA）預測，但需要專業人力、昂貴軟體授權與長時間運算。新加坡 A*STAR 微電子所用「多項式深度迴歸」建模，並以拉丁超立方取樣挑選最有資訊量的模擬案例：

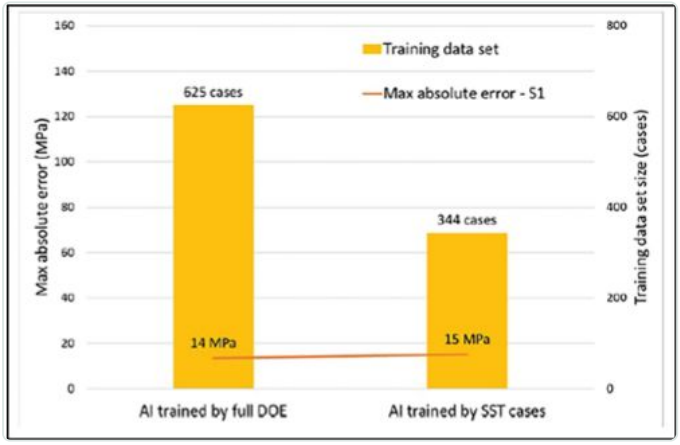


圖 20｜完整取樣 vs 策略取樣。完整 625 組案例訓練的 AI 最大誤差 14MPa；策略取樣 344 組的最大誤差 15MPa。來源：Chip Scale Review 2026 冬季號，A*STAR IME。

項目	完整取樣	策略取樣
模擬案例數	625	344
運算時間	52 小時	29 小時
最大絕對誤差	14MPa	15MPa
相對最大誤差	9.5%	10.3%

結論：案例數減半、時間省約 44%，誤差幾乎不變，讓沒有模擬背景的工程師也能在產線上快速做應力檢查。

七、測試端：磁感測器與 SWTest 會後觀察

7.1 Hprobe：TMR 感測器要三軸磁場才能測

穿隧磁阻（TMR）感測器靈敏度與線性度優於霍爾、AMR、GMR，已進入車用（電動轉向、馬達、電池管理）、工業、機器人與醫療。晶圓測試時要施加方向、大小都精準的三軸磁場，但探針卡的金屬會干擾磁場，速度、場強、精度與均勻度彼此取捨。Hprobe（2025 年被瑞典 Mycronic 收購）的測試頭可在各軸產生約 1–200mT 磁場，精度優於 10 微特斯拉。原文引用：磁感測器市場 2023 年約 30 億美元，年成長 4% 以上，TMR 成長最快。

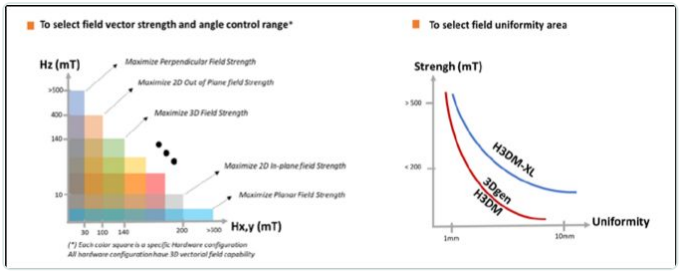


圖 21 | Hprobe 磁場產生器配置。左：垂直與平面場強的可選範圍；右：場強與均勻區域大小的取捨曲線。來源：Chip Scale Review 2026 冬季號，Hprobe。

7.2 SWTest Asia 2025：矽光子已在 SoC 測試機上跑量產

- 在日本福岡舉行，超過 850 人、54 家展商，為 SWTest 系列 40 多年來最大規模。
- **最佳論文**：Marvell、Jenoptik、Advantest 合作的「以 Advantest V93000 SoC 測試平台進行矽光子量產晶圓測試」，代表矽光子 PIC 已能在既有 SoC 測試機台上做量產測試。
- 最佳資料獎：Micron 談先進記憶體對探針測試的衝擊；最佳海報：FormFactor 的高腳數、高平行度垂直探針卡。
- 主題演講：Renesas 談車用測試、Rapidus 更新北海道 2nm 工廠進度。
- **SWTest Asia 2026 將於 2026 年 11 月 4–6 日在新竹喜來登舉行。**

八、綜合觀點與台股對照

8.1 九篇文章指向的同一件事

把本期文章放在一起看，先進封裝的挑戰正從「能不能做出來」移到**「能不能量產、能不能檢測、能不能保證可靠度」**：

結構設計

CPO 光引擎 3D 堆疊

晶圓級系統 Si-IF

基板：有機、玻璃、中介層

接合

混合鍵合：<50nm 對位、<250°C

無焊料 Cu-Cu TCB：>1,100 顆 / 小時

量測與檢測

CSAM 10μm 看不到混合鍵合空洞

WFPI 1 秒量晶圓形貌

X 光斷層取代超音波

散熱與可靠度

CPO 無公開可靠度數據

均溫板蓋、銅導熱介面

空洞形態比總量重要

測試

矽光子上 SoC 測試機量產

高腳數垂直探針卡

8.2 台股對照表

環節	相關公司	與本期內容的連結	關聯強度
CPO 基板與結構	欣興（3037）	John Lau 為欣興研究主管，文中列出欣興三項 CPO 專利；載板廠往 CPO 結構設計延伸	直接
混合鍵合檢測	政美應用（7853）	混合鍵合 AOI 平台（全域對位、平整度、缺陷分類）；座談點名檢測為最大缺口	間接
混合鍵合濕製程與洗淨	弘塑（3131）、勝一（1773）	CMP 後與切割後清洗、電漿活化前洗淨，微粒控制是第一門檻	間接
CMP 耗材	中砂（1560）	CMP 鑽石修整碟，影響銅凹陷與平坦度	間接
介電層沉積	天虹（6937）	SiCN 等介電層 ALD 沉積	間接
鍵合設備	梭特（6812）	熱壓接合與混合鍵合設備佈局；國際競爭者為 Besi、ASMPT、Hanmi、K&S、EVG	間接
散熱蓋與導熱介面	健策（3653）、竑騰（7751）	均溫板蓋、金屬導熱介面升級；TIM1 貼合設備	間接
CPO 與先進測試	穎崴（6515）、旺矽（6223）	CPO 測試座與測試設備；本期亦刊登穎崴 HyperSocket 廣告（>224Gbps、>2,000W、大於 100×100mm² 封裝）	間接

「直接」指原文點名該公司；「間接」指整理者依文章揭示的技術需求對照公司業務，非原文所述。

8.3 值得追蹤的三個訊號

訊號	為什麼重要
第一份 CPO 可靠度數據何時公開（ECTC 2026、各家技術論壇）	John Lau 點出的空白；數據出現前，大客戶驗證週期可能偏長
HBM 從熱壓接合切到混合鍵合的世代與層數	Yole 的 18% 成長率以 16 層 HBM 為主要驅動；切換時點決定設備與檢測需求的放量
混合鍵合鍵合後檢測工具的量產導入	現行超音波 10μm 解析度不足，次微米空洞檢測是明確的新設備需求

資料說明

本報告全部技術內容與數字取自 Chip Scale Review Vol.30 No.1（2026 年冬季號），圖片均出自該期刊並已標註作者機構。「投資含義」與台股對照為整理者依原文推論，非原作者觀點。期刊數據多為研究或實驗條件下結果，不代表量產水準。