

半導體特化化學品 產業報告

前後段製程化學品解析

一、市場規模概覽

半導體材料市場：2025 年 \$73.6B, 前段 IC 製造佔比 64%，後段封裝佔比 36%

■ 整體市場概況

- 2025 年全球半導體材料產值 \$73.6B (YoY +7%)，其中 IC 製造材料(前段)佔 64%，約 \$47.1B;封裝材料(後段)佔 36%，約 \$26.5B。
- 前段比重從 2016 的 58% 提升至 2025 年的 64%

■ 前段 IC 製造材料成本佔比(佔整體 64%)

材料類別	佔前段比重	說明
矽晶圓	31%	12吋為主; SOI 晶圓新興
電子特種氣體	14%	沉積、蝕刻關鍵氣體
光罩	13%	每道微影製程必需
光阻配套液	8%	BARC、顯影液、清洗液、EBR等
光阻液	7%	未來 MOR 升級→高單價
CMP 材料	8%	Slurry + Pad
濺鍍靶材	3%	金屬靶材
其他	16%	—

■ 後段封裝材料成本佔比(佔整體 36%)

材料類別	佔後段比重	說明
封裝基板	39%	最大宗材料, 包含 ABF 載板、BT 載板及新興玻璃基板
導線架	16%	傳統封裝主要載體, 用於 QFN、QFP 等封裝形式
打金線	15%	晶片與封裝端子的電性連接材料, 以金線、銅線為主
陶瓷基板	13%	高功率、高頻及車用封裝常用材料, 具備優異散熱能力
黏合材料	4%	包含 Die Attach、Underfill、封裝膠等
其他	13%	包含 EMC、TIM、焊球、電鍍材料等封裝相關材料

二、前段製程化學品

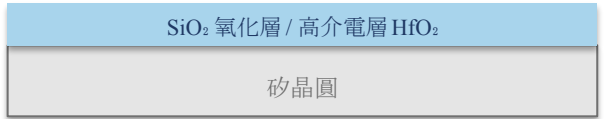
前段製程示意圖與關鍵材料供應鏈

(MOSFET 電晶體製程簡易示意, 非完整製程流程)

01

薄膜沉積—氧化 / 介電層

PVD/CVD 沉積 ↓↓↓



SiO₂ 氧化層 / 高介電層 HfO₂

矽晶圓

矽晶圓: 信越、Sumco、**環球晶(6488)**

PVD: JX金屬(靶材)、Solstice、光洋科()

CVD: Voltaxi、三井化學、SK Materials、**台特化(4772)**

02

光阻塗佈 (BARC + PR)+曝光 (EUV / ArF)

↓ ↓ ↓ ↓

光罩



光 阻 (Photoresist)

BARC

SiO₂ 氧化層 / 高介電層 HfO₂

矽晶圓

光阻: JSR(**華立**)、TOK、信越(**崇越**)、富士軟片

BARC: **新應材(4749)** — TSMC 獨供

光罩: Toppan、Hoya、DNP (日本廠商為主)

洗邊液 (EBR): **新應材(4749)**、**勝一(1773)**、**三福化(4755)**

03

顯影

顯影液 (TMAH) ↓



矽晶圓

顯影液: TMAH 2.38% (正型光阻標準)

Rinse: **新應材(4749)**

供應商: 三福化 (4755) TMAH回收製造、**勝一(1773)** 洗滌液 / 沖洗液

04

蝕刻 (電漿蝕刻)

電漿蝕刻 (CF₄、Cl₂) ↓↓



矽晶圓

乾蝕刻氣體: 常用到氟化氣體、氯化氣體及氧化氣體, **晶呈科(4768)**、**台特化(4772)**

濕蝕刻液: **達興材(5234)**

05

去光阻 (PR Strip)

↑ 光阻已去除



矽晶圓

濕式去除: H₂SO₄ + H₂O₂ (Piranha)

乾式去除: O₂ 電漿 Ashing (灰化法)

後清洗: SC1 (NH₄OH+H₂O₂)、稀HF、IPA

供應商: **三福化(4755)** 去光阻液、**勝一(1773)** 清洗化學品

06

離子植入 (B⁺ / P⁺)

B⁺ B⁺

P⁺ P⁺



源極

矽晶圓

汲極

B 摻雜 (P型源汲極): BF₃ (三氟化硼)

B₂H₆ (乙硼烷)

P 摻雜 (N型源汲極): PH₃ (磷化氫)

AsH₃ (砷化氫)

供應商: Air Liquide、Linde、Air Products

台廠: **兆捷(6959)**

07

薄膜沉積—金屬層 / 閘極

PVD / CVD / ALD ↓



金屬層 (Cu / W)

源極

矽晶圓

汲極

PVD: JX金屬(靶材)、Solstice、**光洋科(1785)**

CVD: Voltaxi、三井化學、SK Materials、**台特化(4772)**

ALD: Merck、Air Liquide、Hansol Chemical、**宇川(7887)**

08

CMP 化學機械研磨 → 循環

— CMP 研磨平坦化 —



源極

矽晶圓

汲極

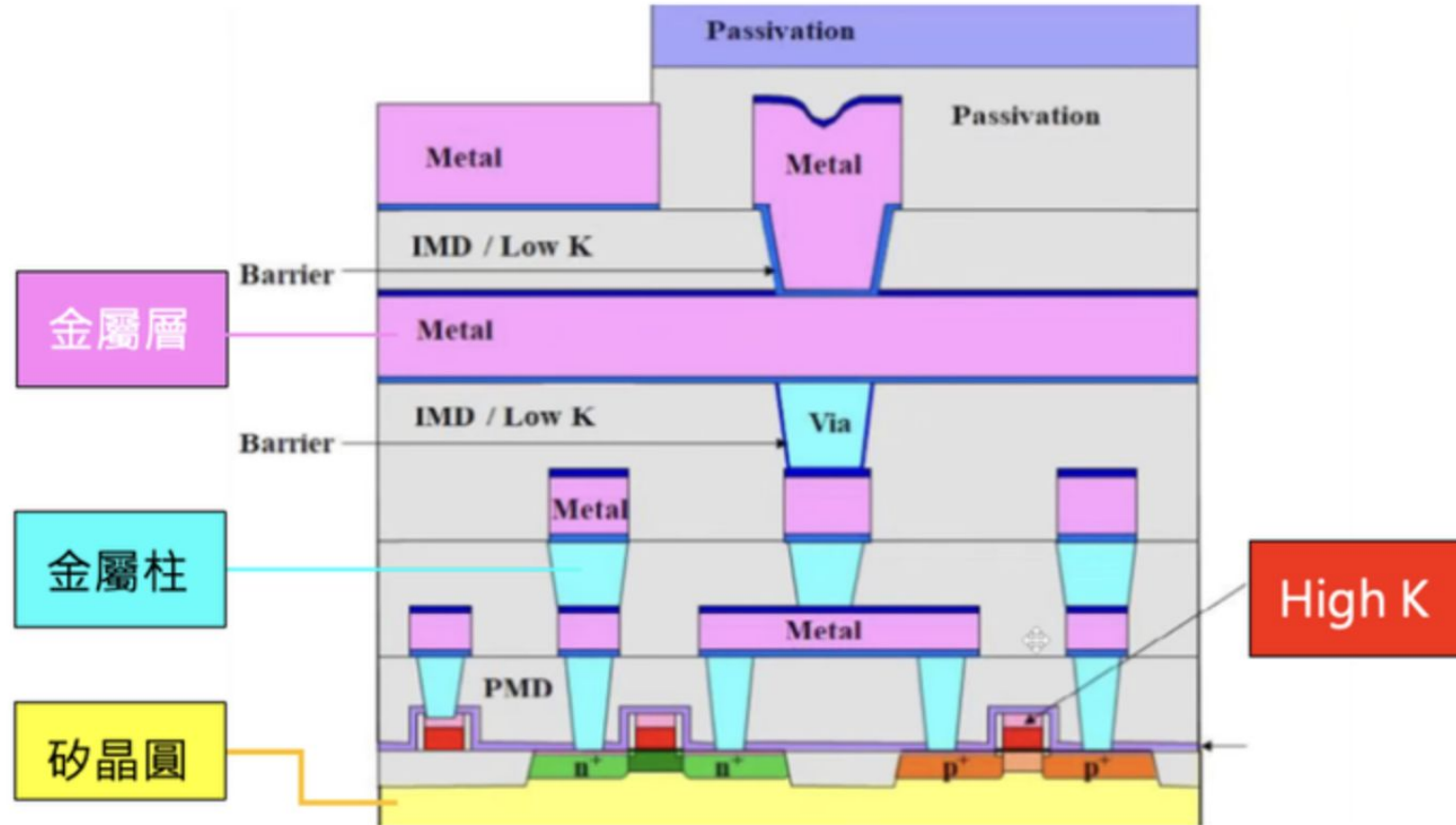
研磨液 (Slurry): Fujimi、Entegris (CMC)、Resonac

研磨墊 (Pad): Fujibo、DuPont、**頌勝(7768)(*目前僅出成熟製程)**

鑽石碟: 3M、**中砂(1560)**

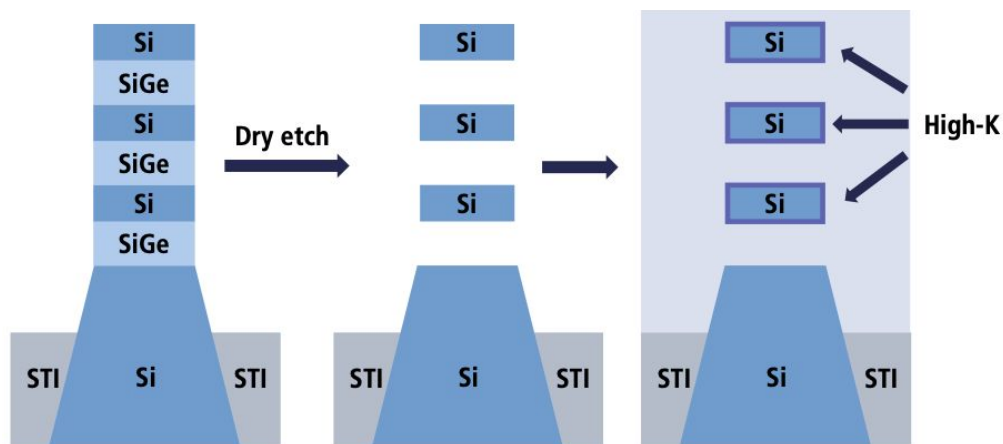
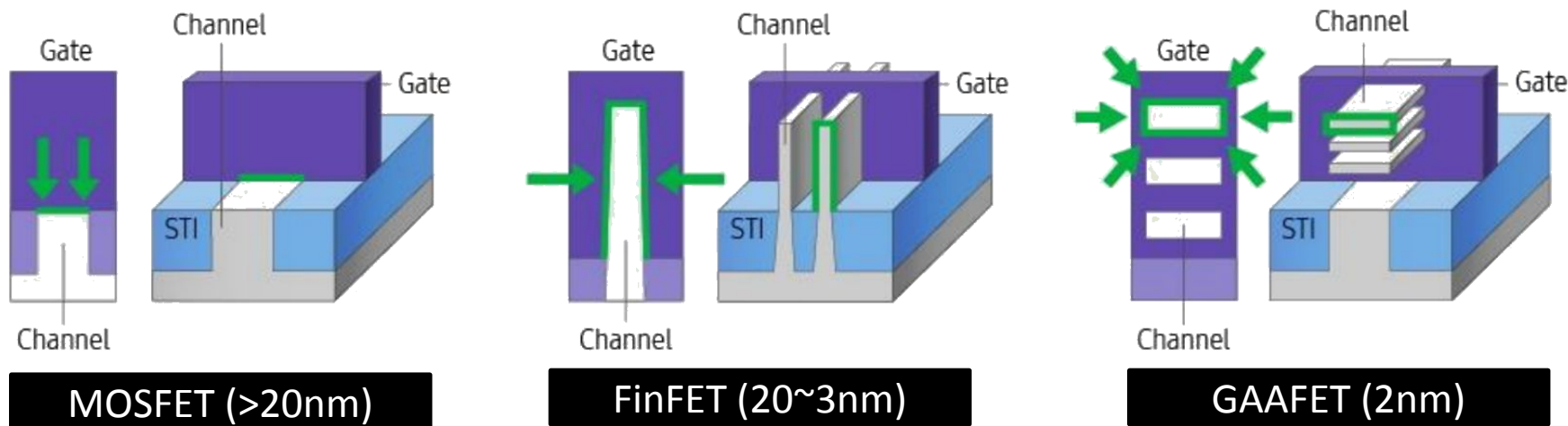
備註: 此示意圖為 MOSFET 電晶體製程簡易示意, 非實際完整流程 (實際每層需多次薄膜沉積 → 微影 → 蝕刻 → CMP 循環)。紅字表台廠

電晶體示意圖



N2 製程首次導入 GAAFET 帶動薄膜沉積與蝕刻重要性上升

- GAAFET 的結構極其複雜，許多縫隙非常狹窄(例如奈米片之間的閘極填充)，必須在如此狹小的空間內均勻沉積多層閘極氧化層與金屬閘極材料，傳統的物理氣相沉積 (PVD) 或化學氣相沉積 (CVD) 難以均勻覆蓋。

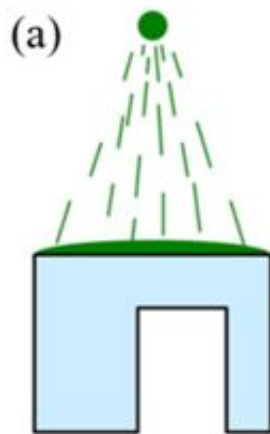


前段製程 ② 薄膜沉積 (Deposition) — PVD / CVD / ALD

PVD 物理氣相沉積

靶材濺射沉積 (無化學反應)

- 主要用於金屬薄膜
- 材料: Ti, TaN, Cu seed layer
- 應用: 阻障層、銅種晶層

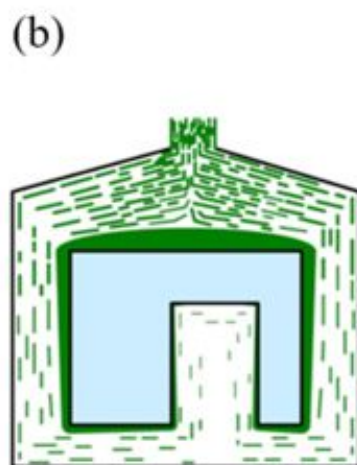


PVD

CVD 化學氣相沉積

高溫氣相反應

- 均勻覆蓋複雜形貌
- 主要材料: SiO_2 , Si_3N_4 , W
- 分類: PECVD、LPCVD、SACVD

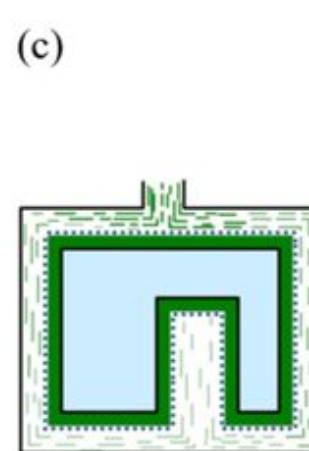


CVD

ALD 原子層沉積

自限制反應, 逐層單原子沉積

- 最高精確度, 可控 Å 級厚度
- 主要材料: HfO_2 , La_2O_3 , Al_2O_3
- 台廠: 宇川精材 (7887)

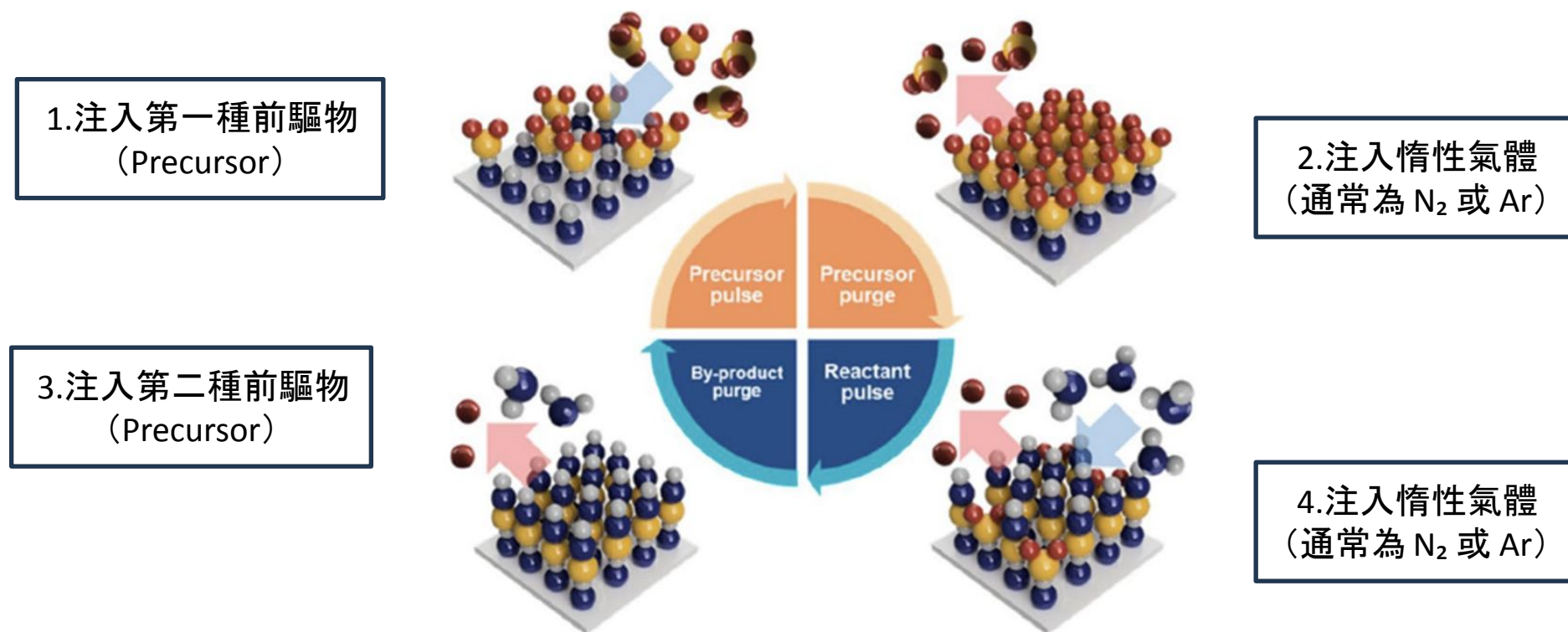


ALD

► GAAFET 關鍵: 2nm 節點 Si/SiGe 超晶格堆疊需大量 ALD 循環; 高介電材料 La_2O_3 、 Y_2O_3 對 ALD 前驅物純度 (ppb 級) 要求極高, 台廠宇川精材 (7887) 已切入 TSMC ALD 前驅物供應鏈

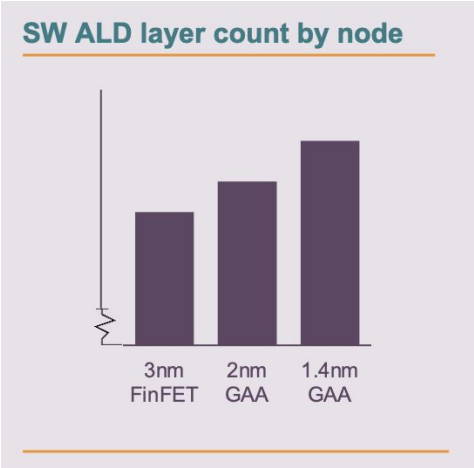
ALD 製程：原子層沉積 (ALD) 帶動前驅物需求提升

- ALD 的核心機制建立於連續且自我限制的表面反應，天生具備優異的厚度控制與均勻性，成為 GAAFET 製程中不可或缺的關鍵技術。一個典型的 ALD 週期包含兩種前驅物依序導入反應腔，其步驟如下：

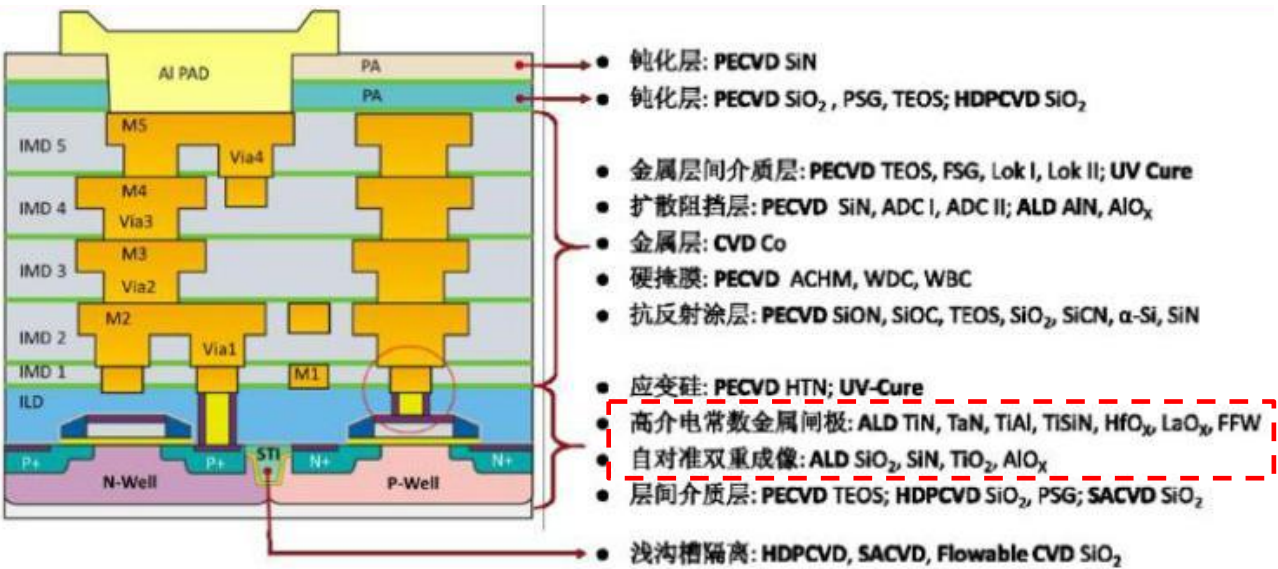


薄膜沉積 ALD 重要性提升, 延伸出一些材料的需求

- 在 N2 以前的節點主要是 High K metal gate 等製程需要用到 ALD, 隨著製程越小、結構越複雜, 尤其是 N2 首次導入 GAAFET, ALD 是不可或缺的技術, 將來會有越來越多層數需要用到 ALD
- ALD 層數由 3nm 的 10 層增加到 2nm 的 15 層, 再增加到 A16 的 23 層。



圖、製作電晶體



表、關鍵沉積材料與前驅物

應用層	材料	前驅物 / 化學品
閘極氧化層	SiO ₂	TEOS + O ₂ / SiH ₄ + N ₂ O
高介電閘極	HfO ₂	Hf(OtBu) ₄ + H ₂ O (ALD)
稀土氧化物	La ₂ O ₃ / Y ₂ O ₃	La(iPrCp) ₃ 等有機金屬ALD 前驅物
氮化矽	Si ₃ N ₄	SiH ₄ + NH ₃ (LPCVD)
鎢塞	W	WF ₆ + H ₂ (CVD)
阻障層	TaN / Ta	Ta 靶材 (PVD 濺鍍)
銅種晶層	Cu seed	Cu 靶材 (PVD)
鈦化物	TiN	TiCl ₄ + NH ₃ (ALD), 閘極功函數調整

前段製程③ 微影製程 (Lithography) — 光阻液與輔助材料



BARC (底層抗反射層)

在光阻下方塗佈，吸收底層反射光，避免駐波效應影響曝光解析度
→ 新應材(4749) 為 TSMC 主要 BARC 供應商

光阻液 (Photoresist)

JSR/TOK/Shin-Etsu 主導，新應材正在驗證 KrF 光阻；
台廠以配套液為主
High NA EUV 需要的金屬氧化物光阻 (MOR) : JSR (Inpria) 、 Lam Research

顯影液 (Developer)

TMAH (2.38% 水溶液) : 正型光阻標準顯影液 : TOK、長春
三福化(4755) 回收再生 TMAH

洗滌液 / EBR

DI Water、IPA : 勝一(1773) 主要供應清洗液
洗邊液 (EBR) 去除晶圓邊緣多餘光阻 : 新應材(4749) 為 TSMC EBR 供應商

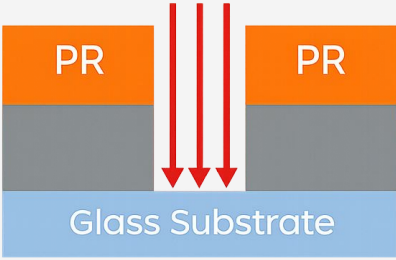
光阻材料世代演進

光源類別	光源名稱	波長	應用節點
UV (紫外光)	g-line	436 nm	250–800 nm
	i-line	365 nm	250–800 nm
DUV (深紫外光)	KrF	248 nm	130–180 nm
	ArF	193 nm	65–130 nm
	ArF (浸潤式)	193 nm	7–45 nm
EUV (極紫外光)	EUV	13.5 nm	2–16 nm
High-NA EUV	EUV	13.5 nm	1.4nm 以後

★ High-NA EUV (ASML NA=0.55) 升級後，光阻層需從 35nm 薄化至 ~16nm。金屬氧化物光阻 (MOR) 解析度更高、蝕刻選擇性更強，但單價為現行 EUV 光阻的 2~8 倍，是整個光阻材料市場最大成長機會

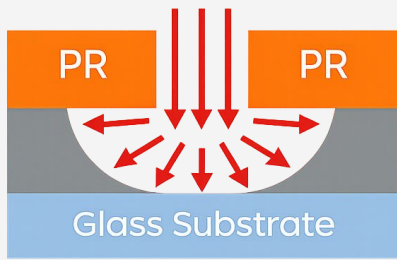
⚡ 乾式蝕刻 Dry Etching (電漿 / RIE)

原理
在真空腔體中以高頻電場激發氣體 產生電漿 (plasma)，生成帶能量的離子與自由基，以高方向性轟擊晶圓表面。反應只在離子打到的地方發生，側牆有保護膜防止橫向侵蝕。

比較項目	乾式蝕刻
蝕刻方向	各向異性 (Anisotropic) — 垂直向下，側壁保護膜防橫向侵蝕，線寬精準可控 
精度	高，可做 < 10nm 線寬；控制深度與垂直輪廓，適合 3D 結構
優點	• 高精度、可重複性佳 • 適合複雜 3D 結構 • 選擇性高 (只蝕刻特定材料)
缺點	• 設備昂貴 (真空腔體、RF 電源) • 電漿損傷 (plasma damage) 風險 • 速率較慢
適用節點	先進節點幾乎全面採用乾式蝕刻

💧 濕式蝕刻 Wet Etching (液態化學品)

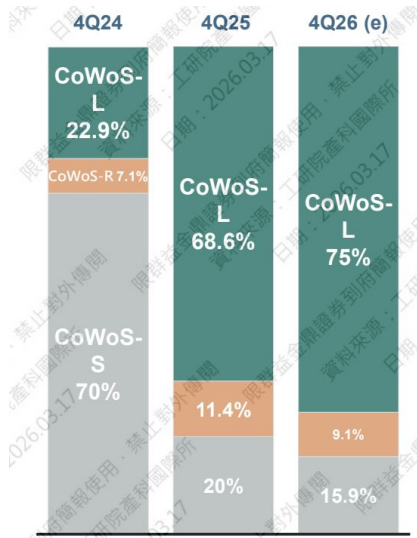
原理
用含水的液態化學品 (酸、鹼) 直接與晶圓材料發生化學反應，將不需要的部分溶解移除。反應無方向性限制，會同時向各方向擴散蝕刻 (等向性)。

比較項目	濕式蝕刻
蝕刻方向	各向同性 (Isotropic) — 四面蝕刻，有 undercut (側向過蝕) 問題 
精度	低，90nm 以下節點圖案邊緣過度削弱，無法精準定義線寬
優點	• 成本低、設備簡單、產率高 • 對晶圓無電漿損傷 (plasma damage) • 蝕刻速率快
缺點	• 無法做奈米級圖案轉移 • 化學廢液處理成本高 • 蝕刻終點不易控制
適用節點	成熟節點為主；先進節點僅用於非關鍵層移除、清洗

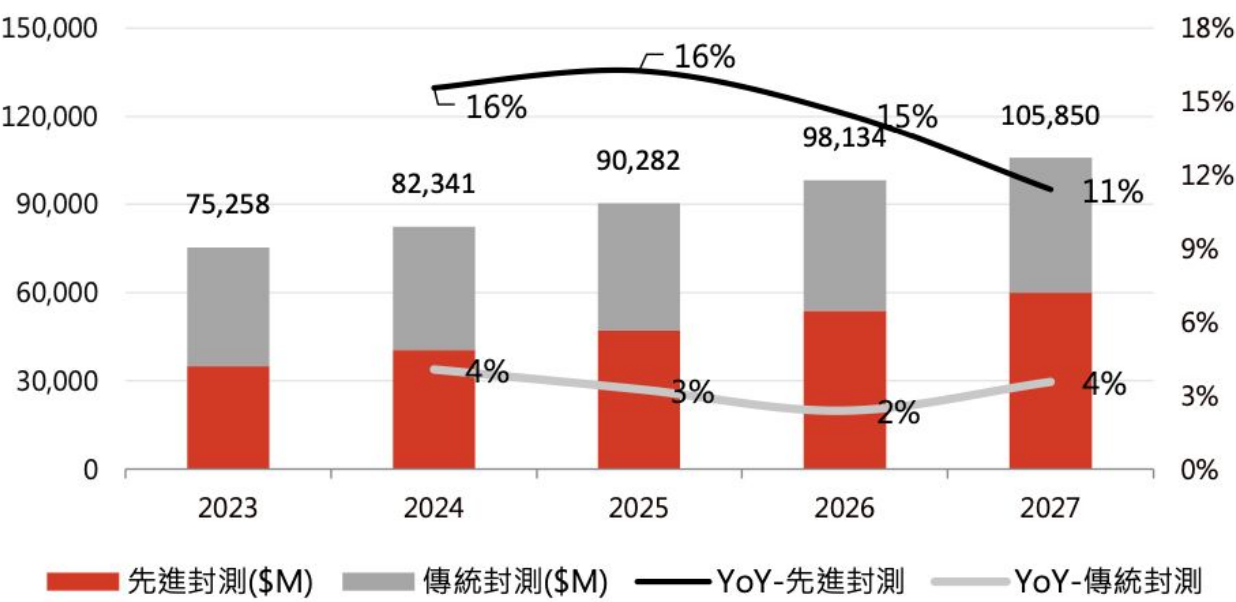
三、後段封裝製程材料

先進封裝與傳統封裝成長分化， Yole 預估 2026 年先進封裝市 值將超越傳統封裝

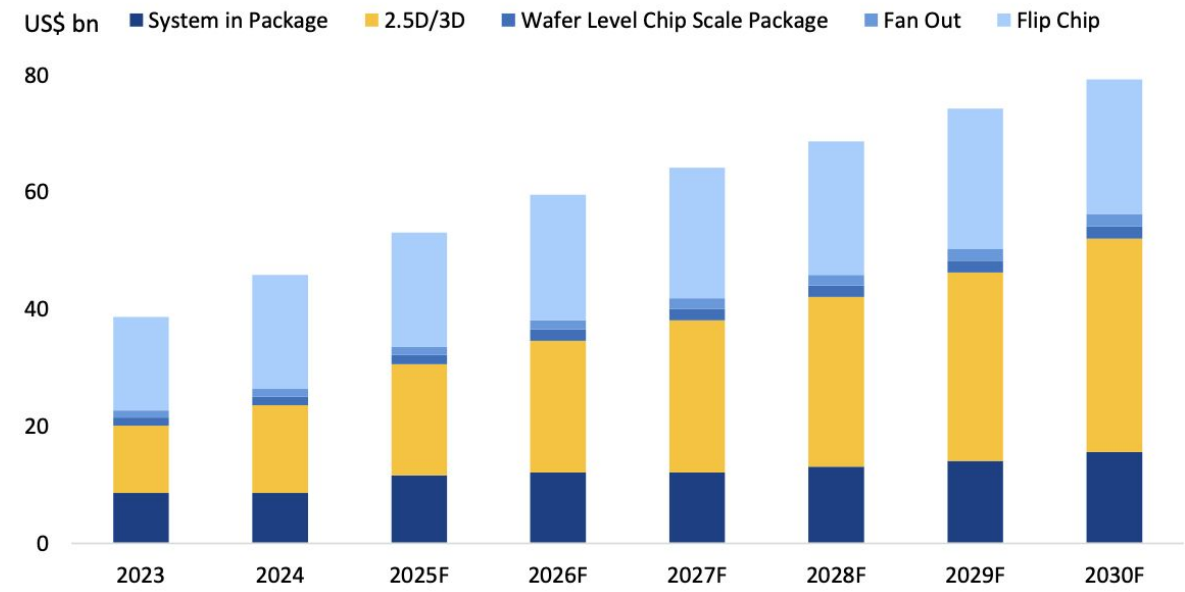
- Gartner 預估整體封測市場預計由 2026 年的 981 億美元 (YoY +8.7%) 提升至 2029 年的 1,225 億美元, CAGR 7.7%
- 其中先進封裝(包含覆晶封裝、晶圓級封裝、2.5D/3D 封裝)預期 2026-2029 年 CAGR 為 11.0% ;傳統封裝包含打線、CSP 等預期 2026-2029 年 CAGR 為 3.3%。Yole 進一步預估 2026 年先進封裝市 值將超越傳統封裝。
- 先進封裝當中, 2.5D/3D 封裝是成長最快的技術領域, 其 CAGR 為 18.8%, 超越 Filp Chip 的 CAGR 3.3%。



圖、先進封裝與傳統封裝成長分化

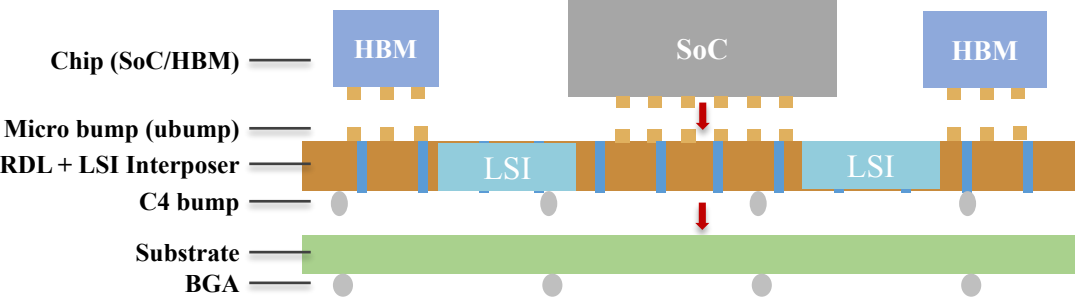


圖、先進封裝市場以 Filp Chip 及 2.5D/3D 封裝為主



資料來源: Gartner、永豐投顧、Yole、元大投顧

CoWoS-L 簡化製程示意圖與關鍵耗材供應鏈



CoWoS-L = LSI(局部矽互連)+ RDL 中介層

- 僅在晶片間高密度互連處嵌入小面積 矽橋(LSI),其餘區域以 RDL 重佈線取代整片矽中介層
- 相較 CoWoS-S(全矽中介層)良率風險低、封裝尺寸更具彈性;相較 CoWoS-R(純 RDL)訊號密度更高
- 2024 年量產導入, 2026 年為 TSMC CoWoS 家族主流方案, NVIDIA、AMD 等 AI 晶片大量採用

1

底部準備:PI 塗佈 + 銅柱

PI Coating & Cu Pillar

於載板塗佈感光聚醯亞胺(PSPI)介電層,並電鍍銅柱(Cu Pillar)作為垂直導通結構。

PSPI: 旭化成、HD 微系統、永光(1711)、長興(1717)、達興(5234)
銅電鍍液: Atotech、MacDermid、弘塑(3131)、崇越(5434)

2

置入 LSI,封膠 + 研磨

LSI Placement, Molding & Grinding

放置局部矽互連(LSI)元件,以模塑膠包覆後研磨平整化。

模塑/膜封材料: 碩正(7669)、長華科技(8070)、南寶(4766)、長春; 研磨材料: 中砂(1560)、頌勝科技(7768)

3

製作 RDL 與 Microbump

RDL Formation & Microbump

於平坦化表面建立 RDL 重佈線走線,並製作 Microbump 作為晶片接合點。

PSPI(RDL 關鍵介電材料): 旭化成、HD 微系統、永光(1711)、長興(1717)、達興(5234)

4

晶片放置

Chip Placement (SoC/HBM)

將 SoC、HBM 等晶片對準 Microbump 精準貼合。

暫時接著材: Brewer Science、達興(5234)、芝普(7858)

5

二次封膠與研磨

2nd Molding & Grinding

再次以模塑材料包覆晶片,並研磨至設計厚度。

模塑/膜封材料: 碩正(7669)、長華科技(8070)、南寶(4766) 研磨材料: 中砂(1560)、頌勝科技(7768)

6

長 C4 錫球

C4 Bump Formation

翻轉結構,製作最終 RDL 並植上 C4 錫球準備與基板接合。

C4 錫球: 台灣大金(未上市)
BGA 錫球: 昇貿(3305)

7

完成封裝

Substrate Attach & Underfill

移除載板,將成品貼合最終基板,填入底膠(Underfill)並清洗

底部填充膠 (Underfill): Namics、Henkel、晶化科技(未上市)、品化(未上市); 清洗劑: 勝一(1773)、長春

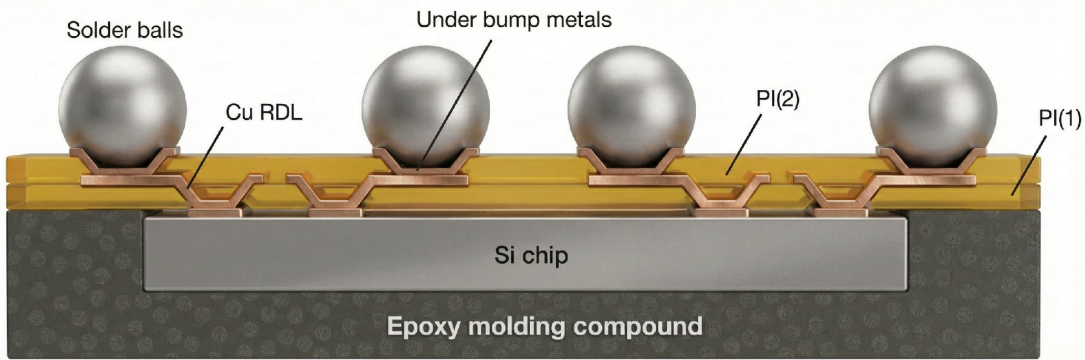
CoWoS-L 簡化製程



材料	功能	主要供應商
PSPI 感光聚醯亞胺	PI 介電層與 RDL 圖案化材料,提供絕緣與微影顯影基礎 (步驟1 底部準備、步驟3 RDL 製作)	旭化成、HD 微系統、富士電子、永光(1711)、長興(1717)、達興材(5234)、
銅電鍍材料 (銅柱 / RDL 金屬層)	電鍍形成銅柱 (Cu Pillar)垂直導通結構與 RDL 金屬佈線 (步驟1、步驟3)	Atotech、MacDermid、弘塑 (3131)、崇越 (5434)
模塑膠 / 膜封材料 (Molding Compound)	包覆 LSI 矽橋與晶粒、提供機械支撐並重建晶圓表面 (步驟2 LSI封膠、步驟5 二次封膠)	液態封裝膠 LMC: Namics、Henkel、長興(1717) MUF: Namics、Nagase、長興(1717) 封裝離型膜: AGC、碩正科技(7669)
研磨材料	CMP 化學機械研磨與薄化平坦化 ,用於封膠後研磨 (步驟2、步驟5)	研磨墊: Fujibo、DuPont、頌勝科技(7768) 鑽石碟: 3M、中砂(1560) 研磨膠帶: 三井化學、古河、Lintec、碩正(7669)、新寶紘、明坤科技 (未上市) 切割膠帶: Lintec、日東、古河
TSV 蝕刻氣體 (LSI 矽橋通孔)	於 LSI 矽橋內蝕刻通孔(TIV),建立垂直電氣連接 (結構圖 TIV 標示處)	Linde、Resonac、晶呈科(4768)
暫時貼合 / 剝離材料 (Temporary Bonding/Debonding)	將晶圓暫時固定於載板以利搬運與加工 ,完成後脫載板 (步驟4 晶片放置、步驟7 脫載板)	暫時接著膠: Brewer Science、達興材(5234) 、芝普(7858) (驗證中)
錫球材料 (C4 Bump / BGA Solder)	製作 C4 錫球與 BGA 錫球,作為晶片與基板間電性及機械連接 (步驟6 長 C4 錫球)	C4錫球: 台灣大金(未上市) BGA錫球: 昇貿(3305)
底部填充膠 (Underfill)	填補晶片與基板間隙,分散應力、提升可靠度 (步驟7 完成封裝)	Namics、Henkel、晶化科技(未上市)、品化(未上市)

CoWoS 主要依賴 TSV 和 RDL 兩大關鍵技術

- TSV:建立垂直電器連接
- RDL:由一層一層的介電絕緣層與銅佈線堆疊形成，實現水平互連
- 國際大廠已把先進封裝視為「準前段」，會利用前段的設備來進行封裝。



圖、TSV 製程步驟

TSV 製程步驟	設備用途	設備類型
光罩製作	製作 TSV 圖案光罩	Furnace, PECVD
光罩圖案化	曝光、顯影、蝕刻	Track, Developer, Exposure
通孔蝕刻	蝕刻矽基板形成 TSV	Etch (Si)
氧化層沉積	絕緣層製作	PECVD / Furnace
銅阻擋層與種子層	銅製程準備層	PVD, ALD
銅填充	電鍍填充 TSV 孔洞	Electroplating
銅退火	提升銅導電性	Furnace / Oven
量測檢測	TSV 結構檢測	Metrology
平坦化	化學機械研磨	CMP

產業科技國際策略發展所 資料來源：工研院產科國際所(2026/03)

工業技術研究院機密資料 禁止複製、轉載、外流 ITRI CONFIDENTIAL DOCUMENT DO NOT COPY OR DISTRIBUTE

圖、RDL 製程步驟及 RDL 重布線層應用結構示意圖

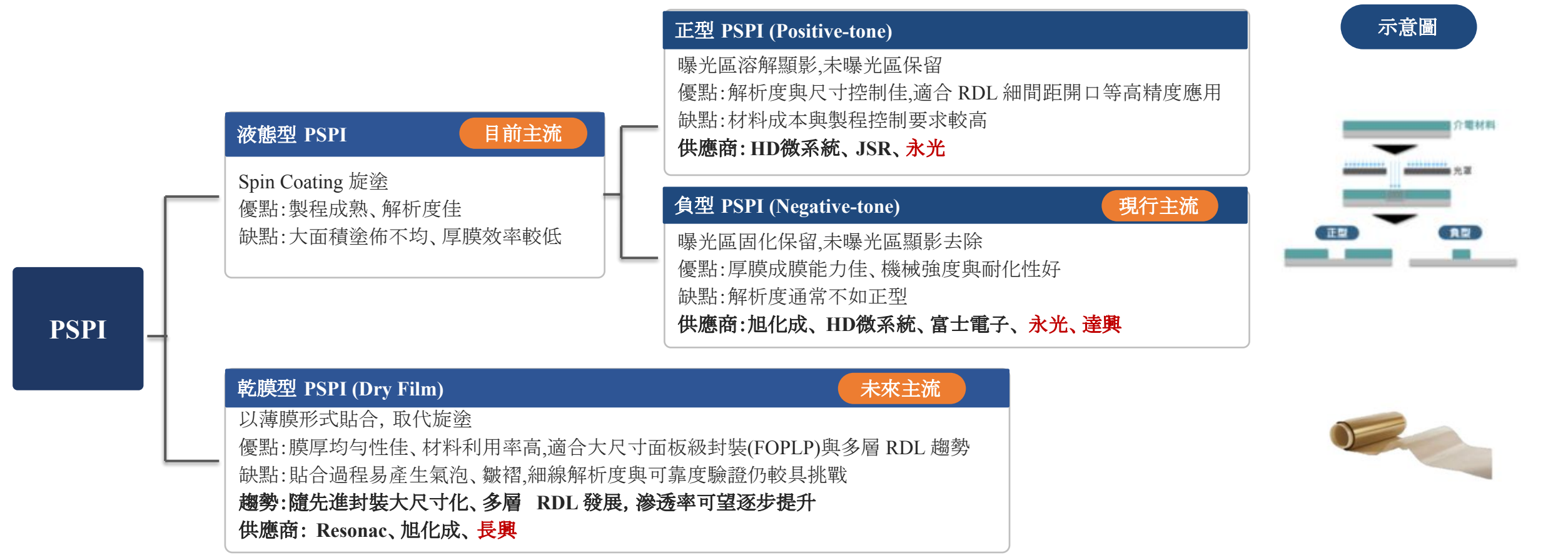
RDL 製程步驟	設備用途	設備類型
介電層沉積	絕緣層製作	PECVD
光罩圖案化	RDL 佈線圖案轉移	Track, Developer, Exposure
銅阻擋層與種子層	RDL 金屬化準備	PVD, ALD
RDL 金屬互連	銅電鍍佈線	Electroplating
平坦化	化學機械研磨	CMP
量測檢測	RDL 結構與缺陷檢測	Metrology, AOI
濕製程清洗	晶圓清洗、顯影、蝕刻	Wet Process
暫時性貼合剝離	TB/ DB 製程支撐	Temporary Bonder/Debonder

產業科技國際策略發展所 資料來源：工研院產科國際所(2026/03)

工業技術研究院機密資料 禁止複製、轉載、外流 ITRI CONFIDENTIAL DOCUMENT DO NOT COPY OR DISTRIBUTE

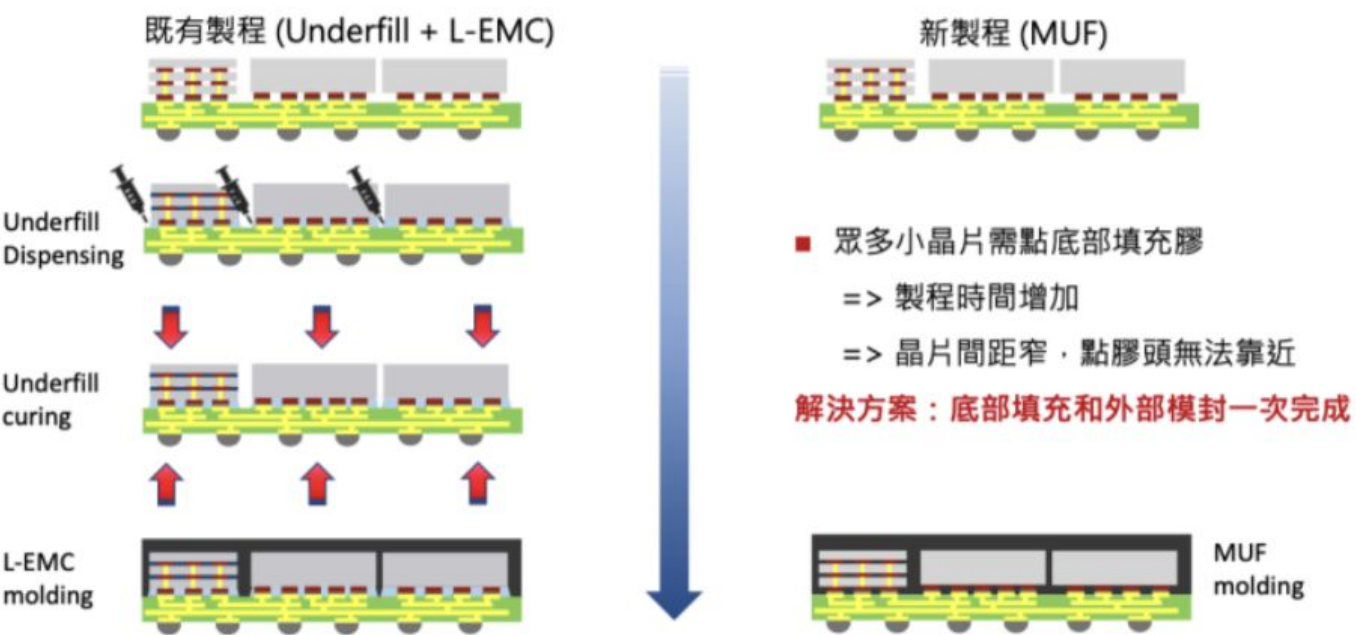
PSPI 是 RDL 的關鍵層

- RDL 本質上就是由高分子介電材料(如PI 或 PBO)與銅走線(Copper Trace)交替堆疊而成的多層結構。在製程中,RDL 通常由 PSPI 作為介電層, 並透過電鍍(Electroplating)形成銅金屬層。
- 其中銅走線負責實際的電子訊號傳輸,PI 層作為「介電絕緣層」, 負責包覆並保護銅線, 防止層與層之間的短路, 同時提供結構支撐
- 隨著封裝技術向大面積與高層數演進, 乾膜型(Dry Film) PSPI 預計成為未來厚膜與大面積封裝的主流, 不需要像液態那樣考量流動性與揮發問題。



膜封材料 Molding、底部填充膠 (Underfill)、先進封裝膠帶

- Underfill 為介在晶片與基板之間的結構膠，用以抑制各材料間CTE 差異造成的翹曲。
- MUF (Molded Underfill) 的概念是將兩者合而為一的創新材料，能一次完成底部填充與外部包覆，不僅減少材料用量、縮短製程時間，還能有效解決高密度排列(如HBM)時的空間限制與平整度問題。
- 在進行晶背研磨(減薄)階段前，必須先在晶圓正面的電路層貼上BG Tape。它的作用是在背面被高速研磨時，保護脆弱的正面電路不被刮傷或污染。
- 切割膠帶 (Dicing Tape) 則是用在晶圓切割階段。目的是緊緊固定住已經減薄的晶圓，避免它在高速切割過程中發生位移或破裂。



公司	產品/領域
新寶絃	新應材 (4749)、南寶 (4766) 與信紘科 (6667)三家公司合資成立，目標投入 BG Tape、Dicing Tape、DAF 等半導體先進封裝用高階膠材市場。
碩正	封裝離型膜 (Release Film)、研磨膠帶
長興	推出液態封裝 MUF 膠及 LMC 膠
山太士	針對高階先進封裝在多層堆疊時容易 產生的翹曲問題，發表了應力平衡膜 (Balance Film)

成長動能② | 技術說明 什麼是背面供電 (BSPDN)？為何帶動耗材需求？

一句話理解

晶片像一棟多層大樓：訊號線與電源線原本都擠在「正面」的金屬層搶道，造成電壓掉 (IR-drop) 與訊號互相干擾 (Crosstalk)。

BSPDN 把「電源管路」整組搬到晶圓背面、打通上下層——等於把水電改走地下室，正面只專心走訊號線。

導入領先者：Intel (PowerVIA)、TSMC (A16／超級電軌 SPR, 2026 量產)、Samsung (SF2Z, 2027)。兩條路線見右圖。

為什麼是耗材題材？

打通背面要把晶圓磨到 $<20\mu\text{m}$ ，又脆又難做：矽晶圓用量幾乎翻倍、CMP 高精度研磨需求大增 (研磨道次正面 60–70 + 背面 40–60)。

資料來源：福邦投顧(2026/03)、IMEC、供應鏈訪查；示意圖為概念繪製

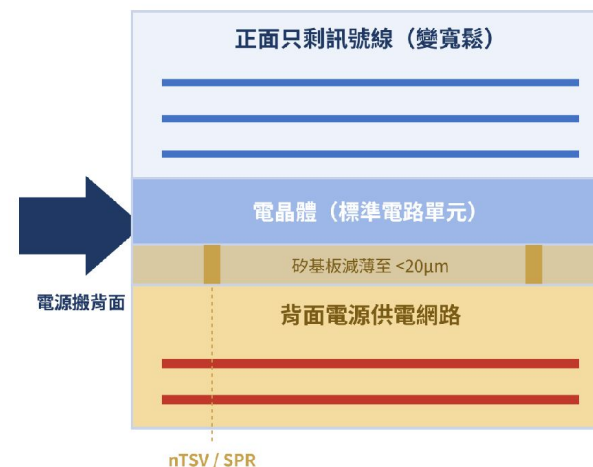
傳統正面供電 (FSPDN)



⚠ 電源與訊號爭道

→ IR-drop、Crosstalk、佈線擁擠

背面供電 (BSPDN)



✓ 電源訊號分流、IR-drop 降數倍

→ 效能更好、正面可塞更多訊號線

兩條技術路線

① nTSV (奈米矽穿孔)

先做完正面→翻轉減薄→打穿矽連到背面

② BPR 埋入式電源軌 / TSMC SPR

電晶體下方預埋電源軌，免高深寬比蝕刻

三大廠導入時程



代價＝耗材商機：要把晶圓背面打通，必須……

- ① 多一片「乘載晶圓」撐住超薄晶圓 → 矽晶圓用量幾乎翻倍
- ② 把晶圓磨到 $<20\mu\text{m}$ (約頭髮 1/4 細) → 高精度 CMP 研磨大增
- ③ 背面再做整套金屬化 → 研磨道次正面 60–70 道 + 背面 40–60 道

*新課題：電源網路移到背面，背面散熱成為新的設計挑戰。

晶背供電 (BSPDN) : 概念、效益與技術路線

概念與動機

- 傳統晶片所有金屬層都堆在電晶體正面 (front side) : 靠近元件的局部互連、中段的訊號繞線、頂部的供電網 (power delivery network, PDN) 全擠在同一側 —— 供電與訊號在搶同一批繞線資源
- 隨電晶體微縮, 供電網金屬越來越細、電阻越來越大, 訊號線也越來越擁擠
- BSPDN 核心思想: 把電晶體晶圓翻面、磨薄, 在背面重新建一套專屬供電金屬網, 透過奈米級矽穿孔 (nano-TSV) 或直接接觸把電源送到電晶體源 / 汲端; 正面專心跑訊號
- 繼 FinFET、GAA 之後, 互連層級的一次架構級革新

IR Drop: 供電品質核心指標

$$\Delta V = I \times R_{PDN}$$

電流流過供電網電阻造成的電壓降

- 供電金屬隨節點變細 → R(PDN) 上升; 晶片電流密度又隨電晶體數增加而上升 —— 兩者相乘讓 IR drop 持續惡化
- 供電電壓本就只有 ~0.7 V 量級; 若 IR drop 吃掉 50~100 mV, 等於讓電晶體在更低電壓工作: 速度下降、时序失效
- BSPDN 的關鍵收益正在這裡: 背面金屬可做得又寬又厚 (不必遷就正面訊號密度), R(PDN) 大幅下降, IR drop 可改善數十毫伏
- 文獻與業界資料顯示 BSPDN 能把供電網壓降減半量級, 等效換來頻率或功耗的提升

正面供電 vs 背面供電

指標	正面供電 (傳統)	背面供電 (BSPDN)
供電金屬寬度	受訊號層擠壓	可加寬、加厚
供電網電阻 R(PDN)	高	低
典型 IR drop	數十~100 mV	改善約 30~50%+
訊號繞線資源	與供電競爭	釋放、更易繞線
製程複雜度	低	高 (極薄化 + 對準)

兩條技術路線: 埋入軌 → 直接接觸

① 背面金屬 + 埋入式電源軌 (BPR)

- 先在正面元件層下方埋入電源軌 (常用鎢或鈹, 須耐後續高溫製程), 再從背面接上供電網; 把標準單元內電源軌「沉」到元件之下, 釋放正面軌道資源, 本身即可縮小 cell height

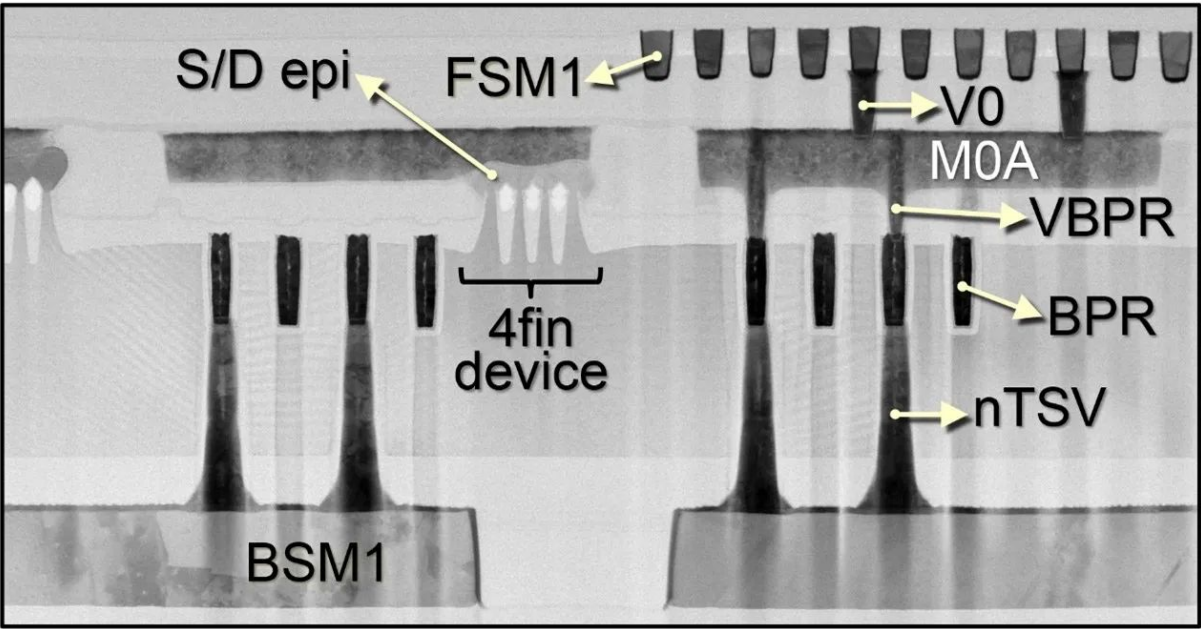
② 背面直接接觸 (direct backside contact)

- 更激進: 從背面直接接到電晶體源 / 汲, 省去「經正面再繞回」的路徑, IR drop 表現最佳; 為 BPR 之後的演進方向

共同前提: 承載元件的矽晶圓磨薄至僅數百 nm~數 μm, 再以晶圓鍵合 (wafer bonding) 轉貼到載體晶圓上操作

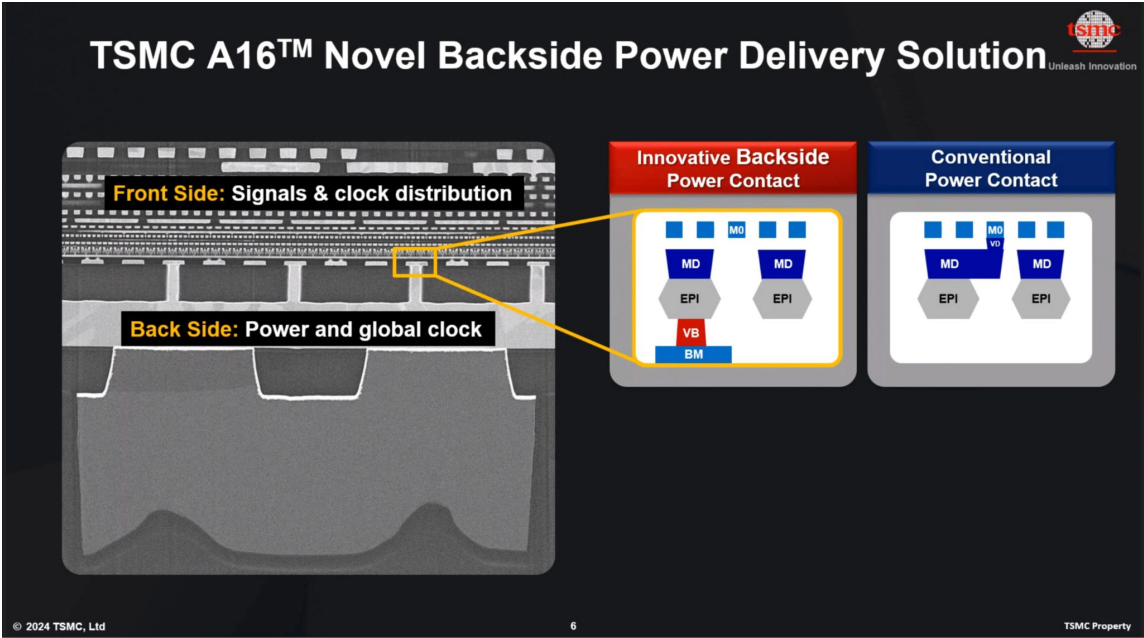
實例圖解：BPR 實際剖面與台積電 A16 背面供電

BPR + nano-TSV 電子顯微剖面



- 堆疊由上而下:FSM1 (正面金屬)→ V0/M0A → VBPR (連接孔)→ BPR (埋入式電源軌, 沉於元件層之下)→ nTSV (奈米矽穿孔)→ BSM1 (背面金屬)
- S/D epi (源/汲磊晶)與 4-fin 元件位於正面;電源自背面 BSM1 經 nTSV → BPR → VBPR 送達元件
- 對應路線①:BPR 先埋軌、再由背面接電, 正面軌道資源得以釋放

台積電 A16:Super Power Rail 背面供電方案



- 分工明確:Front Side 跑訊號與時脈分配 (signals & clock distribution)、Back Side 供電與 global clock
- 右側對比:創新背面電源接觸以 VB 從背面金屬 (BM) 直接接到源/汲 EPI 下方, 取代傳統經正面 VD/M0 的繞行路徑
- 屬路線②「直接背面接觸」的量產實例——與第 1 頁「BPR 先導入、再演進至直接接觸」的路徑相符

光阻 (Photoresist)：讓「光」變成「圖案」的化學媒介

角色與正／負型光阻

- 微影本質是把光罩圖案「印」到晶圓，但光刻不動矽——光阻旋塗成均勻薄膜，曝光後受光／未受光區產生溶解度差異，顯影洗去後留下蝕刻或佈植的遮罩
- 正型：曝光 → 高分子鏈斷裂／極性翻轉 → 受光區可溶被洗掉；解析度與輪廓控制較佳，先進製程主流
- 負型：曝光 → 交聯硬化不可溶 → 洗掉未受光區；早期因顯影液膨潤 (swelling) 變形，新一代負型化學在 EUV 時代重新受重視

化學放大光阻 (CAR)：靈敏度的關鍵躍進

1 光子 → 1 光酸 (PAG 釋放) → 催化數十～上百次去保護反應

- 曝光時光酸產生劑 (PAG) 釋出微量光酸，於曝後烘烤 (PEB) 中作為催化劑引發連鎖去保護反應、改變高分子極性
- 「放大」使感度大幅提升，可用較低劑量曝光、提高曝光機 產能；EUV 光源功率昂貴，感度尤其關鍵，典型 EUV 劑量約 20～60 mJ/cm²

RLS 三角難題：解析度 —LWR—感度互相牽制

- 解析度 (最小線寬)、對比度 γ (劑量—殘膜曲線斜率，越高側壁越陡)、LWR／LER (邊緣隨機抖動，先進節點要求 < 約 2～3 nm) 三者無法同時最佳化
- 感度 $\uparrow$ (劑量 $\downarrow$) → 光子數 $\downarrow$ → 散粒雜訊 $\uparrow$ → LWR $\uparrow$ ；EUV 光子能量高、單位劑量光子少，shot noise 成為 LWR 的根本物理下限

失效模式與製程窗口

- 圖案倒塌 (pattern collapse)：高深寬比細線在顯影乾燥時被毛細力拉倒；對策為降低深寬比、表面處理降低表面張力
- 駐波效應 (standing wave)：曝光光在膜內反射形成駐波、側壁呈波紋；對策為加抗反射層 (BARC) + PEB 讓酸擴散平滑化
- 酸擴散失控：PEB 溫度／時間偏差使光酸擴散過遠，模糊圖案、線寬失準 —— PEB 是 CAR 最敏感的步驟
- 去保護不足或過度：感度與輪廓劣化
- 製程窗口以 Bossung 曲線 (線寬 vs 焦距與劑量) 描述，窗口越大對漂移越寬容

前沿：金屬氧化物光阻 (MOR, 如錫基 organotin)

面向	傳統 CAR	金屬氧化物光阻
EUV 光子利用	吸收截面較小	金屬原子吸收截面大，感度佳
LER／LWR	受酸擴散模糊限制	不依賴酸擴散，控制更佳
膜厚／倒塌	較厚	可更薄，降低倒塌風險
導入代價	產線成熟	顯影化學、缺陷控制需重新驗證

隨 High-NA EUV 推進，光阻薄膜化 + 抗倒塌 + 抗散粒雜訊成為先進節點落地的化學戰場。延伸閱讀：特用氣體與濕製程化學品、微影原理、EUV 微影

成長動能③ | 技術說明 什麼是金屬氧化物光阻 (MOR)？為何 High-NA 需要它？

一句話理解

光阻是微影時塗在晶圓上的「感光膜」，曝光顯影後形成電路圖案，並在蝕刻時保護下層。

High-NA EUV 鏡頭更大、看更細，但光線角度更斜，光阻被迫從 35nm 薄化到 ~16nm。傳統 CAR 太薄時擋不住蝕刻、雜訊也變大。

MOR 改用「金屬氧化物核心」，更小更密、薄也耐蝕，是 High-NA 世代的主要候選光阻。

投資重點

高單價、晚啟動 (2029F~)、少數國外 (JSR/Inpria、Lam) 主導的高 beta 主題；台廠短期先卡「輔材」位置 (BARC、TMAH、洗滌液)，代表為新應材 (4749)。

為什麼 High-NA EUV 一定要把光阻做更薄？

鏡頭做更大 (NA 0.33 → 0.55) 才能看更細 (→ 8nm)，但光線打進來的角度變斜。

光阻若太厚，斜光會在側壁產生陰影、圖案倒塌 → 光阻必須從 35nm 薄化到 ~16nm。

問題：光阻一變薄，傳統 CAR 就「擋不住」後面的蝕刻了。



四、供應鏈

半導體化學品：產業鏈定位與製程對應

產業鏈定位:化學品位居中游晶圓製造的三大支援之一



- 上游 IP/IC 設計 → 中游 IC/晶圓製造 → 下游封測、模組、通路
- 化學品與「生產製程及檢測設備」「光罩」並列中游製造的三大支援環節;下游封測另需基板、導線架
- 耗材屬性:隨投片量消耗、營收能見度高;認證週期長、切入後黏著度高

製程流程 × 材料對應(工研院 產科國際所)



- 薄膜製程 ← 反應氣體(NH₃、SiH₄、WF₆ 等)、研磨液/墊、介電材料前驅物(TEOS、High-k/Low-k、TDMAT 等)
- 黃光製程 ← 光阻、顯影劑(TMAH)、光罩/光罩基板——即第 4 頁光阻化學的戰場
- 濕蝕刻/清洗 ← H₂SO₄、H₂O₂、HF、NH₄OH 等濕製程化學品;化學研磨 ← CMP 拋光液
- WF₆ 供需與光阻地緣議題皆發生在此對應鏈上 ——單一環節斷鏈即卡住整段製程**

材料 × 製程 × 供應商對照

材料	製程	用途	主要供應商(紅字=台廠)
光阻液	微影	將電路圖樣經 UV／EUV 投影到光阻層上	TOK、JSR、信越(日)、 新應材
顯影液(TMAH)	微影	曝光後溶掉被照壞的光阻	長春、三福化
稀釋液(洗邊液)	微影	清洗旋轉塗布後不必要的光阻	Dupont、Avantor、KMG(美)、TOK、Fujifilm、MGC(日)、Merck(德)、 新應材、三福化、晶呈科、添鴻
剝離液	微影	剝離未被破壞的光阻	達興材、三福化
蝕刻液	蝕刻	去除未被光阻保護的氧化 矽層	達興材、勝一、僑力化工
清洗液	清洗	去除殘留／污染	勝一、中華化、廣明實業、新應材
電子用特殊氣體	薄膜沉積	沉積薄膜材料	Air Liquide、三井化學、SK Materials、 台特化、南美特、宇川
研磨液(拋光液 Slurry)	CMP	化學溶解＋機械拋光去除多餘材料並平坦化	CMC(美)、昭和電工、Fujifilm(日)

個股連結 | 中砂 (1560) : CMP 耗材卡位晶背薄化與先進封裝

BSPDN／晶背薄化

- 背面極致薄化與平整正是 CMP 戰場，鑽石碟為 CMP 拋光墊修整關鍵耗材；法說 Q&A 明示「線寬 1μm 以下皆需 CMP、3D 堆疊密度提升將進一步拉高鑽石碟用量」——與 BSPDN／先進封裝薄化邏輯直接對應

客戶與節點結構

- 最大客戶先進製程 (5nm 以下 + 先進封裝) 佔 DBU 營收 58%；1Q26 鑽石碟 16nm QoQ +39.4%、2nm +20.1%；先進封裝鑽石碟市佔約 80–90%；Intel 自 18A 切入後放量，全球市佔目標 25%；進入 HBM4 世代

材料供應鏈

- CMP 段拋光液台廠缺席 (第 6 頁表)，中砂以鑽石碟 + 再生晶圓卡位耗材環節；SBU 12 吋再生晶圓 33→36→40 萬片 (Q3)，高階佔 7–8 成，同受先進製程投片拉動

營運亮點 (1Q26 法說)

- 1Q26 合併營收 22.9 億元 (QoQ +5.6%、YoY +29.4%)，毛利率 35.0%，EPS 2.94 元，ROE 20.7%
- 公司視 35% 毛利率為今年底部，全年目標約 37%；全年營收目標 YoY 約 +10%
- DBU 產能 5 萬顆／月 → 3Q26 起 6 萬顆以上 (現址滿載 11 萬)；台灣第三廠 2030 年 12 萬顆、2034 年集團 20 萬顆；中國廠明年 Q3 先建 1 萬顆
- 2025/4 併購 MKS (日) 與 MGT (泰)，月貢獻約 6,000 萬元

財務摘要

期間	營收(億元)	YoY	EPS(元)
2025A	81.5	—	9.28
1Q26A	22.9	+29.4%	2.94

資料: 自整理法說 Memo (凱基 Q2 投資論壇 2026/06/12, 經 UBS 法說簡報核對), 非投資建議

新應材 (4749.TT)

新應材	
公司主要業務	微影特化材料、先進封裝材料、光學元件
2025 營收(百萬台幣)	4,262 (半導體逾 37 億、占約 87%)
公司市值 (26/7/6)	約 1,010 億新台幣
收盤價 (26/7/6)	918

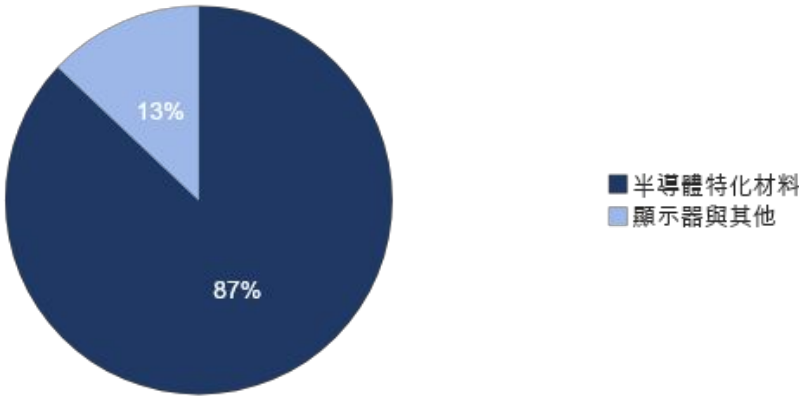
簡明損益表			
百萬台幣	2025	2026e	2027e
營業收入	4,262	5,450	7,430
稅後淨利	1,044	1,485	2,125
EPS(元)	11.26	16.01	22.91

元富 (6/30) FY26/27 EPS 16.40／23.32; EPS 以調整後股數 92.73 百萬股計算

成長動能

- Rinse 獨供隨客戶 N2 擴產放量:今年 4 座、明年 7 座 2nm 量產廠
- KrF 光阻 FY27 驗證+ A10 新品:光阻目標國產化
- 先進封裝 2 項產品已過驗證, 2H26 起小量貢獻; CPO 為遠期布局

新應材 2025 年營收佔比



光阻國產化：KrF FY27 驗證是產業地位級突破

- KrF 光阻預計**FY27 通過客戶驗證並貢獻小量營收**，通過後應用於 A10 製程；EBR／BARC 新品驗證通過後亦將用於 A10，ArF 光阻持續研發。公司目標**2030 年光阻營收大幅超越顯示器材料**(年營收約 5–6 億元)。
- 資本配置全面向光阻傾斜：**2026 年資本支出約 30 億元投入龍潭科學園區新廠**(一期約 35 億元)，2028 年完工，以研發為主並導入小批量產線——避免新品驗證佔用高雄 HVM 量產產能。
- 產能現況：一廠＋高雄一期 **均已滿載**，2026 年成長受產能上限節制；**高雄 P2 設備**(曝光機、KLA 檢測)已建置完成、客 戶驗證中，目標 **2027 年初量產**。

光阻布局時間軸	
時點	事件
FY26	KrF 研發符合進度;研發費用率升逾 10%
FY27	KrF 客戶驗證通過 → 小量營收、導入 A10
2028	龍潭研發中心＋合成廠啟用, 主攻 DUV 光阻
2030	光阻營收目標超越顯示器材料



SoIC 堆疊與 CoWoS 薄化推升保護材料，CPO 為遠期展望

- 先進封裝的材料邏輯：**SoIC 堆疊層數增加、CoWoS 不希望封裝持續變厚**，兩者都要求晶片更薄——薄化(研磨)過程需要保護材料，薄化後的切割需要固定與防裂材料。
- 新應材兩項產品已通過驗證：**Protection Layer**(晶片薄化時避免研磨膠帶樹脂滲透、協助承受研磨壓力)與 **Plasma Dicing Glue**(薄化後電漿切割、降低晶片碎裂風險)，2H26 起少量貢獻營收，隨 SoIC 產能擴張逐步放大。
- CPO 材料需承受雷射穿透的熱效應考驗(光學封裝膠、光通路固定材料等)，公司已有多項 產品進展順利，**量產時程視 CPO 產業整體發展而定**——屬遠期而非近期營收。

封裝產品線進度		
產品	狀態	應用
Protection Layer	已過驗證	晶片薄化保護 (SoIC)
Plasma Dicing Glue	已過驗證	薄化後電漿切割
高深寬比光阻／封裝膠	研發中	SoIC／CoWoS 多平台
CPO 光學材料	研發中	光通道封裝、耐雷射熱

光阻世代與供應格局		
世代	應用	主要供應商
g/i-line	成熟製程、光學元件	新應材已量產銷售
KrF 248nm	成熟＋先進混用、RDL	日商為主;新應材 FY27 驗證
ArF 193nm	先進製程主力層	TOK／JSR／信越;新應材研發中
EUV 13.5nm	7nm 以下關鍵層	日商壟斷;下一階段目標

台特化 (4772.TT)

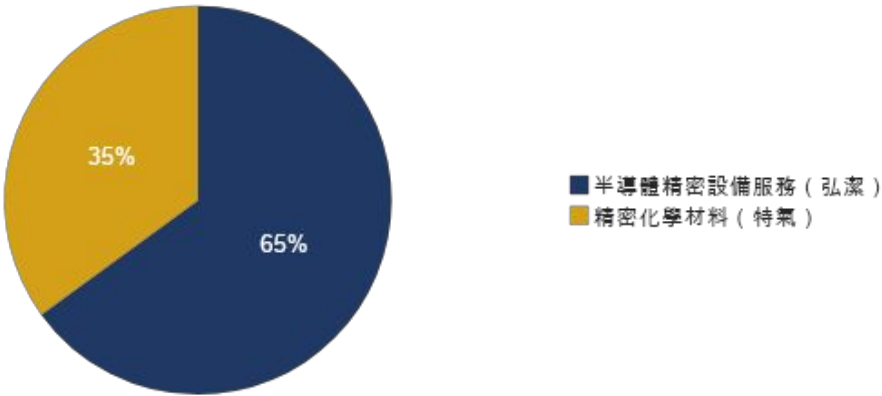
台特化	
公司主要業務	半導體特殊氣體＋設備超潔淨清洗服務
2025 營收(百萬台幣)	1,992
公司市值 (26/7/6)	約 385 億新台幣
收盤價 (26/7/6)	275.5

簡明損益表				
百萬台幣	2024A	2025A	2026F	2027F
營業收入	874	1,992	3,789	4,849
營業利益	365	847	1,583	2,087
稅後純益	386	620	1,066	1,412
EPS(元)	2.76	4.20	7.22	9.56
ROE(%)	15.5	19.0	24.7	28.6

成長動能

- GAAFET＋N2 使矽乙烷用量呈**等比級數放大**，用量較 N3 製程增加 50~100%、UTR 升至 70~80%、FY26 營收 +30~40%
- AHF 隨 N2 量產放量:AHF 共 1 條產線，年產能 10 噸、產值2億，預計26年佔特氣營收超過10%
- 弘潔科擴產:新竹二廠 3Q26 清洗產能＋100%，2026/27 營收貢獻 +23%
／+31%

台特化 4Q25 營收組成



合成與認證雙重門檻，造就 矽乙烷全球僅四家量產的寡占

- 矽乙烷合成技術門檻極高：原料具 **自燃性、毒性與爆炸性**，純化需達半導體級 ppb 等級雜質控制，加上進入門檻極高、專利保護完整，**屬於寡佔市場**。
- 全球僅四家量產：**法國液空 (Air Liquide)、日本三井化學、韓國 SK Materials、台特化**——台特化是台灣唯一具備此技術的公司，建立 **全球最大單一產線**，2025/3 去瓶頸後年產能自 26.4 噸提升至 30 噸(對照全球年用量約 60 噸)。
- 特氣的商業模式核心是 **認證與就近服務**：導入一項關鍵氣體需數年驗證，任何品質瑕疵可能導致整批晶圓報廢，**供應商一旦通過認證即被節點綁定**，價格競爭讓位於供應可靠性，新進者除技術外，還需跨越 **長達數年、成本高昂的晶圓廠認證**——這種結構性稀缺確保了台特化在全球供應鏈中的獨特地位，也是其高毛利率的基石。

上游 | 原料

- 三氯矽烷／矽甲烷等矽源原料
- 氟化物原料(螢石—氫氟酸鏈，與僑力化工合作)
- 高壓鋼瓶、閥件、UHP 管路

中游 | 特氣製造與純化

- 大宗氣體：聯華林德、亞東、三福氣體
- 矽烷類特氣：台特化(矽乙烷／矽丙烷)
- AHF：日商 Stella Chemifa、Morita 寡占，台特化為台灣唯一
- 設備零件清洗：弘潔科(子公司)

下游 | 晶圓製造

- 台系晶圓廠(台特化最大客戶)、德儀等 IDM，外銷 6 國
- 應用製程：CVD／ALD 沉積、乾式蝕刻、腔體清潔
- N2 世代成為矽乙烷最大供應商

GAAFET 熱預算受限＋寄生電容，迫使 矽源升級至矽乙烷

- 2nm 起電晶體自 FinFET 走向 GAAFET: 矽通道翻轉 90°、接觸面積 3 面增至 4 面，製程新增 Si/SiGe 超晶格磊晶、選擇性蝕刻、Low-K 內層隔離、通道釋放、ALD High-K 金屬閘極等步驟——兩大挑戰是**熱預算受限與奈米片結構的寄生電容**，使 CVD 前驅物朝低溫製程、低電阻發展。
- 溫度即是答案: 矽甲烷需**520–750°C 高溫**才得以分解，反應性已不足以支撐線寬微縮；矽乙烷約**420–520°C 即可沉積**，低溫下維持更高品質與高摻雜濃度，薄膜更緻密平滑、反應速率更快，在 GAAFET 世代重要性大幅提升。UTR 自去年 50~60% 提升至今年 70~80%，隨 N2 產能於 FY26 逐季爬升，預估**矽乙烷業務逐季成長、FY26 營收年增約 30~40%**，為今年主要營收成長動能

矽烷家族：用量小、價值高的倒金字塔

矽源	全球年用量	市場規模
矽甲烷 SiH_4	約 6,650 噸	約 4.5 億美元
矽乙烷 Si_2H_6	約 60 噸	約 3.0 億美元
矽丙烷 Si_3H_8	更小眾	台特化開發中

奈米製程技術說明



寄生電容是什麼？

- **寄生電容是一種現象，即電路中的元件在物理上不是電容時表現得像電容**，含義：原本沒有在那個地方設計電容，但由於佈線之間總是有互容，互容就好像是寄生在佈線之間的一樣，所以叫寄生電容，寄生電容本身不是電容
- 任何電子電路或半導體元件中，只要有兩條平行的導體且中間有絕緣材料，就會形成類似電容的效應寄生電容在電路中時常出現，一般來源於以下幾個方面：
 - a. 元件之間的電容(不同元件之間的導線、引腳等產生的)
 - b. 元件與地之間的電容(元件與地之間的導線、引腳等產生)
 - c. PCB板上的電容(不同導線之間、導線與地之間形成)特別是在高頻電路中更為明顯，在高頻電路中，寄生電容會導致信號的失真和雜訊的增加。

	前段閘極/電容	後段金屬層間
要什麼	high-k(k 越高越好)	low-k(k 越低越好)
目的	同電容下做厚、抗漏電	降寄生電容、降 RC delay
材料	HfO ₂ 、ZrO ₂ 、Al ₂ O ₃	SiCOH、porous low-k
製程	ALD(精度、conformality)	主要 PECVD + 孔洞化處理

謝謝大家