

CPO相關設備趨勢與台廠投資機會

福邦投顧研究部

2026/10

結論

■ **需求強勁**

CPO 自 2027 年進入放量期，光引擎需求 2026-2028 年由 62 萬顆增至 3,500 萬顆：AI 瓶頸由算力轉向傳輸，Pluggable 於 3.2T 世代碰到功耗與密度上限，Scale-out 交換機率先轉向 CPO，2028 年起由 Rubin Ultra NVL576 跨櫃 Scale-up 接棒。OE 占 CPO 交換機 BOM 約四成，為價值鏈核心。

■ **關鍵瓶頸**

瓶頸測試與耦合為量產瓶頸，2028 年測試設備 TAM 約 418 億元、逾七成在 Ins3/Ins4：每顆 OE 須以次微米精度主動對光，且模組良率隨 OE 數量倍數下滑，每一關都必須篩出良品，使 OE 成本近六成落在後段。Ins2 若跳過，2027/2028 年整體 TAM 縮減 12%/16%，但 Ins3 測試機與貼合機需求反增。

■ **台廠機會**

台廠以致茂、鴻勁最確定，萬潤受惠貼合，其餘仍屬驗證期選擇權：致茂的 Ins3 OE 測試機已取得 2027 年量產訂單，加上 Ins4 光學測試，預估 2027 年 CPO 營收 65-75 億元；鴻勁以光電同測 Handler 切入 Ins4，預估 55-60 億元；萬潤是 FAU/receptacle 耦合貼合的主要供應商，若採 receptacle 兩段貼合，貼合機需求最高可倍增。漢測、旺矽、光焱仍在驗證階段，能否放量取決於 Ins2 的去留與台積電 HVM 驗證結果。

■ **看好個股**

致茂 (2360)、鴻勁 (7769)、萬潤 (6187)

目錄

一 AI 傳輸瓶頸推動 CPO 導入，2027 年進入放量期 4

二 台積電主導 CPO 封裝，測試與耦合成量產瓶頸 10

三 測試與貼合設備 TAM 擴張，台廠受惠Ins3、4 21

四 看好個股 27

AI 傳輸瓶頸推動 CPO 導入，2027 年進入放量期

CSP資本支出今明年延續高成長，支出重心可能逐步轉向網通設備

2026-27年CSP資本支出續強，主權AI投資有望接棒支撐2028年成長：五大CSP資本支出於2026年年增約98%，2027年仍有望成長47%，惟隨基期墊高，2028年年增率預估放緩至11%。但觀察到近期中東、歐洲等地主權AI計畫與Neo cloud陸續宣布更多的投資及合作，中國亦積極布局AI資料中心，有望拓展CSP以外的需求來源，延續整體AI基礎建設投資動能。

記憶體成本攀升，AI資本支出有望逐步向網通設備傾斜：2025年資料中心成本中，IT設備約占整體支出84%，其中伺服器約占IT設備8成，網通與存儲設備則占其餘部分。隨記憶體價格上漲、BOM成本攀升，NVIDIA已開始調整Rubin Ultra的HBM規格，以優化整體成本。且若單顆GPU記憶體容量受限，MoE模型參數分配、Prefill / Decode分離及KV Cache跨節點搬移等需求，可能推升GPU間的資料傳輸量，推升高速網路的重要性。

圖1、2026-2028F五大CSP CAPEX持續上行

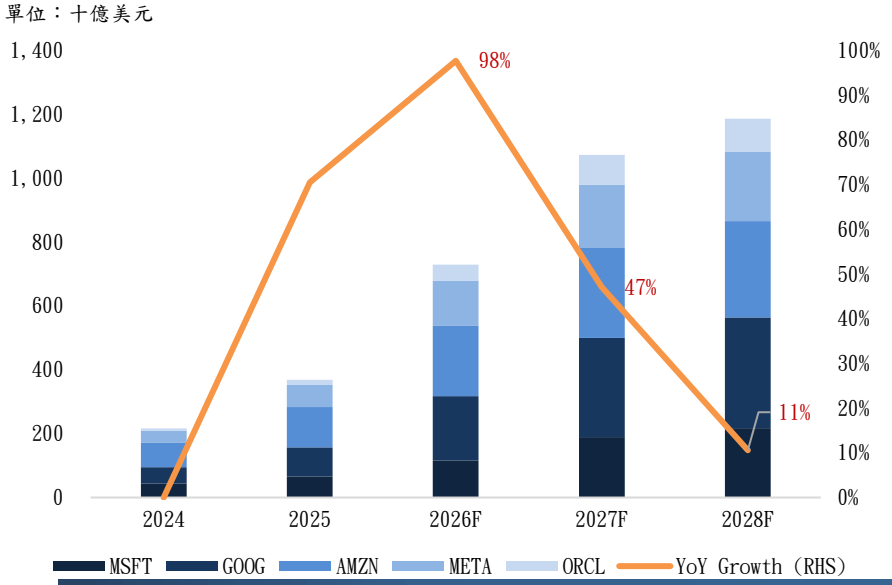
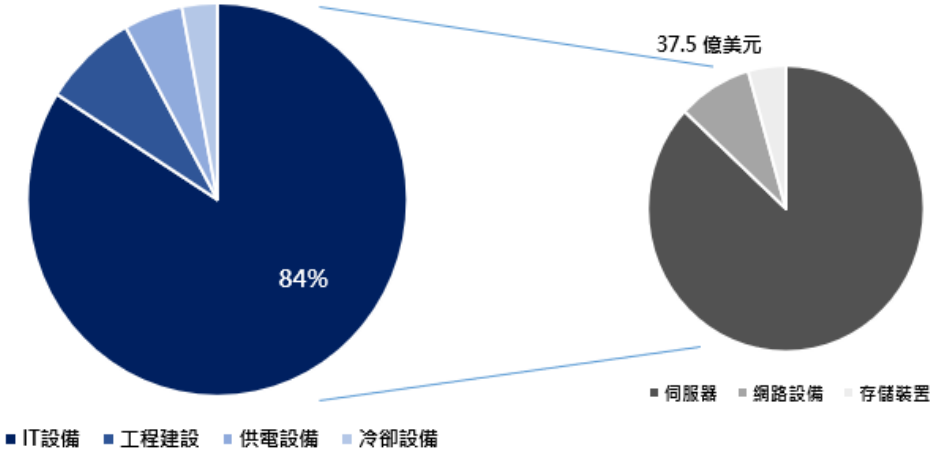


圖2、2025年資料中心成本結構



AI算力成長超越資料傳輸能力，高速互聯成為系統效能關鍵

AI晶片算力成長快於記憶體頻寬與互聯傳輸，系統瓶頸由「算不夠快」轉向「資料送不夠快」： 隨前沿模型參數規模超越單顆GPU記憶體容量，須透過張量平行等方式拆分至多顆GPU協同運算，增加跨GPU資料交換需求。根據學界統計，過去20年硬體峰值算力約每2年成長3倍，DRAM頻寬與互聯頻寬卻僅成長1.6倍及1.4倍，差距持續擴大，使GPU等待資料的時間增加，形成「I/O Wall」。

推論需求由MoE延伸至超長上下文，任務碎片化與資料搬移推升互聯頻寬需求： MoE專家數量增至300個以上，加上推論任務更加碎片化，需透過GPU間all-to-all通訊，進而推升Scale-up頻寬需求。進入長上下文階段後，影音生成與軟體開發等應用的上下文長度突破100萬個token，帶動KV cache大幅增長；在GPU記憶體容量有限及Prefill / Decode分離部署下，資料須跨GPU與節點搬移，將推升Scale-out頻寬需求。隨模型複雜度與資料傳輸需求持續提升，高速互聯成為避免GPU閒置、支撐AI效能成長的關鍵，也為網通設備投資提供長期動能。

圖3、I/O牆逐步成為算力瓶頸

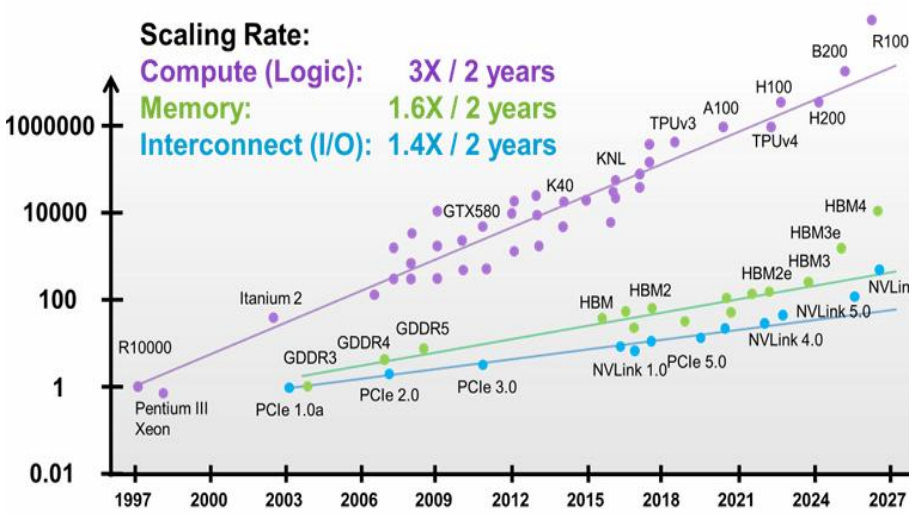
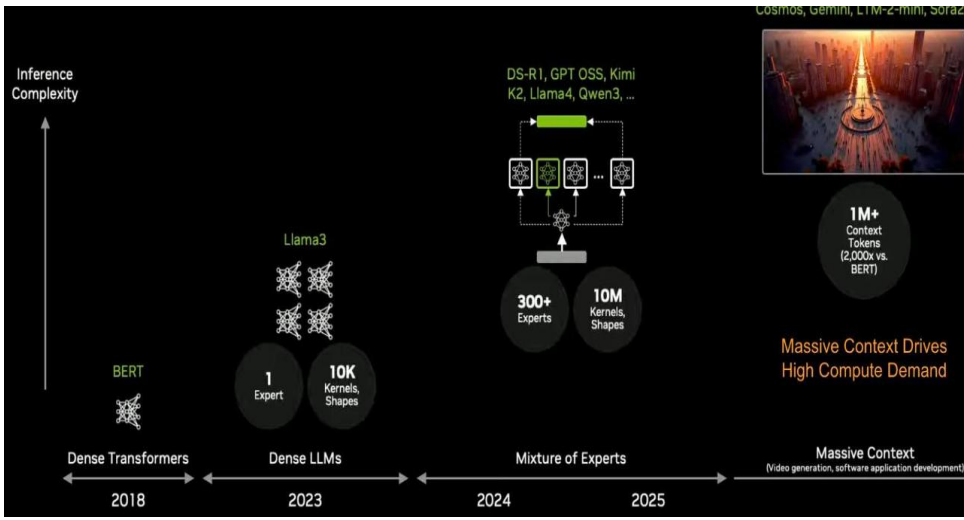


圖4、推論複雜度由Dense演進至MoE與超長上下文



Scale-out Switch逐漸轉向CPO，NVIDIA、Broadcom產品2027年放量

功耗與密度雙重瓶頸，推動Scale-out交換機由Pluggable轉向CPO： 在功耗方面，Pluggable鏈路需經PCB走線與DSP進行訊號傳輸及補償，隨頻寬提升，Insertion Loss增加，訊號處理功耗也隨之攀升；CPO將OE直接整合於Switch ASIC周圍，使訊號離開晶片後即可轉為光，減少訊號處理環節。在密度方面，GPU數量增加帶動Port需求成長，但Pluggable受限於前面板插槽空間；CPO則將OE配置於ASIC周圍，突破前面板的密度限制。

目前CPO應用以NVIDIA為主、Broadcom其次，Spectrum-X推出有望帶動2027年擴大部署：CPO目前主要應用於Scale-out交換機。NVIDIA轉向開放式乙太網架構後，客戶接受度提升，已知客戶包括CoreWeave、Lambda等Neo cloud及Oracle；隨Spectrum-X於2H26推出，預期2027年將擴大部署。相較之下，Broadcom的CPO交換機目前以Meta為主要客戶，多數雲端業者仍多採用純電版本，CPO尚未大規模導入。

圖5、CPO與DSP可插拔光模組訊號路徑差異

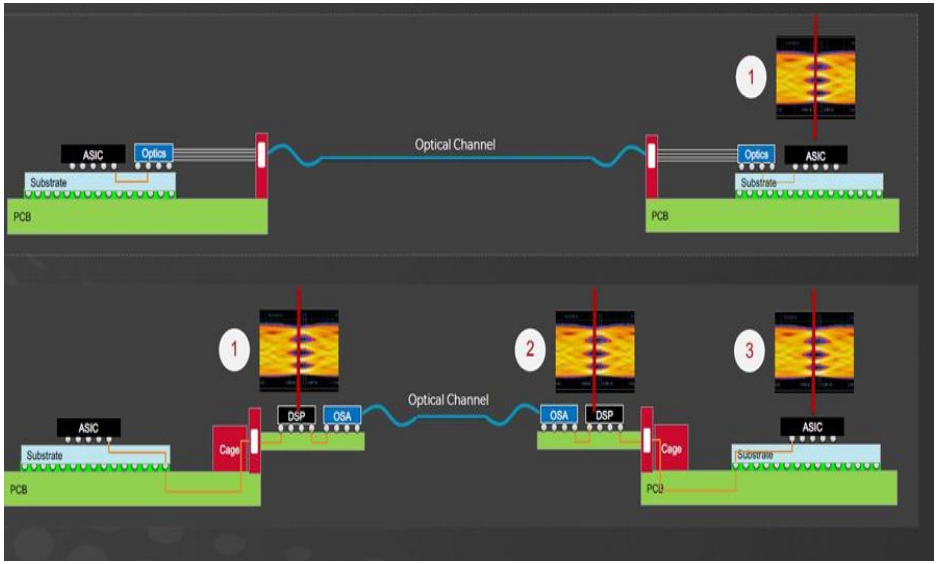


表1、Nvidia、Broadcom CPO交換機新產品

	Nvidia	Broadcom
產品名稱	Spectrum 6800/6810	Davisson
推出時程	2H26試產，2027年放量	2026年推出，2027年小量
採用客戶	CoreWeave、Lambda、Oracle	Meta
總頻寬	409.6T/102.4T	102.4T
OE頻寬	3.2T	6.4T
OE數量	128/32	16

Rubin Ultra將導入光互聯Scale-up，Feynman可望全面轉向CPO

Scale-up轉光最快有望於Rubin Ultra NVL576落地：MoE模型架構的all-to-all通訊推動Scale-up網域由72顆GPU擴大至576顆，需串聯8個機櫃形成單一NVLink網域。目前機櫃內仍以銅背板互連為主，跨機櫃則導入光互聯，NPO（Socket）與CPO方案均在開發中。Rubin Ultra採用9+9+9的Oberon機櫃設計，中間9個Switch Tray各配置4顆NVLink Switch ASIC，每顆ASIC搭配4顆3.2T OE，推算每櫃配置144顆OE、每組NVL576共1,152顆。

Feynman NVL1152機櫃間將全面導入CPO：下一代Feynman NVL1152將由8個Kyber機櫃組成，機櫃間同樣採用CPO；NVIDIA Roadmap亦已明確規劃Feynman將採用NVLink 8，並於機櫃間互聯全面導入CPO，機櫃內則可能由銅互聯轉為CPO。

表2、Nvidia Rack level roadmap

	2026		2027			2028		
Accelerator	Rubin		Rubin ultra			Feynman		
System	NVL 8 HGX	VR NVL72	VR300 NVL72	VR300 NVL144	VR300 NVL 576	Feynman NVL 72	Feynman NVL 144	Feynman NVL 1152
Form Factor	HGX	Cberon	Oberon	Kyber	Oberon*8	Oberon	Kyber	Kyber*8
Number of GPUs	8	72	72	144	576	72	144	1,152
NVLink Gen.	NVLink 6		NVLink 7			NVLink 8		
Within rack Scale-up	UBB	Copper Backplane	Flyover Cable	PCB Midplane+ Flyover Cable	Flyover Cable	Copper Backplane	PCB Midplane+ Flyover Cable	PCB Midplane+ Flyover Cable
Between rack Scale-up	NA	NA	NA	NA	CPO(DR Optics)	NA	NA	CPO(DR / DWDM)

隨CPO / NPO Switch 逐步放量，OE需求有望於2026–2028年快速攀升

台廠Scale-out為2026–2028年CPO主要應用，2027年OE需求有望年增逾18倍：以三層Fat-Tree架構及Spectrum 6800/6810為基礎推估，假設NVIDIA於2026/2027/2028年的CPO滲透率分別為10%/30%/50%，Scale-out CPO交換機出貨量約為4.8/91.8/154.7k台，對應OE需求約616/11,748/19,800k顆，2027/2028年年增率分別約1,807%/69%。預估2026–2027年CPO OE需求將主要來自Scale-out應用。

Scale-up初期以NPO導入，帶動2028年OE總需求上看3,500萬顆： 以Rubin Ultra NVL576每櫃配置144顆OE估算，並考量良率及維修性需求，假設Scale-up初期採用NPO方案。若2027/2028年Rubin Ultra採用NVL576的比例分別為30%/50%，對應Scale-up NPO OE需求約720/15,200k顆。綜合Scale-out CPO與Scale-up NPO需求，2026/2027/2028年OE總需求約為616/12,468/35,000k顆，2027/2028年年增率分別約1,924%/181%；其中CPO占比將由100%降至94.2%及56.6%，顯示隨Scale-up自2028年起放量，NPO OE需求占比將明顯提升。

圖6、預估2026-2028年Scale-out、up Switch晶片數量

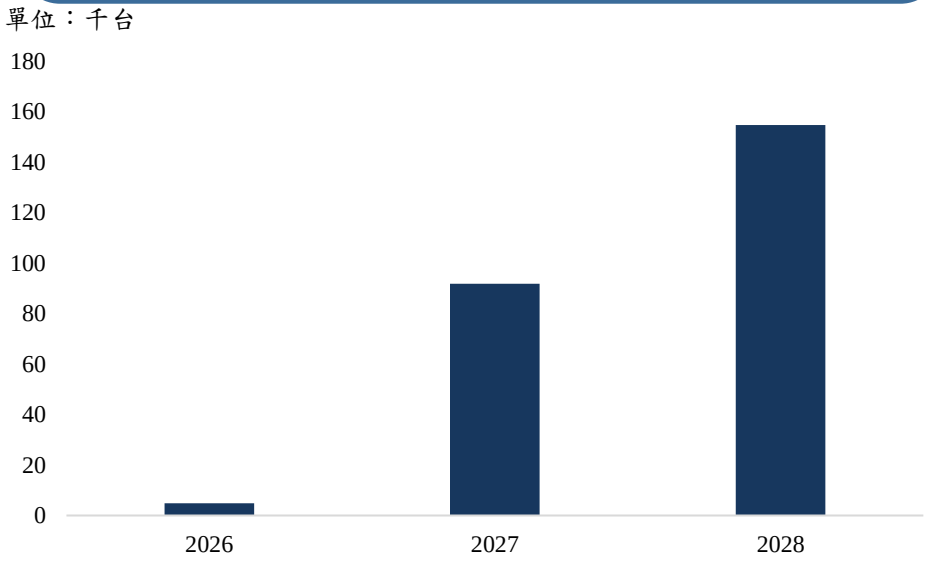
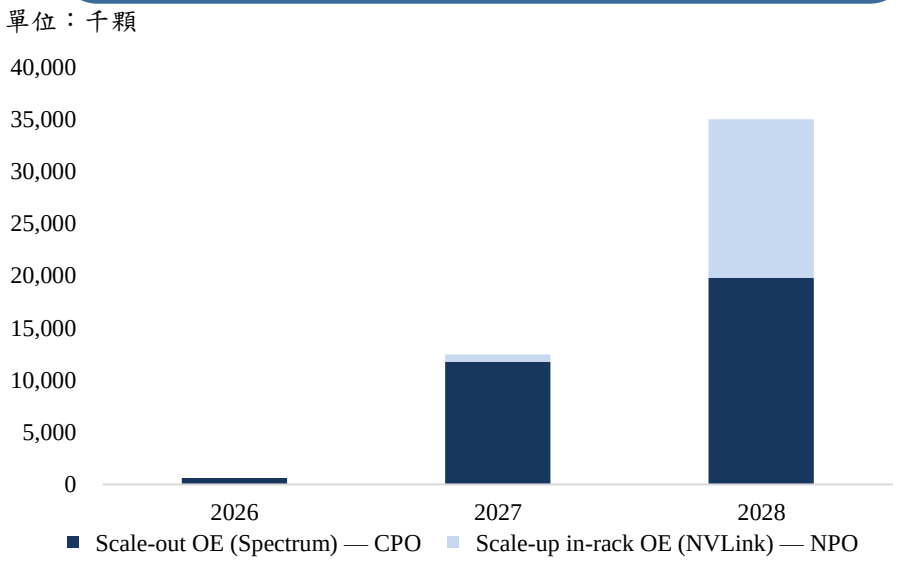


圖7、預估2026-2028年Scale-out、up光引擎數量



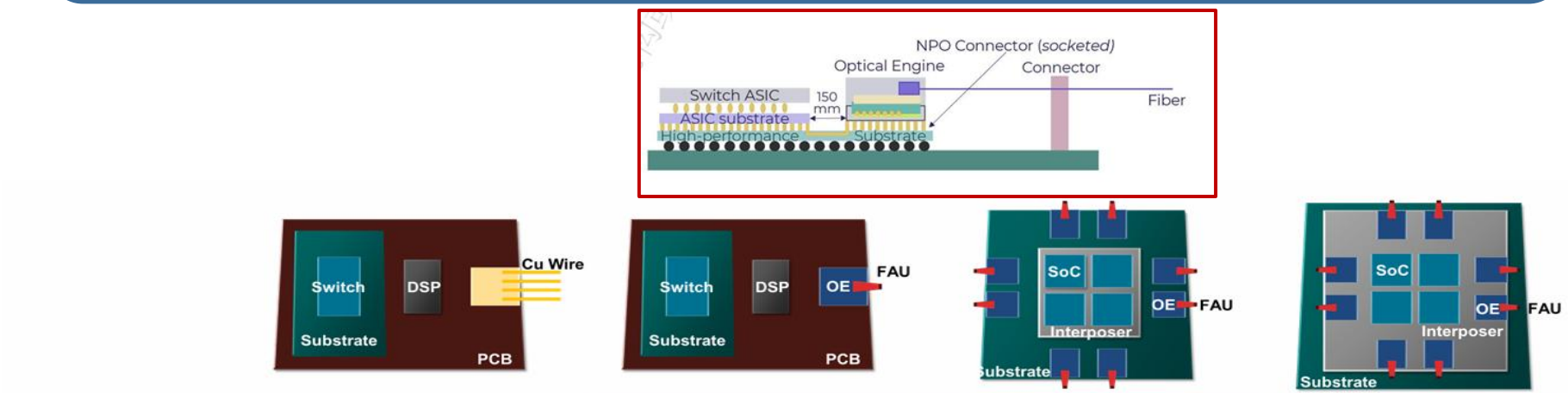
台積電主導 CPO 封裝，測試與耦合成量產瓶頸

Scale-out先行CPO，Scale-up因良率可能先採NPO過渡

Scale-out CPO現階段採OE on Substrate封裝：依台積電光互連技術路徑，目前Scale-out CPO交換機主要採OE on Substrate架構，將OE與Switch ASIC共同封裝，尚未進展至將OE整合於Interposer的OOI階段。待封裝良率改善後，OE有望進一步移至Interposer，相較現行CPO仍有約2.5倍的能效提升空間，為長期發展方向。

Scale-up初期可能先以Socket式NPO為主，以效能換取良率與維修性：NVL576跨櫃互聯提供CPO與NPO兩種方案，CPO將OE直接封裝並外接雷射光源，NPO則透過Connector以Socket形式安裝OE，可單獨更換。CPO單一封裝整合數十顆OE，任一顆失效即可能整顆報廢，良率隨OE數量增加而下降；NPO雖因多經Substrate走線與連接器而效能略遜，但可避開此風險。

圖8、從光模組到CPO的封裝工藝路線圖，過渡階段可能先以NPO的形式來做Scale-up



	Cu Wire	Pluggable Optics	Co-Packaged Optics (CPO)	Optics on Interposer (OOI)
Energy Efficiency	1X	2X	4X	10X
Latency	1X	1X	<0.1X	<0.05X

台積電COUPE拿下NVIDIA與Broadcom，CPO平台領先同業

台積電以SoIC-X混合鍵合拿下NVIDIA與Broadcom兩大CPO客戶：SoIC-X將EIC直接鍵合於PIC上方，大幅降低寄生效應，使NVIDIA得以實現200G/λ MRM，平台亦同時支援Broadcom的MZM路線。加上GC耦合支援晶圓級測試與量產、完整PDK元件庫，以及由CPO延伸至OOI的路線圖，形成其他平台短期難以複製的整體方案，為目前最佳的CPO量產平台。

新材料世代仍為其他平台留下切入機會：Broadcom陣營同步採用GF與Tower分散供應風險；若400G/λ世代須轉向TFLN或InP等新材料，平台優勢可能重新洗牌。

圖9、各家矽光、封裝平台整理

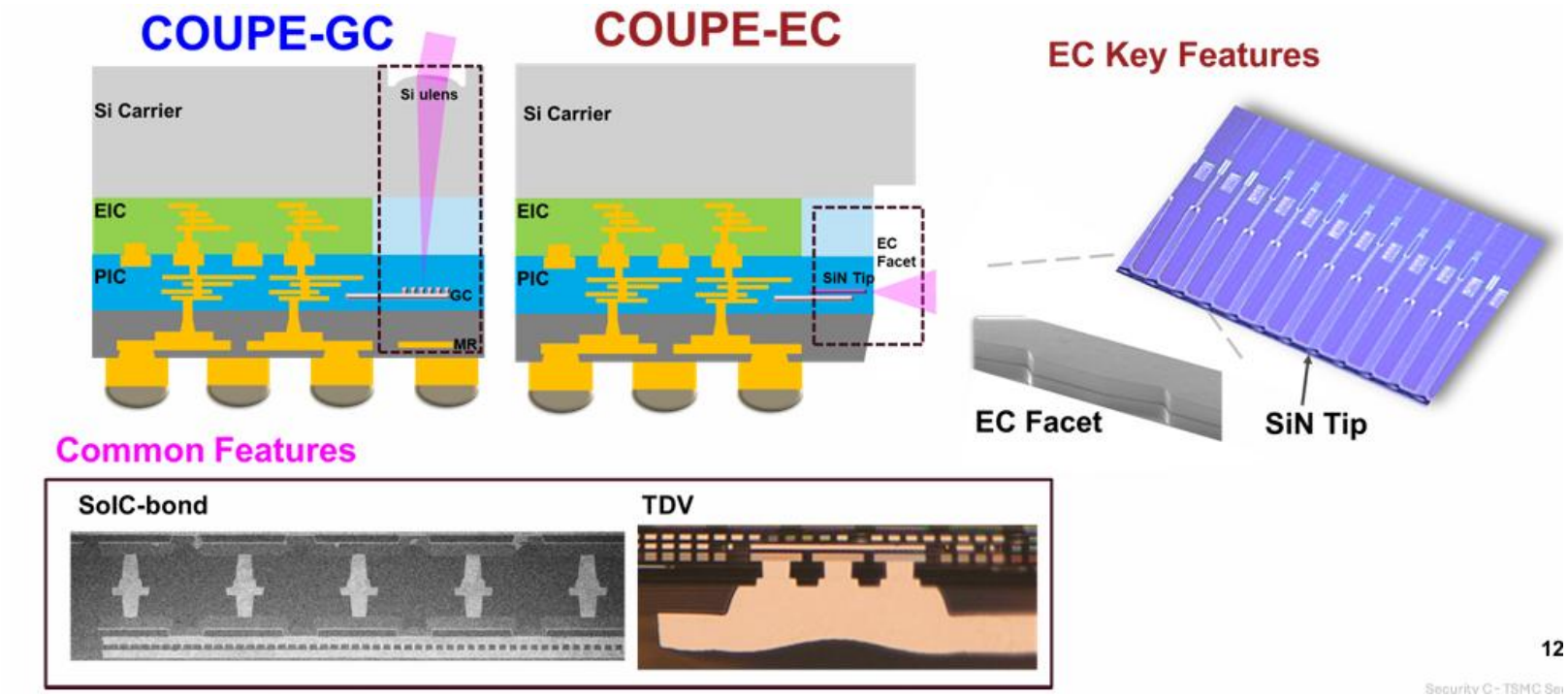
	Company	2025	2026	2027	2028	2029
CPO	TSMC	Validation	COUPE 0.5T/mm ；200G/λ MRM；Single λ (For Nvidia, Broadcom, Ayar Labs, LM)		COUPE 1T/mm；Single λ；2-FAU	COUPE 2T/mm
	Samsung			TCB-based OE	HCB-based OE	CPO Turnkey
	Intel				OCI (MP time TDB)	
SiPh PIC	Global Foundries	Fotonix (PIC 45nm, EIC/PIC Monolithic) + SCALE (For AMD, Marvell, LM)				
	Tower	300mm SiPho				
	UMC		Validation	Risk Pilot	iSiPP300 (imec licensed)	

台積電COUPE兼具GC與EC耦合，兼顧量產測試與低損耗

GC垂直耦合可做晶圓級測試，為COUPE率先量產的方案：COUPE-GC在PIC上製作光柵耦合器，光訊號垂直進出，經Si Carrier上的Si lens聚焦並擴大對位公差，下方金屬反射層（MR）再回收散失的光以降低損耗。由於光從晶圓表面進出，切割前即可逐顆量測，可直接銜接Insertion 1晶圓級測試。

EC邊緣耦合損耗更低，但須切割後才能對光：COUPE-EC由晶片側邊Facet進光，以SiN Tip轉換光模態進入波導，損耗較低且對波長、偏振較不敏感，利於往更高頻寬與DWDM發展；惟須切割後才能耦光，Facet品質與對位精度要求更高，測試須延後至Insertion 3。

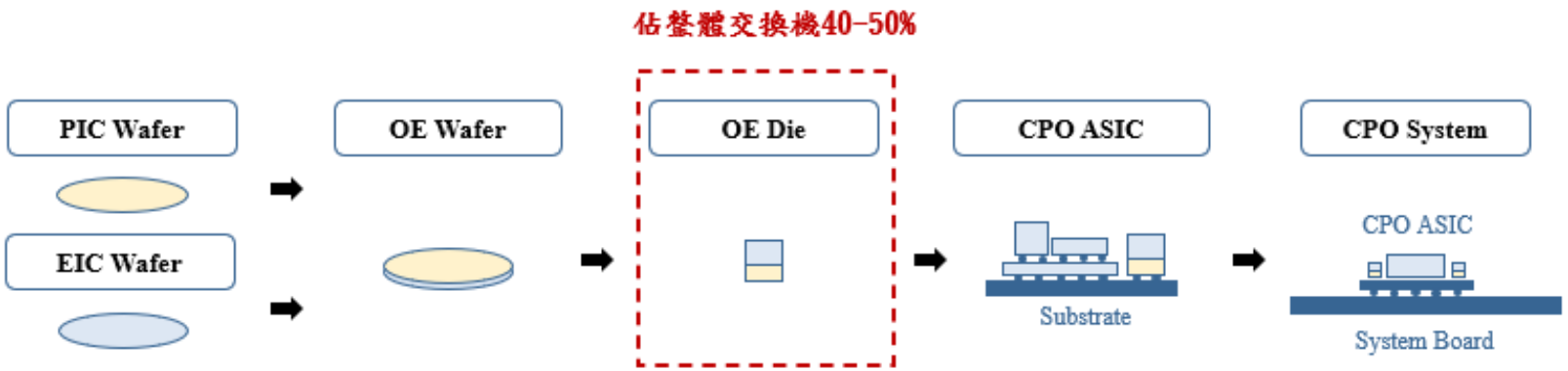
圖10、台積電COUPE-GC與COUPE-EC耦合架構



光引擎佔CPO交換機價值40–50%，為最高價值零組件

OE為CPO交換機中價值最高的零組件，約占BOM成本4成：根據GS預估CPO交換機成本拆解來看，以NVIDIA Quantum-X 交換機為例，總BOM成本約7.58萬美元，其中72顆光引擎合計約3.24萬美元，占BOM約43%，為4顆Switch ASIC（占16%）的2.7倍；顯示CPO交換機的價值核心已由交換晶片轉向光學系統。OE由PIC與EIC經SoIC混合鍵合而成，負責電光轉換、調變與驅動，取代傳統可插拔光模組的核心功能；製程上須歷經PIC與EIC晶圓製造、混合鍵合、切割與receptacle耦光貼合，期間並穿插多道晶圓級與晶粒級光電測試，製程複雜度與附加價值皆集中於OE。

圖11、CPO交換機價值鏈：OE 佔整機價值 40–50%

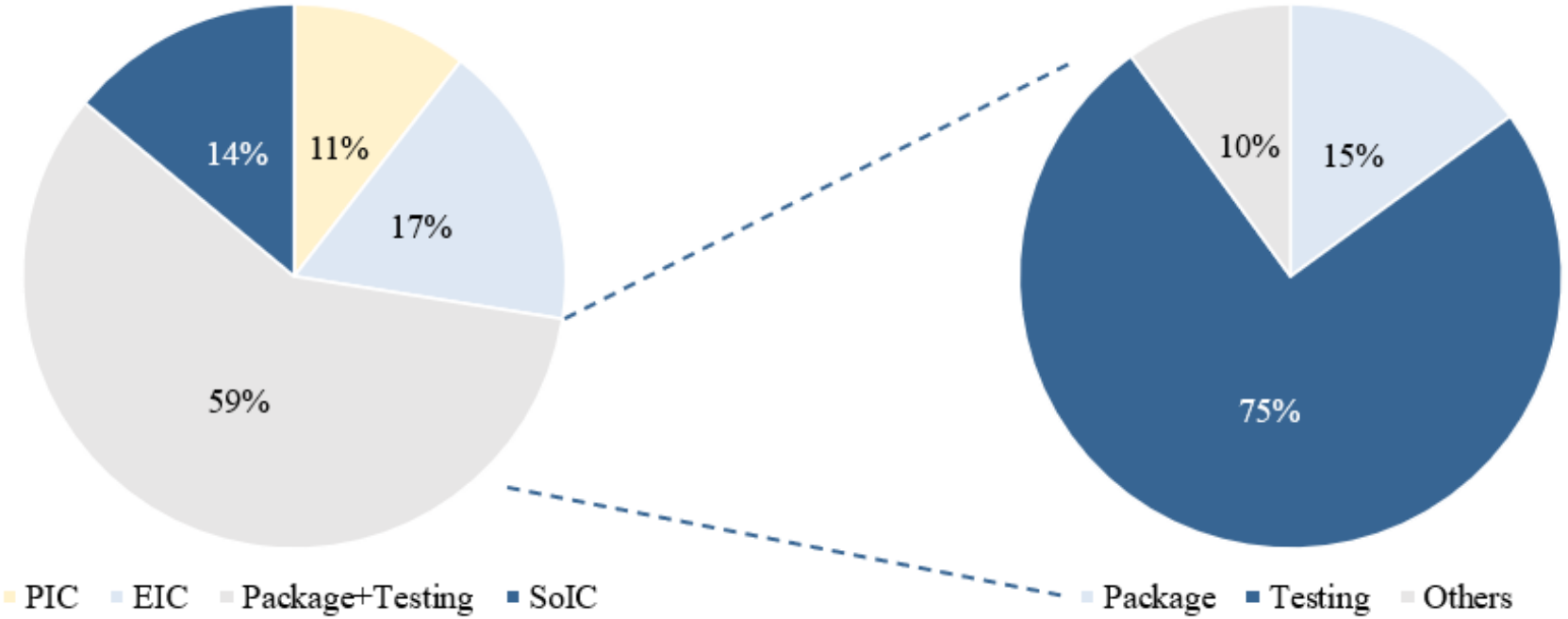


OE成本近6成在封測，測試佔SiPh元件成本75%

OE成本近6成來自封裝與測試，晶圓製造僅約4成：以單顆OE約100美元拆解，PIC、EIC晶圓與SoIC堆疊分別約占11%、17%、14%，合計約42%，其餘59%來自封裝與測試；若PIC或耦光良率偏低，報廢晶片將推升晶圓端占比。

SiPh測試成本占比約75%，遠高於InP元件的29%：每顆die須先完成光纖對位才能量測，加上PDK未成熟、多在切單後逐顆測試；若在晶圓階段完成KGD測試，占比可由封裝後的90%降至約60%，具晶圓級光測與高精度對位能力的設備廠最受惠。

圖12、OE成本結構、與SiPh元件製造成本拆解

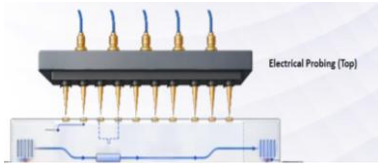


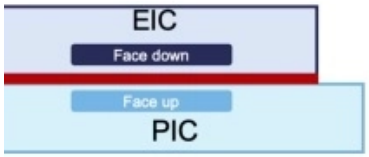
CPO封裝過程需經4道主要測試，以決定CPO量產良率

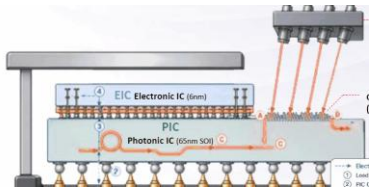
CPO需額外加入光學測試，測試複雜度大幅提高：光電混合元件除電性外，還須驗證光訊號，凡涉及PIC的測試都須先將光精準耦合進晶片，且OE封裝後難以重工，因此須在晶圓、Hybrid bonding、OE切割及模組組裝完成等節點確保每顆OE皆為良品，由於光耦合對位耗時，量產瓶頸正由「對得準」轉向「測得快」。

CPO良率會隨OE數量呈倍數下滑：一顆Switch ASIC周圍需搭載30顆以上的OE，假設單顆OE良率為95%，以32顆計算，整顆CPO模組良率僅約19%；若單顆OE良率提升至99%，模組良率才能回升至約72%。任一顆OE失效都可能導致整組模組報廢，因此必須在每道製程前先篩除不良品。

圖13、CPO光引擎4道測試流程與設備供應商









	Insertion 1	Insertion 2	Insertion 3	Insertion 4
測試重點	分別對PIC、EIC兩種晶圓做wafer-level 測試	EIC Hybrid bonding在PIC上後，以上電下光做雙面wafer-level測試	切割後完整 OE (EIC + PIC + FAU) 測試；KGOE (Known Good OE) 確認光迴路	完整 CPO Module + Switch ASIC +多 OE系統測試整機鏈路驗證
測試設備廠商	• ATE：Advantest、Teradyne • Prober：FormFactor、TEL、旺矽 • 光探針：ficonTEC • 光損耗量測：光焱科技	• ATE：Advantest、Teradyne • Prober：FormFactor、ficonTEC、TEL、旺矽 • 耦光對位模組：高明鐵	• ATE：Advantest、Teradyne、致茂 • Prober：ficonTEC、旺矽 • 雙邊探測／CPC：穎崴 • 耦合設備：高明鐵、萬潤	• ATE：Advantest、Teradyne • 光電／SLT測試：致茂 • Handler：鴻勁、致茂 • Socket：穎崴

Insertion 1：量產測試確定導入，測試時間有望大幅縮減

PIC耦光對位為測試瓶頸，漏光預篩可望成為提速關鍵：Ins1於晶圓階段對EIC與PIC進行CP測試，EIC沿用一般電性Probing，PIC則需在Prober加裝光學對位模組，量測光路損耗與MRM、PD等元件特性。由於每顆die都須以次微米精度重新對準光纖，測試耗時成為量產瓶頸。業界正導入漏光定位設備作為預篩，先剔除漏光或有潛在缺陷的die，免跑完整量測，以縮短整片晶圓的總測試時間；其中光焱NightJar單格掃描不到1秒，量產版NightJar-H正於台積電進行HVM驗證。

台廠方面：光焱可望受惠於預篩設備導入，致茂則以PIC整機方案送驗中，若通過驗證可望切入Insertion 1。

圖14、PIC檢測機台示意圖

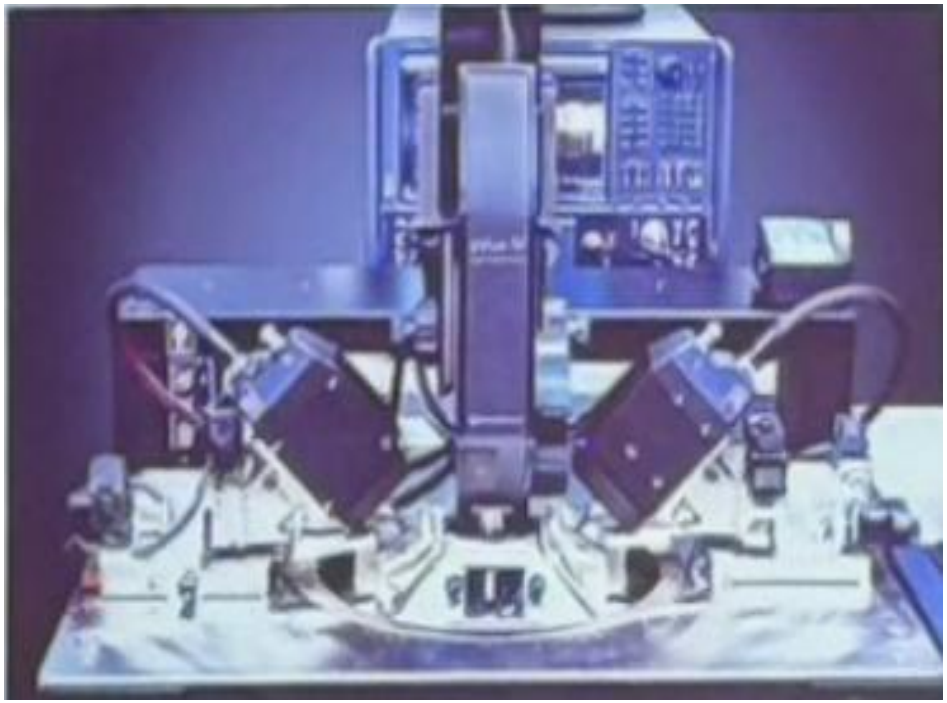


圖15、PIC/EIC晶圓測試重點整理

項目	
測試內容	EIC：同一般電性Probing PIC：Prober加裝光學對位模組，打光量測損耗
核心目的	檢測光路損耗（耦合器、波導）及MRM、濾波元件、PD等元件特性
核心技術	6軸平台夾持光纖探針、可調雷射＋光功率計、波長掃描找微環共振；選配紅外線漏光定位
主要瓶頸	每顆die需重新對準光纖，次微米級閉環耦合，耗時過長
關鍵供應鏈	測試機：Teradyne、Advantest；探針台/卡：TEL、FormFactor；6軸平台：PI；光學量測：Keysight
市場現況	先以漏光定位篩出潛在缺陷die，PIC測試由100秒/die縮至<5秒/die
台廠受惠	致茂（整機方案驗證中）、光焱（NightJar-H於台積電HVM驗證）、汎銓（研發除錯）

Insertion 2：技術尚未成熟仍待定，去留成觀察重點

Ins2為CPO測試最難一站，雙面架構拖慢產出：Ins2於EIC以SoIC混合鍵合至PIC晶圓後、切割前進行測試，以上電下光方式量測光迴路、電光轉換之間的各種參數。由於測試價值隨階段往後遞增，提前剔除不良die可提升後續封裝良率，並劃分晶圓廠與OSAT之間的良率責任。此站需一面電性接觸、一面光耦合並同步精準對位，並兼顧EIC發熱對Micro-Ring的影響，雙面架構難以多site平行測試，現行方案多為單site，單片晶圓測試約需6小時以上，因耗時過長部分業者傾向暫時跳過，2027年放量看法分歧。

台廠方面：Advantest＋旺矽持續出二代機驗證中，漢測主要幫ficonTEC代工，光焱則提供快篩替代方案。

圖16、EIC/PIC D2W晶粒示意圖

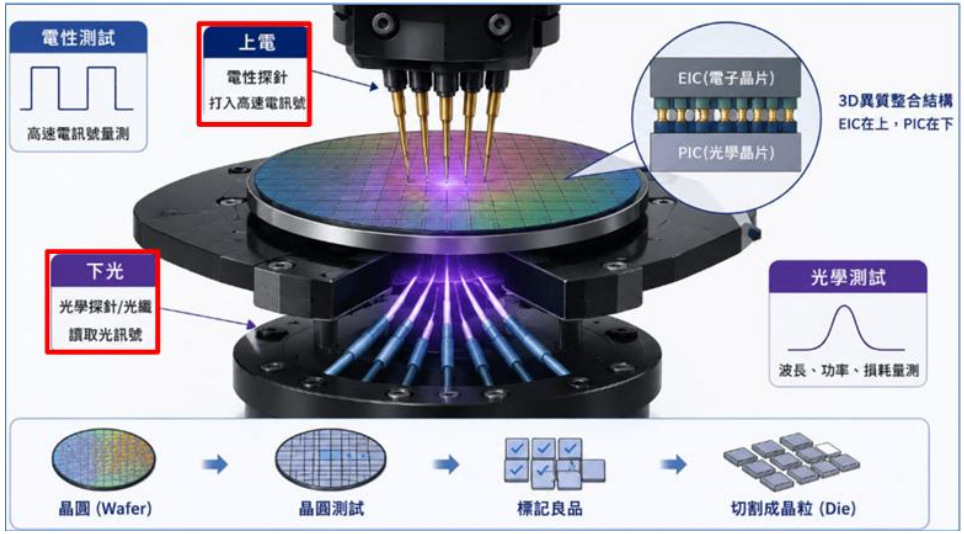


圖17、EIC+PIC鍵合後晶圓測試重點整理

項目	
測試內容	EIC以SoIC鍵合至PIC晶圓後、切割前，上電下光測E/O、O/E、O/O、光迴路及S參數
核心目的	測試價值隨階段遞增，提前剔除不良die以提升後續封裝良率
核心技術	雙面探測（一面電性接觸、一面光耦合）並同步對位；晶粒級溫控，避免EIC發熱影響微環共振
主要瓶頸	難以多site平行測試，多為單site、產出低；光耦合易受震動、溫度與翹曲影響
關鍵供應鏈	Teradyne＋ficonTEC（第二版驗證中）；Advantest＋旺矽（工程機已出貨，量產驗證中）
市場現況	單片晶圓測試約6小時以上；部分業者傾向暫時跳過，2027年放量看法分歧
台廠受惠	旺矽（Prober＋Probe card）、漢測（ficonTEC代工）、光焱（快篩替代方案）

Insertion 3：Die Level全檢不可省，Shift to middle成CPO測試長期主力

Insertion 3為Die Level全檢，單顆取放拉長測試時間： Insertion 3於OE切割並貼合receptacle後進行測試，量測光路品質（IL、PDL）與loopback誤碼率（BER），目的是避免切割、貼合過程產生的不良OE流入後續載板黏合製程。相較Insertion 2的Wafer Level測試，Insertion 3須單顆取放、溫控與對接並全數檢測，未來可能每顆OE的測試時間約為Insertion 2 per die的2–3倍。量產前全檢為必要條件，部分流程已導入大功率與老化測試，測試時間仍有上升空間，但未來可能往多site平行測試發展以提升產出。

台廠方面：漢測（ficonTEC驗證中）、致茂(Tester出量產機)，萬潤則為FAU / receptacle耦合貼合主要供應商。

圖18、CPO光電訊號路徑示意圖

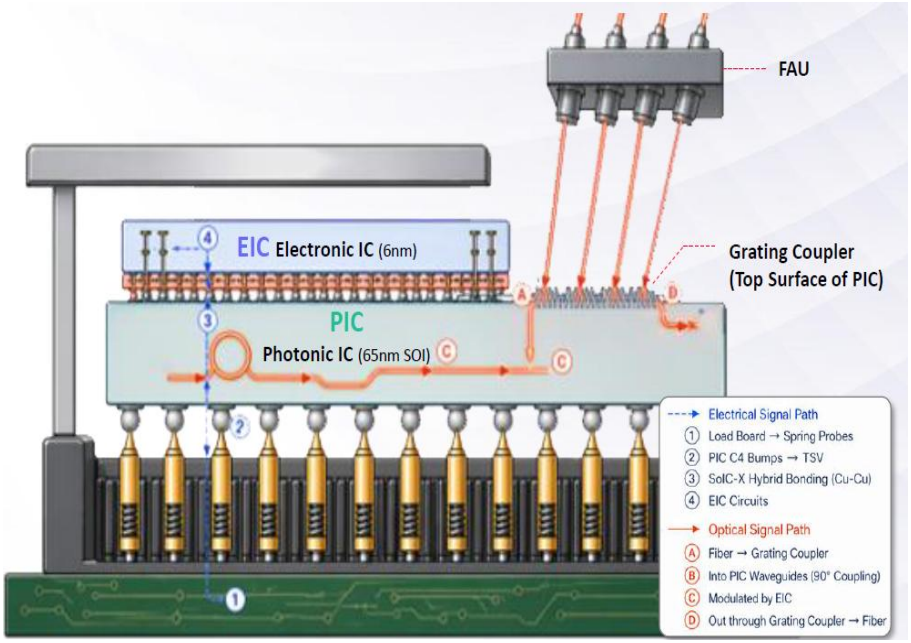


圖19、切割後OE（KGOE）測試重點整理

項目	
測試內容	切割後OE貼合receptacle後測試
核心目的	避免不良OE流入載板黏合製程
核心技術	光路品質（IL、PDL）、loopback BER
主要瓶頸	單顆取放＋全檢，測試時間拉長1–2倍
關鍵供應鏈	FiconTEC；致茂、穎崴（Socket）
市場現況	量產前須全檢，有可能需要大功率/老化測試，每die所需檢測時間將增加
台廠受惠	漢測、致茂（測試機）；萬潤（耦合貼合）

Insertion 4：Switch ASIC+OE成品測試，SLT為最後一塊拼圖

Insertion 4為完整CPO模組測試，SLT方案仍待成熟：Insertion 4於32顆OE貼合至載板、與ASIC共同封裝後進行，驗證完整CPO模組的功能與連通性，涵蓋Ins4e電性最終測試、Ins4o光學連通性（插入損耗）、Ins4eo光電同測（加測回送誤碼率），以及在接近實際運作狀態下跑真實流量的SLT。預計未來將加入光電同測、SLT，目前Ins4eo連測試參數都尚未完全確定。測試難點在於CPO元件尺寸大、功耗高，FAU設計不統一，散熱頭與光學對接存在空間衝突，且ASIC與OE需雙區溫控；SLT更需供應大量外部雷射光源，測試複雜度仍高。

台廠方面：FT純電、Ins4eo以Advantest/Teradyne搭配鴻勁分選機為主，Ins4o致茂(tester)。

圖20、CPO模組FT測試架構示意圖

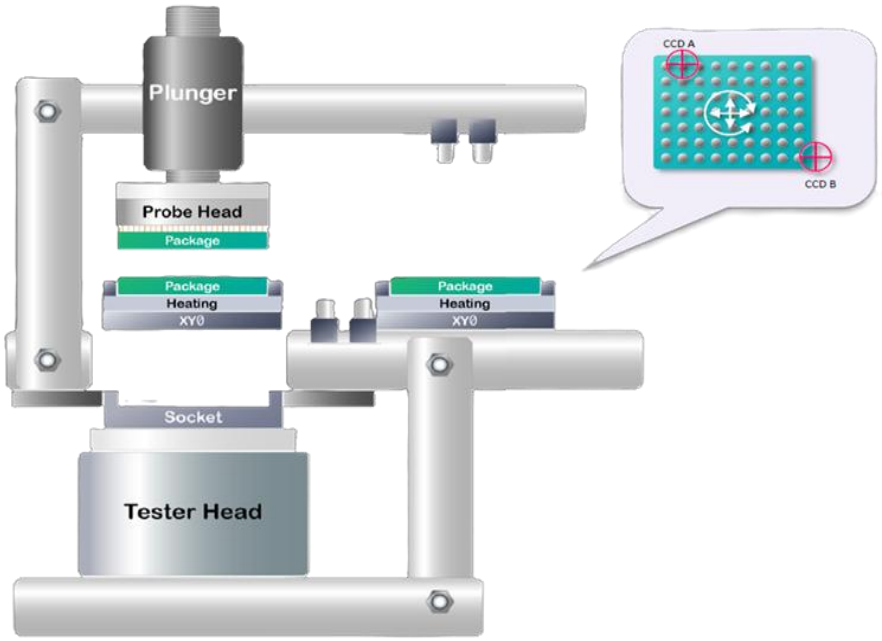


圖21、ASIC+OE共封裝後測試重點整理

項目	
測試內容	OE鍵合載板後，與ASIC共封裝測試
核心目的	驗證完整CPO模組功能與連通性
核心技術	Ins4e/o、Ins4eo、SLT
主要瓶頸	FAU未統一、散熱與光學對接衝突
關鍵供應鏈	Advantest/Teradyne+鴻勁(Handler)；致茂（Ins4o）
市場現況	SLT仍在發展，測試參數尚未完全確定
台廠受惠	鴻勁、致茂

測試與貼合設備 TAM 擴張，台廠受惠Ins3、4

2028年測試設備TAM達400億元以上，Ins3、4占逾7成

TAM往後段集中，Ins3與Ins4為主要成長動能：隨OE需求在2028年持續放大，測試設備TAM明顯成長，其中Insertion 3與Insertion 4的成長幅度皆高於整體，2028年合計占逾7成。Insertion 3須逐顆取放並全數檢測，是確保Known Good OE的最後關卡；Insertion 4則須驗證整顆CPO封裝的光電功能，並逐步導入SLT，單顆測試價值最高。若業界跳過Insertion 2，原本在晶圓階段的測試需求也將移往Insertion 3，進一步推升後段測試需求。

台廠以致茂、鴻勁為主要受惠者：致茂同時切入Insertion 3的OE測試與Insertion 4的光學測試及SLT；鴻勁以光電同測Handler切入Insertion 4；穎崴、旺矽則分別提供測試座與晶粒探針台。

圖22、Insertion 1–4測試設備新增TAM

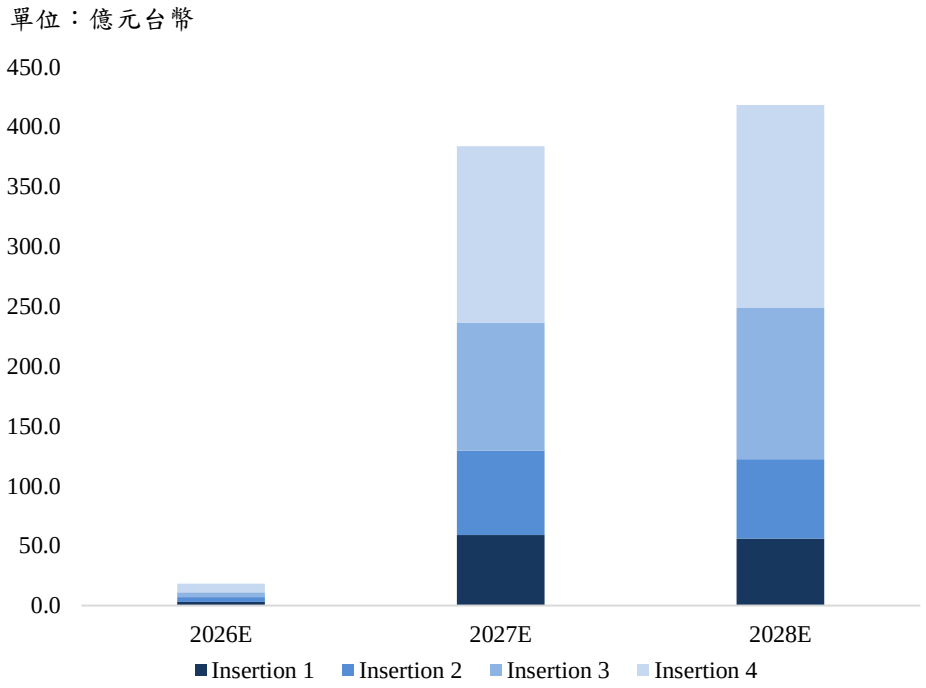


圖23、Insertion 1－4主要國際與台灣供應商

站別	國際廠商	台廠
Ins1 晶圓CP	Teradyne、Advantest、TEL、FormFactor、PI、Keysight	致茂、光焱、汎銓
Ins2 晶圓光測	Teradyne＋ficonTEC、Advantest	旺矽、漢測、光焱
Ins3 KGOE	Teradyne＋ficonTEC	漢測、致茂、穎崴、萬潤
Ins4 共封裝FT	Advantest、Teradyne	鴻勁、致茂

Ins2 不做可以節省成本，且隨 SoIC 製程良率提升測試時間減少

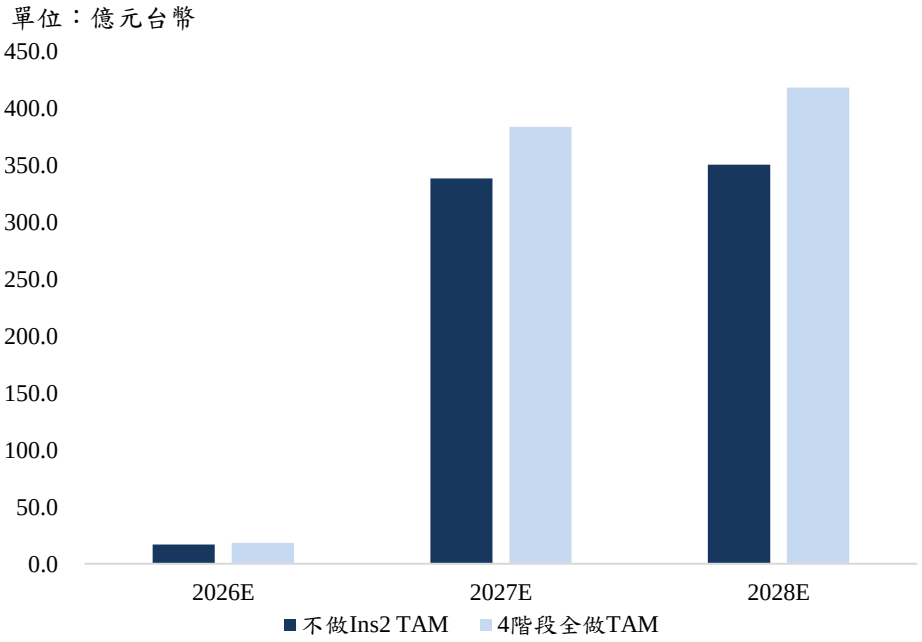
SoIC 良率越高，不做 Ins2 每顆良品 OE 所需測試時間越少：不做 Ins 2 可省下每顆 die 在 Ins 2 的 45 秒，代價是 SoIC 不良品會額外占用 Ins 3 的測試時間，因此節省幅度取決於 SoIC 良率。良率約 60% 時兩者打平；良率越高、不良品越少，每產出一顆良品 OE 所需的測試時間由良率 60% 時的 187.5 秒降至 80%/90% 時的 140.6/125.0 秒，相較有做 Ins 2 分別節省約 28/38 秒（-17%/-23%）。

整體測試設備TAM縮減，但 Ins3 機台需求增加：若省略 Ins2，SoIC 後的良品與不良品 OE 都將直接進入 Ins3 受測，受測量放大為 1÷SoIC 良率倍，Ins3 因受測 OE 增加，所需機台數也將大幅提升。但因省下整段 Ins2 機台，整體而言 2027/2028 年測試設備新增 TAM 仍將分別減少約 12%/16%，可為客戶省下更多設備投資成本。

圖24、每產出一顆良品OE所需測試時間比較

SoIC良率	有做Ins2	不做Ins2	每顆die節省時間
50%	202.5秒	225.0秒	多22.5秒（+11%）
60%	187.5秒	187.5秒	打平
70%	176.8秒	160.7秒	16.1秒（-9%）
80%	**168.8秒**	**140.6秒**	**28.1秒（-17%）**
90%	**162.5秒**	**125.0秒**	**37.5秒（-23%）**
100%	157.5秒	112.5秒	45.0秒（-29%）

圖25、有無Insertion 2之測試設備新增TAM



致茂、鴻勁2027年CPO測試產值逾50億元，居台廠之首

致茂、鴻勁卡位Insertion 3／4，2027年CPO測試營收領先：致茂布局橫跨Ins 1、3、4，其中Ins3的OE光電測試機已通過驗證並取得2027年量產訂單，Ins4o的光學連通性測試機亦已通過驗證，兩者合計預估2027年營收65-75億元；鴻勁以CPO純電測Handler與光電同測Handler切入Ins 4，光電同測量產型驗證機已於2026年10月出貨。

漢測、旺矽、光焱多仍在驗證階段：漢測為ficonTEC在地量產夥伴，Ins2暫時仍面臨不採用，Ins3於ficonTEC驗證中 ；旺矽與Advantest合作的雙面晶圓級探針台仍在量產驗證，晶粒對晶粒探針台則已出貨；光焱NightJar-H正於台積電進行HVM驗證，若Triton放量，光焱模組可望隨之出貨。

表3、台廠CPO測試設備布局與2027年產值預估

	光引擎檢測站點	現況	27年預估CPO設備營收及佔比
致茂	Insertion 1	驗證整機設備中	-
	Insertion 3	OE光電測試機、ELS光源測試頭	50-55億/10%
	Insertion 4	Ins4o，封裝後光學連通性測試；SLT開發中	15-20億/4%
鴻勁	Insertion 4	CPO純電測Handler、光電同測Handler、SLT(?)	55-60億/6.3%
光焱	Insertion 1	NightJar-H目前在台積電HVM驗證中	-
漢測	Insertion 2	ficonTEC在地量產夥伴：製造、安裝、自動化與售後	5-7億/5%
	Insertion 3	ficonTEC在地量產夥伴：製造、安裝、自動化與售後，ficonTEC仍驗證中	10-15億/10%
旺矽	Insertion 2	Advantest陣營光電雙面Prober，工程機已出貨，量產驗證中	-
	Insertion 3	Advantest陣營單顆OE測試Prober，量產驗證中	-

省略Ins2推升貼合機需求，2027年貼合機TAM增加約24%

FAU為光纖與PIC之間的耦合介面，現行有兩種貼合設計：FAU貼合於光引擎側邊，負責將光纖與PIC耦合。現行設計分為兩種：先貼receptacle再安裝FAU，以及直接將FAU貼合於OE上；前者可能需要兩道貼合製程，後者僅需一次。

省略Ins2後不良品也須貼合，2027年貼合機需求增加約24%：以直接貼合FAU估算，有做Insertion 2時，僅SoIC後的良品OE需要貼合；若省略Insertion 2，未經篩選的不良品也會一併進入貼合製程，使2027年貼合機TAM增加約24%。隨SoIC良率提升、不良品減少，兩者差距逐步收斂，2028年已大致相當。這也代表在量產初期良率仍低時，省略Insertion 2的成本不只是測試，也會反映在貼合機台與貼合材料的額外消耗上。

圖26、FAU貼合位置示意圖

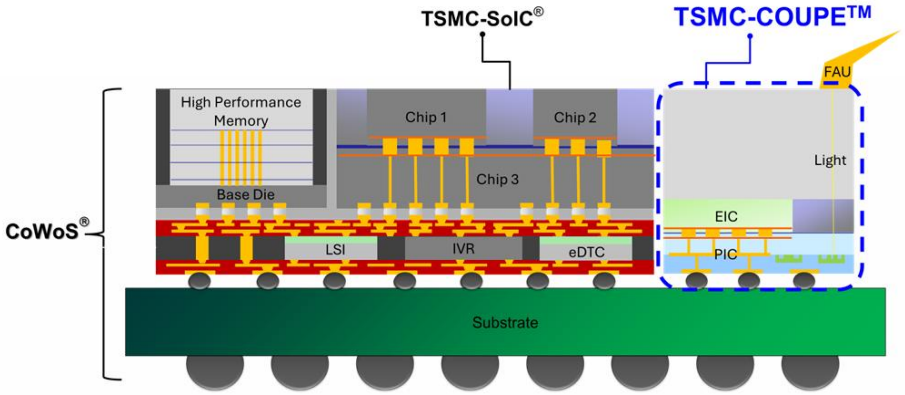
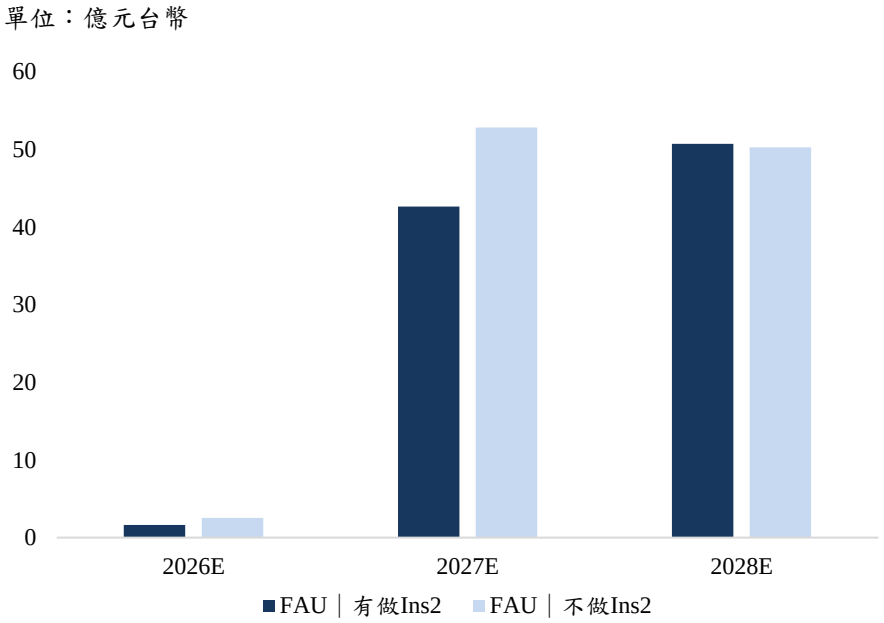


圖27、直接貼合FAU（有/無Ins2）貼合機TAM



Receptacle設計若需兩段貼合，2028年貼合機TAM有望達100億以上

Receptacle 設計有望使貼合機 TAM 最高倍增：以每次貼合約 3 分鐘估算，直接貼合 FAU 於 2027/2028 年新增貼合機 TAM 約 43/51 億元；receptacle 設計須經 receptacle 貼合與 FAU 安裝兩段製程，若兩段皆需同等時間的主動對位，TAM 最高可增至 85/101 億元。

台廠萬潤為主要受惠者，高明鐵、惠特送樣中：萬潤為目前最主要的 FAU 耦合貼合設備供應商，已出機至矽品；若最終採 receptacle 兩段貼合設計，貼合機需求最高可倍增，萬潤作為現行主要供應商受惠幅度最大。其他台廠方面，高明鐵、惠特目前均在送樣階段，國際競爭者則包括 MRSI 及港建代理的 ADST。

圖28、receptacle（上）與直接貼合FAU（下）流程

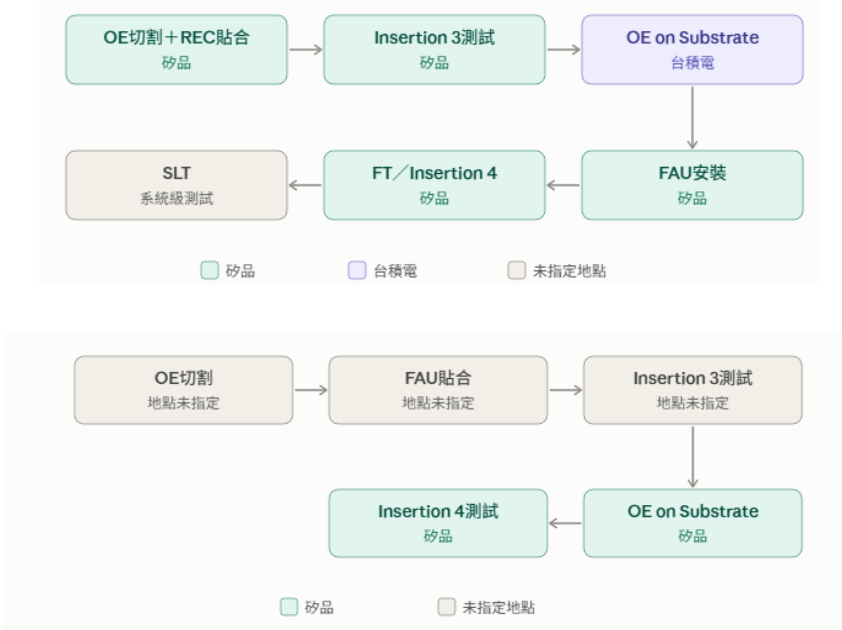
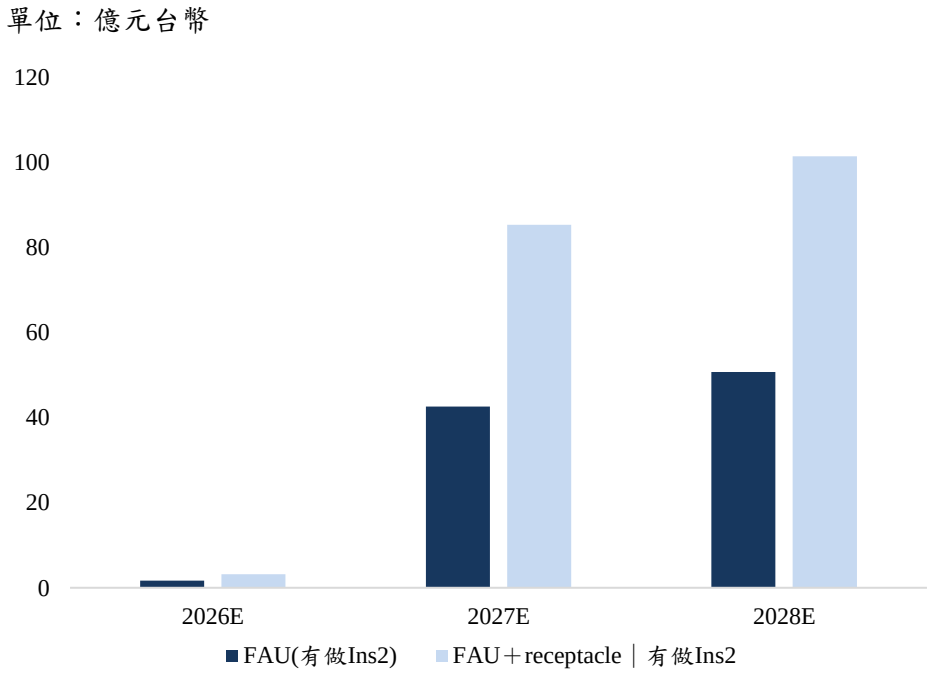


圖29、各情境2026-2028年新增貼合機台市場規模



相關個股

相關個股

Ticker	公司	2026F EPS	2026F YoY	2027F EPS	2027F YoY	合理 PER 區間
6187	萬潤*	28.9	+86.7%	42.7	+47.9%	20-40x
2360	致茂*	44.7	+61.5%	65.5	+46.4%	30-50x
7769	鴻勁*	129.0	+70.4%	218.0	+68.9%	30-50x
7856	漢測*	27.6	+155.6%	120.7	+337.3%	40-60x
6223	旺矽*	65.9	+96.7%	133.5	+102.6%	40-60x
7728	光焱*	8.02	+64.7%	16.4	+104.4%	40-60x
6830	汎銓*	5.1	虧轉盈	15.4	+202.0	30-40x

*** Bloomberg Consensus**

謝謝指教
Q&A

【揭露事項與免責聲明】

本報告僅提供相關部門的內部教育訓練及相關人員之參考資料，並非針對特定客戶所作的投資建議，且在本報告撰寫過程中，並未考量讀者個別的財務狀況與需求，故本報告所提供的資訊無法適用於所有讀者。本報告係根據本公司所取得的資訊加以彙集及研究分析，本公司並不保證各項資訊之完整性及正確性。本報告中所提出之意見係為本報告出版當時的意見，邇後相關資訊或意見若有變更，本公司將不會另行通知。本公司亦無義務持續更新本報告之內容或追蹤研究本報告所涵蓋之主題。本報告中提及的標的價格、價值及收益隨時可能因各種本公司無法控制之政治、經濟、市場等因素而產生變化。本報告中之各項預測，均係基於對目前所得資訊作合理假設下所完成，所以並不必然實現。本報告不得視為買賣有價證券或其他金融商品的要約或要約之引誘。

可能個別基於特定目的且針對特定人士出具研究報告、提供口頭或書面的市場看法或投資建議（下稱“提供資訊”），鑑於提供資訊之單位、時間、對象及目的不同，本報告與本集團其他單位所提供資訊可能有不一致或相牴觸之情事；本集團各單位對於本報告所涵蓋之標的可能有投資或其他業務往來關係，各單位元從事交易之方向亦可能與本報告不一致，讀者應審慎評估自身投資風險，自行決定投資方針，不應以前述不一致或相抵觸為由，主張本公司或本集團其他成員有侵害讀者權益之情事。