2026 / 09 / 21　永豐證券 專家分享會

矽光子與CPO發展趨勢解析

相關供應鏈發展現況分享

智璞產業趨勢研究所 執行副總　林偉智

智璞產業趨勢研究所
WITOLOGY MARKETTREND RESEARCH INSTITUTE

智璞產業趨勢研究所簡介

- 目標三大領域/解決方案的 **產業趨勢** 與 **應用端產品技術** 之研究

科技/半導體

綠能/電動車

大健康/醫療生技

- 主要服務內容

提供三大產業趨勢報告

創新及產品技術發展策略

策略合作之標的顧問服務

智璞官網

官方LINE

YouTube



林偉智 Wayne Lin

✉ waynelin@witology.com.tw

智璞產業趨勢研究所
WITOLOGY MARKETTREND RESEARCH INSTITUTE

學歷

- 清華大學 物理學系應用物理組 碩士畢業
- 台灣大學 工業工程跨領域高階主管碩士在職專班 (預計2027年畢業)

現任

- 智璞產業趨勢研究所 執行副總

曾任

- 鴻海 S事業群 戰略總處 商業情報部 副理 2019 – 2022
- 台積電 製程整合 資深工程師 2011 – 2019

媒體關係

- 臺灣科技及財經媒體採訪200次以上
- 電視：非凡電視、新唐人電視台、東森新聞、網路節目財經節目...
- 平面媒體：中國時報(數次頭版專訪)、工商時報、中央社...

專業證照

APIAA

- 產業顧問認證
- 資深產業分析師認證
- 產業分析師認證

英國策略動態公司

- 國際商業顧問認證
- 動態策略分析師認證

Outline

今天演講的四大部分

PART 01

黃仁勳說的 2026 是 CPO 元年

矽光子與CPO的市場期待

PART 02

矽光子與 CPO 的基本科普

傳統可插拔、矽光子、NPO、CPO 的關聯性

PART 03

CPO 必要性與目前瓶頸

CPO 的必要性、CPO 的技術與困難點

PART 04

供應鏈盤點與結論

主要廠商與供應鏈盤點

Outline

今天演講的四大部分

PART 01

黃仁勳說的 2026 是 CPO 元年

矽光子與CPO的市場期待

PART 02

矽光子與 CPO 的基本科普

傳統可插拔、矽光子、NPO、CPO 的關聯性

PART 03

CPO 必要性與目前瓶頸

CPO 的必要性、CPO 的技術與困難點

PART 04

供應鏈盤點與結論

主要廠商與供應鏈盤點

SEMICON TAIWAN 2026 矽光子 與 CPO

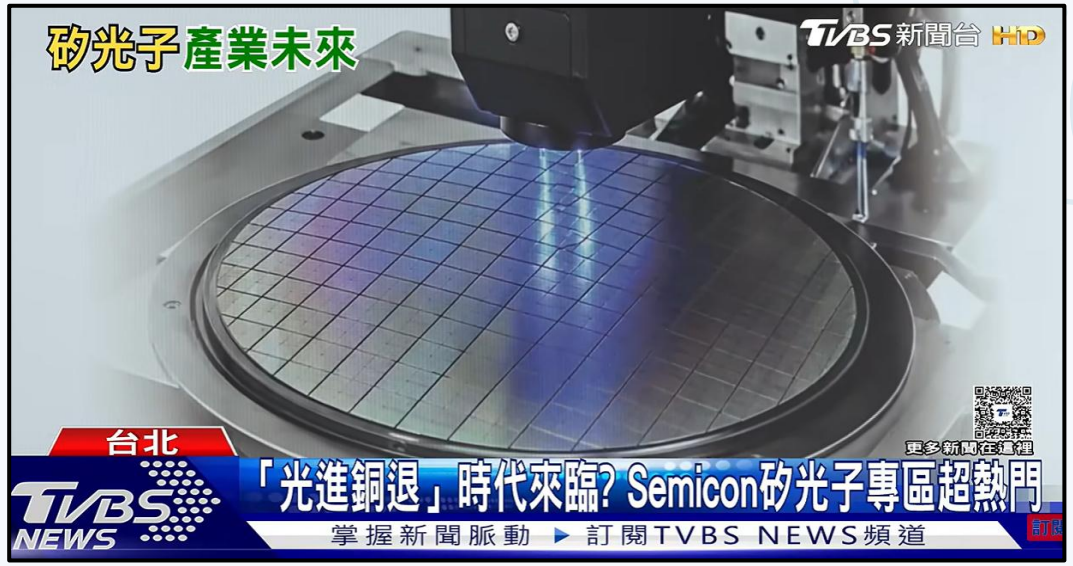
矽光子與CPO：光進銅退成2026年主軸

口袋學堂 by 口袋證券 Pocket Securities

當AI伺服器機櫃內外的資料流量持續攀升，傳統銅纜訊號傳輸開始面臨距離、功耗與頻寬密度的物理限制，矽光子（Silicon Photonics）與共同封裝光學（CPO）技術因此受到關注——透過將光學元件整合進晶片封裝，取代部分銅纜傳輸路徑，藉此突破頻寬瓶頸。

SEMICON Taiwan矽光子國際論壇於8月31日在台北漢來大飯店率先登場，由台積電、日月光兩大封裝龍頭領軍，並邀集邁威爾（Marvell）、Lumentum等國際光通訊大廠同台，聚焦矽光子平台與CPO方案的量產進度；本屆展覽現場亦設有矽光子專區，展示矽光子晶片設計、光電整合與CPO解決方案。矽光子與CPO技術原理的完整說明，可參考矽光子是什麼？台股有哪些概念股？一文。

輝達執行長黃仁勳日前已點出銅纜傳輸的擴展極限，強調AI資料中心架構未來將進入銅纜與光通訊並存的長期過渡期。隨著台積電COUPE矽光子平台推進，加上NVIDIA Rubin世代新品陸續登場，矽光子從展示技術走向系統級導入的時程正逐步加快。



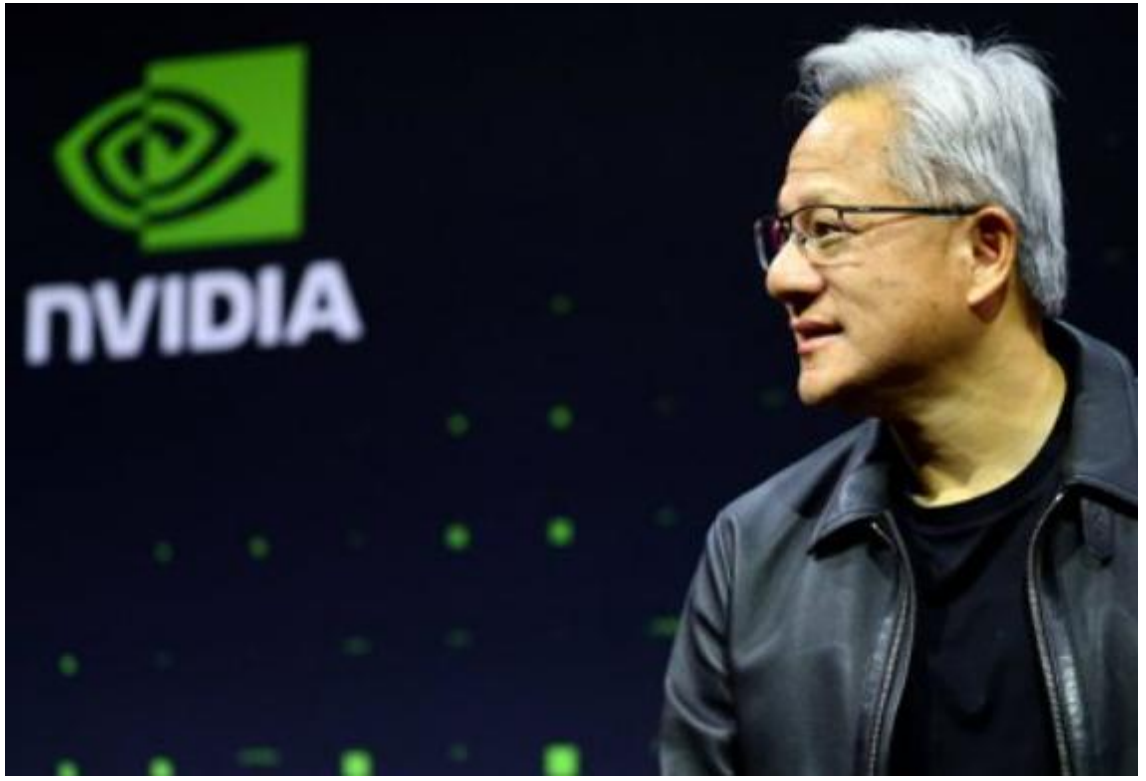


—— 市場與媒體對這波光通訊熱潮的定調

資料來源：網路

黃仁勳表示
「2026是CPO 元年」

—— 市場與媒體對這波光通訊熱潮的定調



NVIDIA GTC Taipei 2026

資料來源：網路

NVIDIA $65 億 光通訊產業挹注布局

2026 上半年，對三家核心廠商各投入 $20 億，另 Ayar Labs $5 億，合計 $65 億

Lumentum $20 億

2026.03.02

- 多年期策略協議 + 多十億美元採購承諾
- 投入美國新建晶圓廠，擴大雷射器產能
- SiPh CPO 先進雷射元件供應
- Spectrum-X 交換機雷射供應商

Coherent $20 億

2026.03.02

- 多十億美元採購承諾 + 產能存取權
- 擴建美國光學元件製造基地
- 次世代矽光子共同開發
- 先進雷射與光網路產品

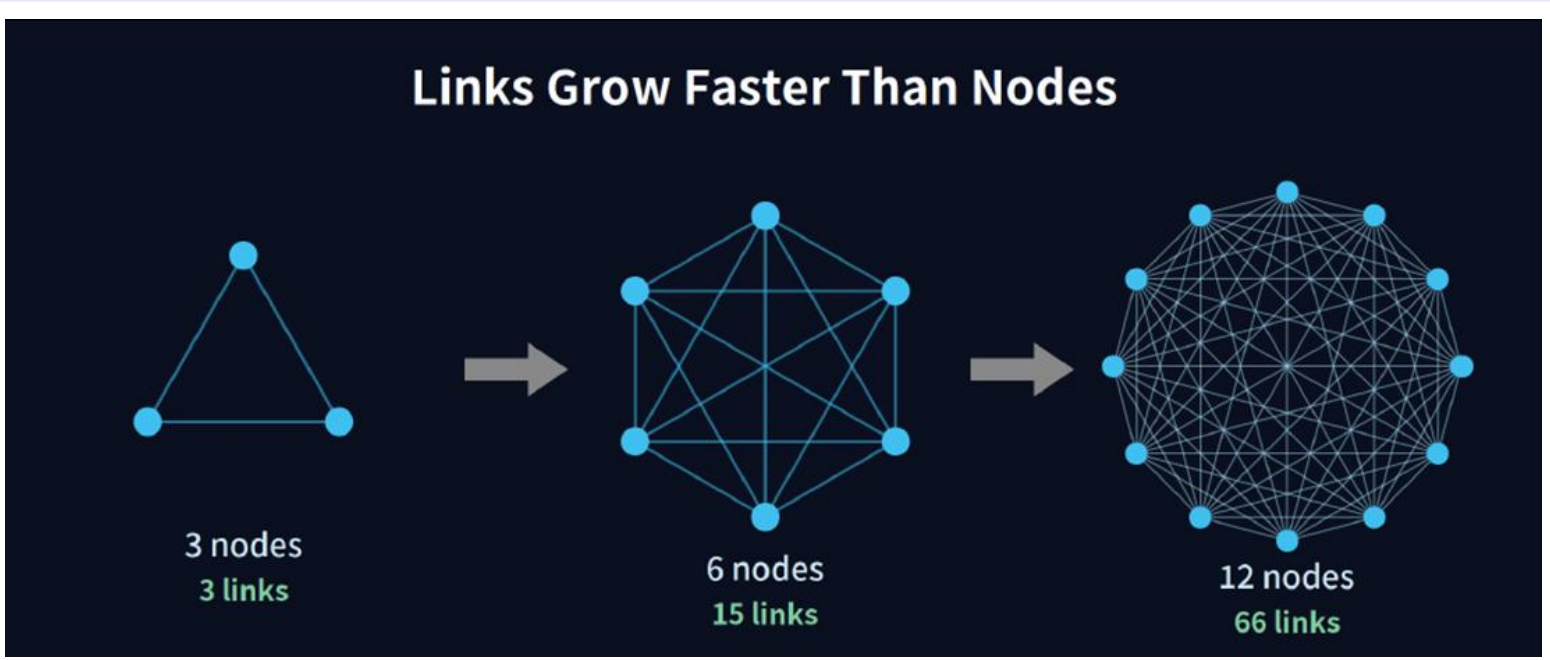
Marvell $20 億

2026.03.31

- NVLink Fusion 整合至自訂 XPU
- 矽光子與光學 I/O 共同開發
- 含 Celestial AI 光子互連技術
- 5G/6G AI-RAN 基礎設施

戰略意涵：NVIDIA 透過鎖定雷射器、矽光子與互連晶片四大 CPO 關鍵供應鏈，建構 AI 光通訊生態系的「供應鏈護城河」。投資分別對應 CPO 供應鏈的光源層（Lite）、矽光子平台層（COHR）與互連架構層（MRVL）、以及技術整合(Ayar Labs)，形成完整的垂直整合策略。

節點越多，光互連需求與 BOM 同步墊高



完全圖的連結數（上界）

3→3、6→15、12→66，連結隨節點數快速增加。

節點越多，互連需求越高

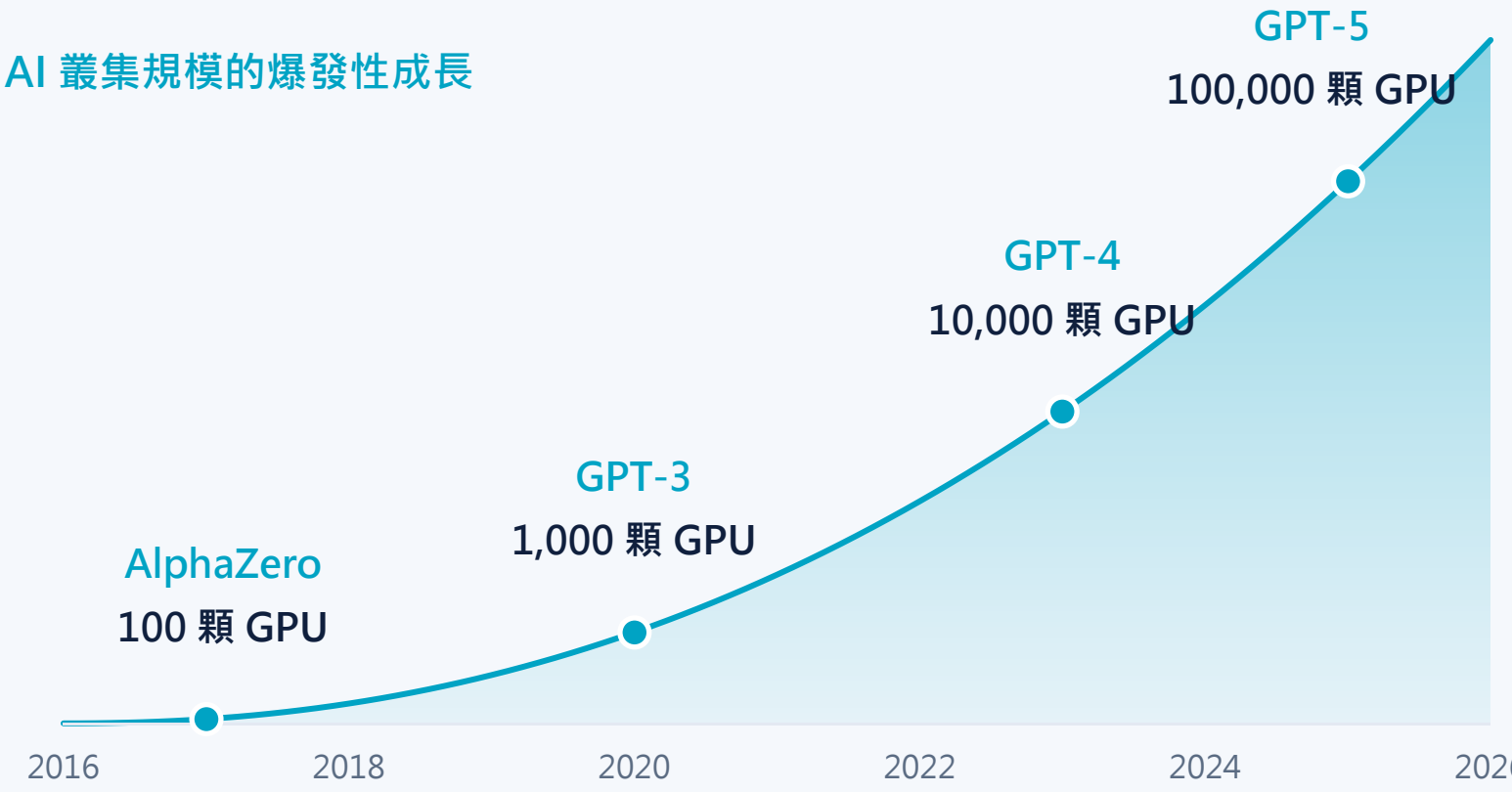
叢集規模擴大，節點間連線與交換層同步增加，光模組與光引擎用量隨節點數上升。

BOM 隨規模墊高

互連用量上升 × 單通道頻寬升級（800G→1.6T→3.2T），共同推升 networking BOM。**節點越多，BOM 越高。**

AI 表現的改善來自於 GPU 數量的快速增加

叢集規模越大，節點間互連對光模組的可靠度要求越高



40%

單一 GPU 或網路鏈路失效，就能讓整個叢集的效能下降四成。

Meta、LightCounting webinar（2025）

叢集規模每放大一個量級，光模組用量與可靠度要求同步升高。

資料來源：Epoch AI、Meta、LightCounting（2024/07），智璞產業趨勢研究所整理

邊緣運算同時放大資料傳輸需求的三條路徑

邊緣不是把需求從雲端搬走，而是同時墊高南北向、邊緣節點與雲端東西向

1 南北向：資料量級躍升 (BEOL)

- 多模態感測資料取代文字級封包
- 單一裝置日產生資料量躍升數個量級 (資安，加密)
- **即時性壓力下降，但總位元組上升**

承接者：接取 / 城域 / DCI 相干光

時間軸：AI PC 已發生，車用 2028 後

2 邊緣節點：新增站點與互連

- **低延遲需求把運算推向區域級機房**
- 站點數增加，站間 DCI 鏈路同步增加
- 每座邊緣機房自身需要內部 fabric

承接者：DCI 與中小型機房光模組

時間軸：2027 起隨邊緣推論部署擴大

3 東西向：每次上雲請求變重 (FEOL)

- 本地小模型處理簡單請求(速度、延遲)
- 難題升級到雲端，升上去的都是重請求
- **MoE 路由與長上下文推高 scale-up 負載**

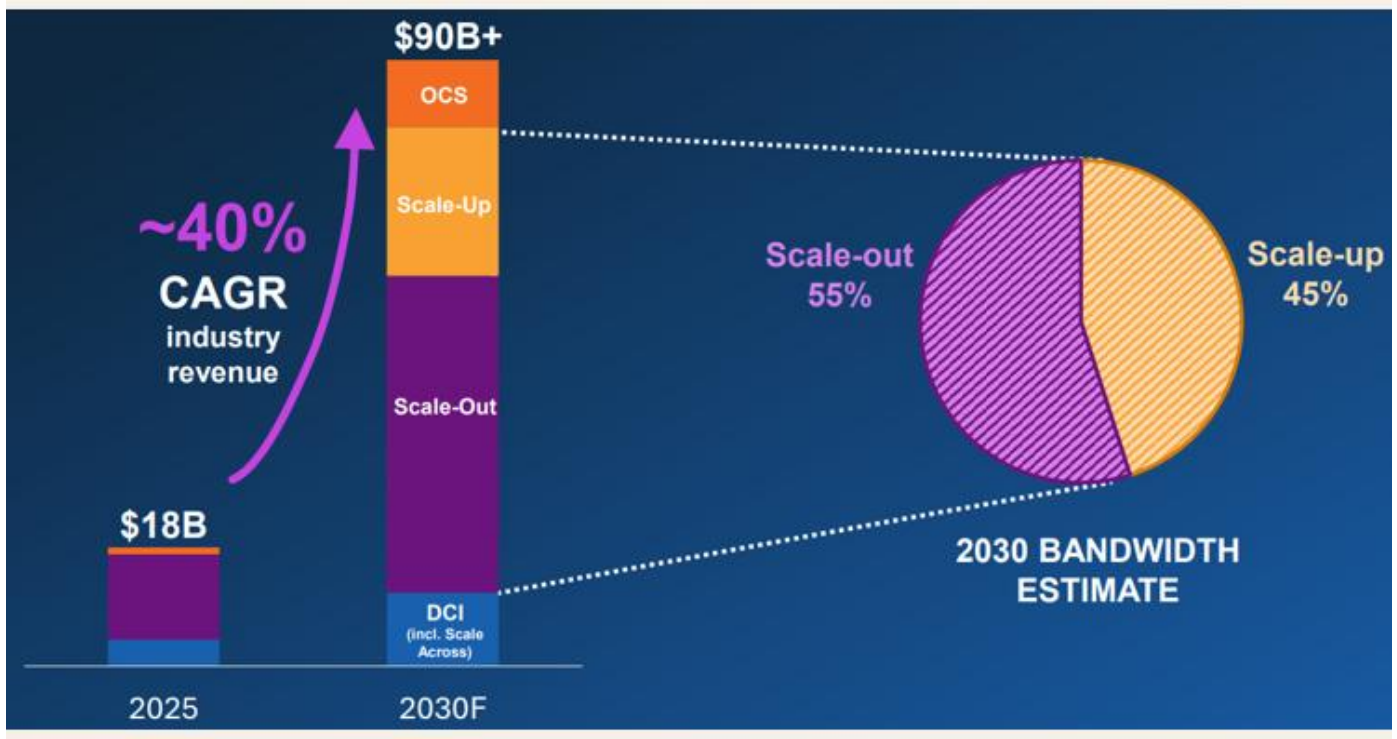
承接者：800G / 1.6T、AEC，後續 CPO

時間軸：當下即在發生

三條路徑同時擴張，邊緣普及提高 AI 使用頻率，總光互連需求隨之上升

Optical Connection TAM

AI 光連結市場 2025 年約 180 億美元，2030 年上看 900 億美元以上，年複合成長率約 40%。Scale-Out 與 Scale-Up 占大部分市場，其中 Scale-Up 是光連結的淨增量。



頻寬需求的倍數關係

以 Scale-Across 為 1 倍基準

1×

Scale-Across 跨資料中心

10×

Scale-Out 跨機櫃交換

100×

Scale-Up 機櫃內 GPU 互連

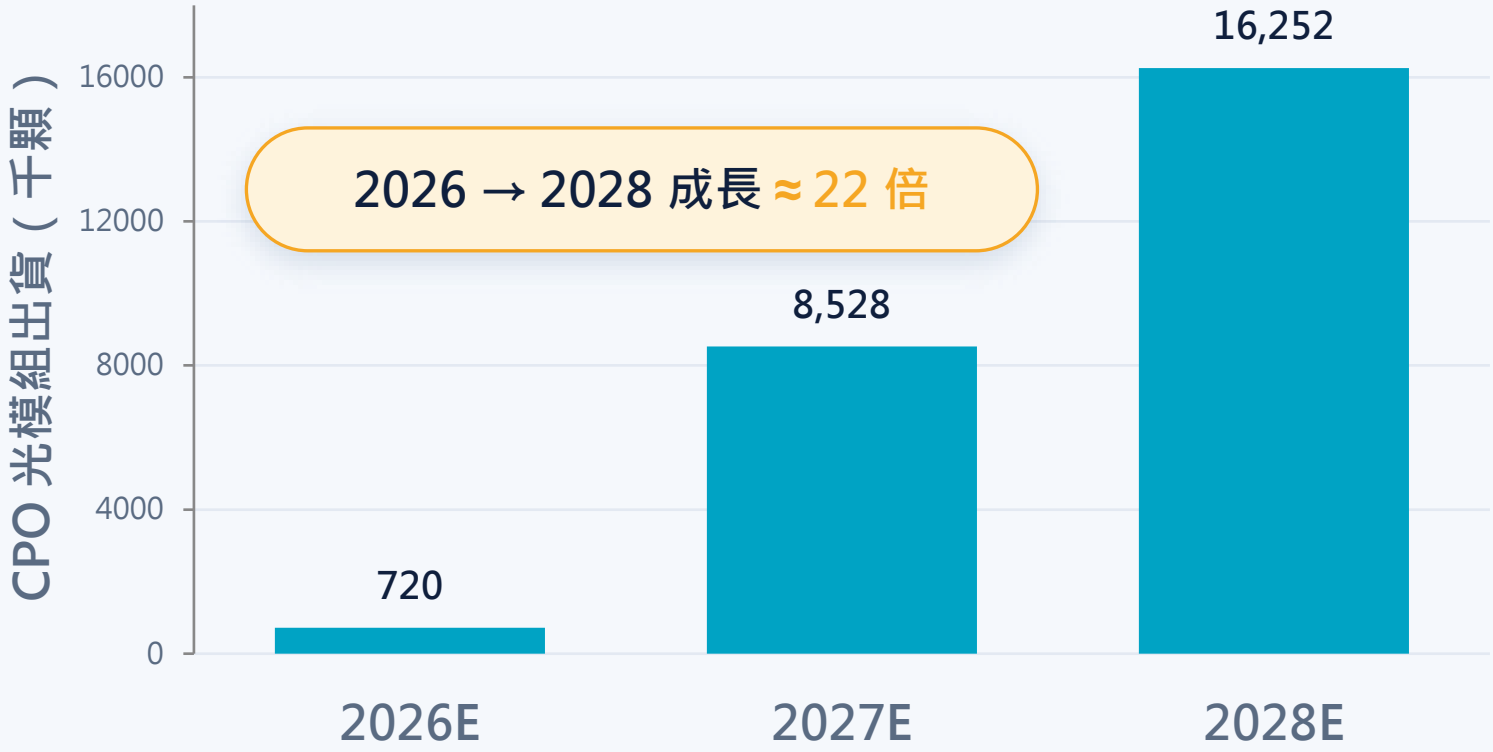
註：Scale-In（封裝內）更達 1,000 倍

Scale-Up 是光連結的淨增量

資料來源：Bank of America、Lumentum（2026/09），智璞產業趨勢研究所整理

CPO 出貨 2028 年跳躍成長，但滲透率仍在個位數

高盛 2026 年 9 月最新預估： CPO 出貨自 2026 年的 72 萬顆增至 2028 年的 1,625 萬顆，約成長 22 倍；但同期滲透率僅由 1% 升至 9%，而可插拔到 2028 年仍占 91%。



註：單位為光引擎顆數。若以每台 CPO 交換器約 72 顆光引擎（NVIDIA Quantum-X Q3450）回推，2026 年約當 1 萬台，與高盛同期交換器預估一致。

出貨型態占比

800G 以上，出貨量口徑

	年增率	CPO 滲透率
2026E	—	1%
2027E	11.8×	6%
2028E	+91%	9%

可插拔 2028 仍占 91%

CPO 放量要到 2028
之前仍是可插拔的市場

資料來源：高盛（2026/09），智璞產業趨勢研究所整理

800G/1.6T 以上的世代，EML 供給瓶頸加速矽光子崛起

40-60%

麥肯錫預估2026年
（主因：EML 產能瓶頸）
缺口延續至 2027 年以後

矽光子崛起的四大驅動力

- **成本優勢**：CW 雷射可多通道共用，EML 每通道需獨立雷射
- **量產擴充**：可借用成熟 CMOS 產能，遠優於 InP / EML 專用產線
- **功耗優勢**：比起目前方案，降低 20% 功耗、縮小 30% 體積
- **EML 瓶頸**：**迫使雲端業者加速轉向矽光子 ->矽光子不只是 CPO 的未來式，更是可插拔『現在』就缺貨的解方。**

資料來源：麥肯錫、業界資料，智璞產業趨勢研究所整理

缺的不只是 EML：整條光鏈都在缺，2027 年不會緩解

Lumentum 於 2026 年 9 月公開表示，EML 與 CPO 雷射目前全面短缺；2027 年光是 Scale-Out 模組出貨就要翻倍，雷射供給追不上，2028 年 Scale-Up 啟動再拉 3 到 4 倍需求。

2026
全面短缺

- 雷射缺、EML 缺
- CPO 雷射同樣缺
- 以加急費分配產能

2027
不會緩解

- Scale-Out 出貨翻倍
- 雷射供給追不上
- 原材料吃緊壓住出貨

2028
需求再拉一次

- Scale-Up 正式啟動
- 雷射需求再增 3 到 4 倍
- 缺口延續，非短期現象

價格訊號：新簽訂單的價格，等於或高於先前已經調漲過的水準，供需缺口尚未收斂。

矽光子不必等 CPO 起量才放量，1.6T 可插拔現在就在吃

矽光子占光模組市場金額比重由 2025 年 28%，升至 2027 年 56%、2028 年 62%。

資料來源：Lumentum、高盛，智璞產業趨勢研究所整理

Outline

今天演講的四大部分

PART 01

黃仁勳說的 2026 是 CPO 出貨元年

矽光子與CPO的市場期待

PART 02

矽光子與 CPO 的基本科普

傳統可插拔、矽光子、NPO、CPO 的關聯性

PART 03

CPO 必要性與目前瓶頸

CPO 的必要性、CPO 的技術與困難點

PART 04

供應鏈盤點與結論

主要廠商與供應鏈盤點

何謂矽光子（SiPh, Silicon Photonics）

● 為什麼用光傳輸

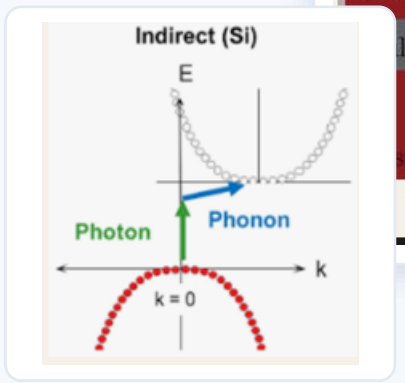
電做運算，傳輸改用光。光在高速、長距離下遠優於電，資料中心機櫃之間已大多改用光傳輸。

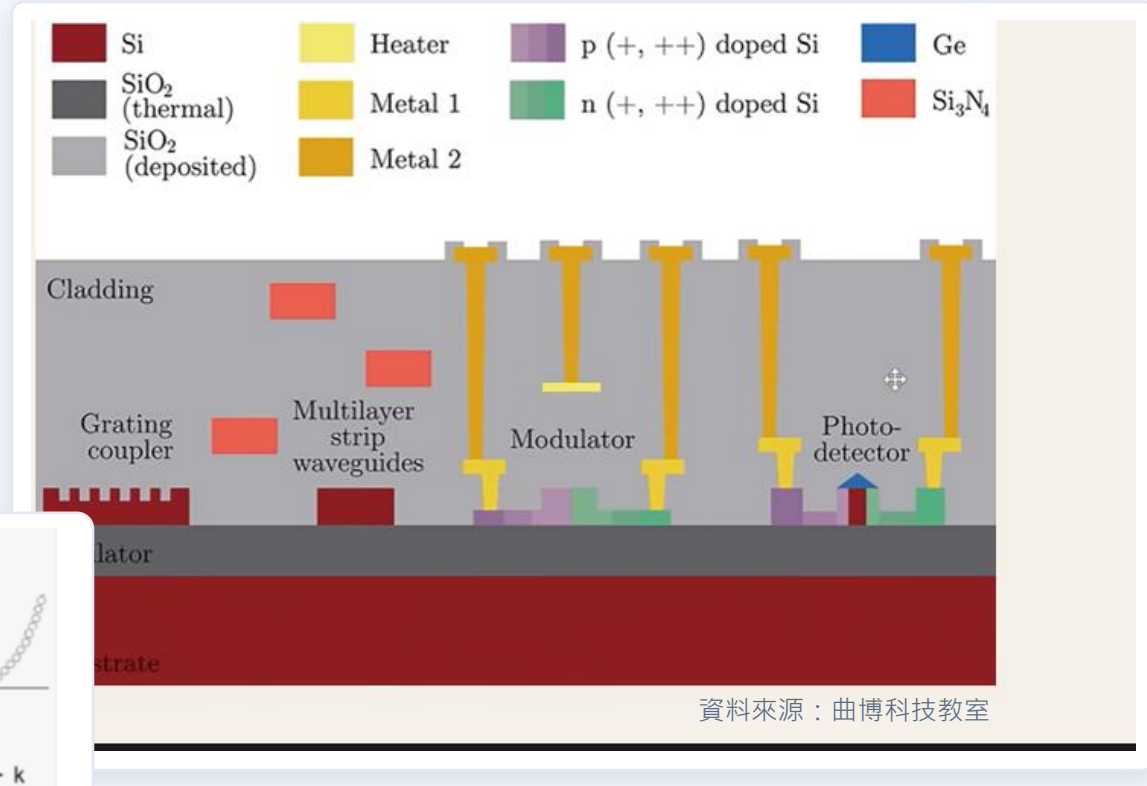
● 何謂矽光子

把波導與光學主被動元件（耦合器、調變器、光偵測器）做進矽晶片，讓電運算與光傳輸整合於同一平台；縮小尺寸、省電、降成本，惟門檻高

● 關鍵：矽不發光

矽是間接能隙，發光效率極差；因此雷射光源無法用矽做，**必須外掛（InP）**。





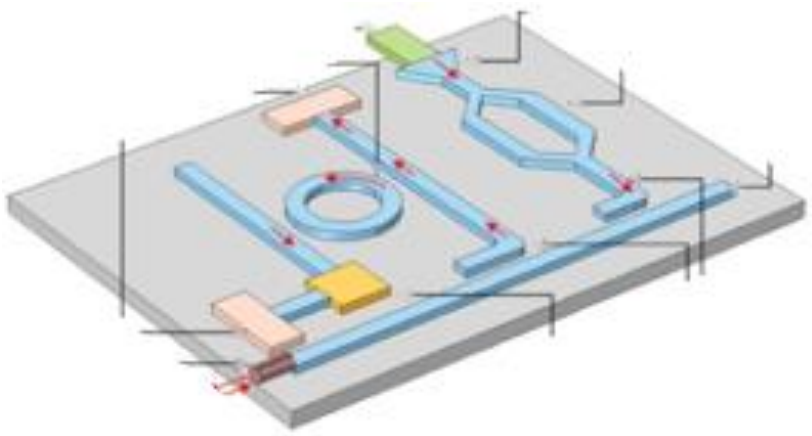
矽光子橫截面：耦合器、波導、調變器、光偵測器整合於矽晶片

矽光子就是把「光學元件」做進「矽晶片」裡(矽製程)，讓晶片能用光傳輸資料，達到更快、更省電、更長距離的資料傳輸。

光晶片（PIC, Photonic Integrated Circuit）

○ 以半導體矽製程，在 SOI（絕緣層上覆矽）基板上製作調變器與蝕刻光路元件。

○ 為控制 PIC 中的光訊號，光路元件包含：調變 / 解調變器、光分路器 / 耦合器、光波導路徑等。



3D 光子積體電路示意

資料來源：PIDA、群益投顧彙整

PIC 主要元件

○**雷射光源 Laser**　光源（1310～1550 nm）

○**耦合器 Coupler**　增加入射光量

○**調變器 Modulator**　調變光的相位

○**波導 / 光纖 Waveguide & Fiber**　控制光的傳播

○**光偵測器 Photodiode**　光的偵測

○**共振器 Resonator**　增強特定波長振幅

○**光子晶體 Photonic Crystal**　波長轉換

矽光模組（SiPh Module）

在光子晶片（PIC）上依序貼附雷射、電控晶片、透鏡與光纖陣列；每多貼一層，就多一道對位與良率關卡。



- 電子晶片（EIC）負責控制光子晶片（PIC）；兩者以覆晶（F.C.）或打線（W. B.)整合，完成後即為矽光模組。
- 光纖尺寸較 PIC 光路大一個數量級；為降低IL，銜接面需要精準的光耦合連接器（Fiber Array Unit, FAU）。

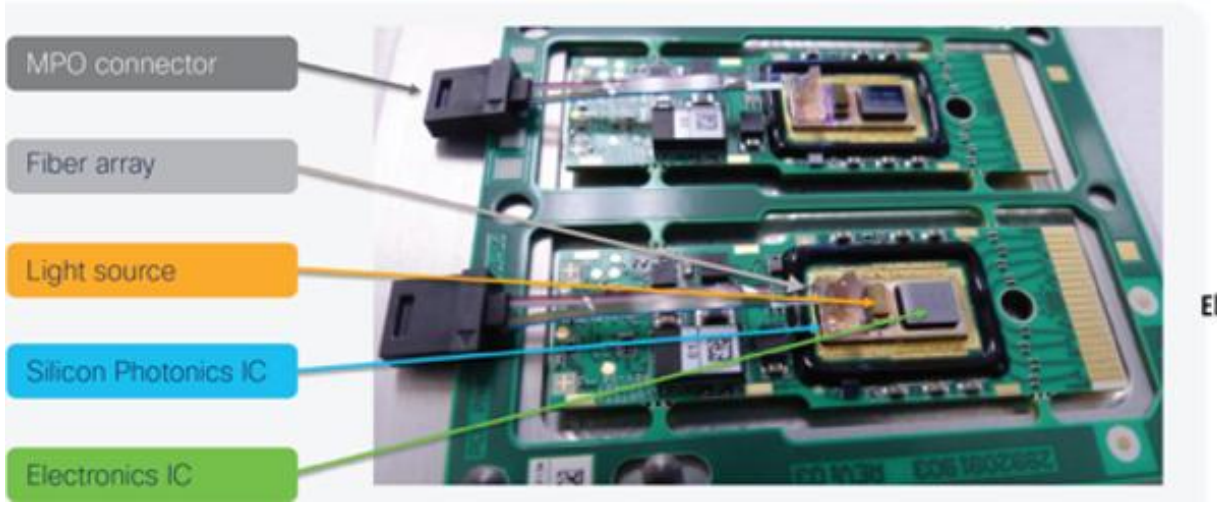
800G / 1.6T 可插拔模組也是同一套架構

矽光子的成本與整合優勢，讓現在的可插拔模組同樣是 PIC + EIC + FAU；FAU 光耦合的需求不必等 CPO 起量。

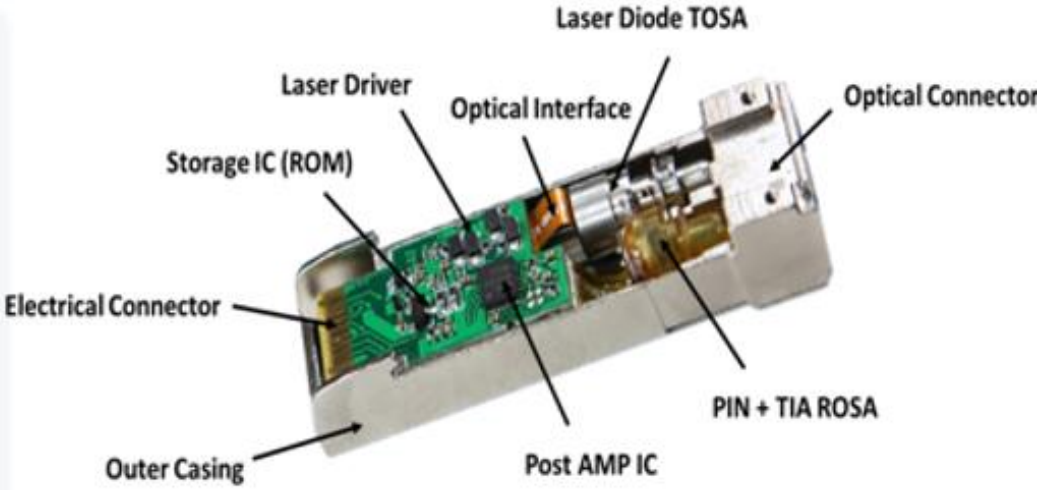
資料來源：群益投顧彙整，智璞產業趨勢研究所整理

矽光 vs 傳統收發器：零組件對照

矽光收發器



傳統收發器



資料來源：Cisco

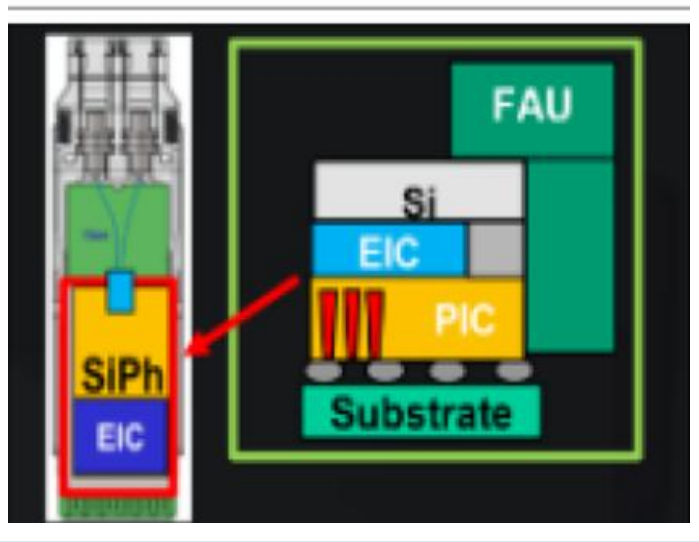
矽光收發器把光學功能高度整合進 PIC + EIC 少數晶片；**傳統收發器**則是 TOSA、ROSA、Laser Driver、TIA 等一堆分立元件。整合度差異，正是矽光**體積小、成本低**的來源。

矽光模組具有成本優勢

1.6TbE 矽光方案 vs 傳統可插拔方案　BOM 成本比較

組件（1.6TbE）	矽光方案	傳統可插拔方案
光源（雷射）	CW 雷射 4 顆（每顆 $6），共 ~$24	200G EML 8 顆，共 $160–200
核心晶片 / 探測器	矽光晶片 2 顆（每顆 $20），~$40~70	探測器 ~$30
DSP 晶片	$130–180	$130–180
TIA & Driver	~$25	~$30
PCB / PCBA	$12–20	$30–40
其他被動元件	~$60	$60–80
總 BOM 成本	**~$300–350**	**~$450–550**

資料來源：Cignal、凱基（單位：美元）



矽光子架構光模組　資料來源：TSMC

- **成本差距主要來自雷射：**
  矽光 CW ~$24
  vs
  傳統 EML $160–200

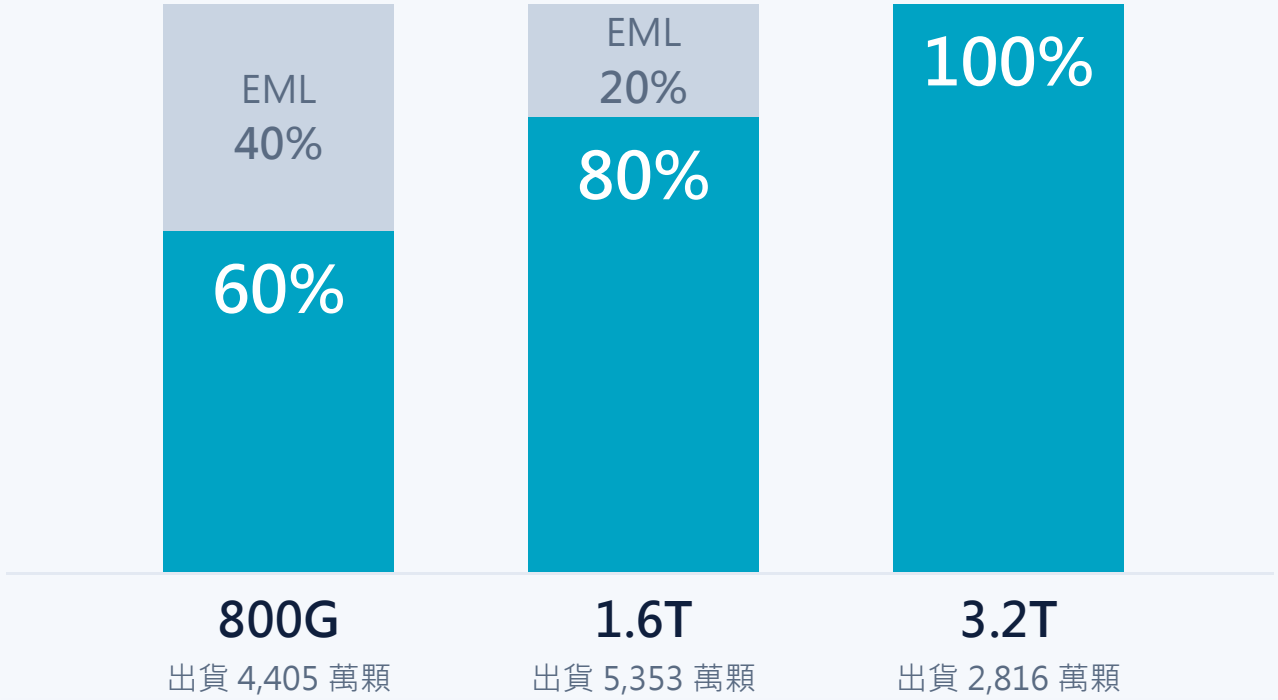
TSMC 表示 2027 矽光子市占率破五成

SEMICON TAIWAN 2026

越高速，越看得見矽光優勢

矽光子的成本優勢不是固定值，而是隨速率世代擴大：EML 的雷射成本一代翻近一倍，矽光子的 CW 雷射兩個世代完全沒動。

高盛預估 2027各速率收發器矽光子的占比



雷射成本差距隨速率拉大

每模組雷射成本，高盛 BOM 口徑

800G	6×	EML $96 對 CW $16
1.6T	10×	EML $160 對 CW $16

CW 雷射兩個世代都是 4 顆 70mW，成本不變

高盛預期 3.2T 世代將全面採用矽光子

800G 仍是 scale-out 的出貨主力；但速率越往上，EML 的雷射成本越撐不住。

註：雷射成本為高盛 BOM 來源

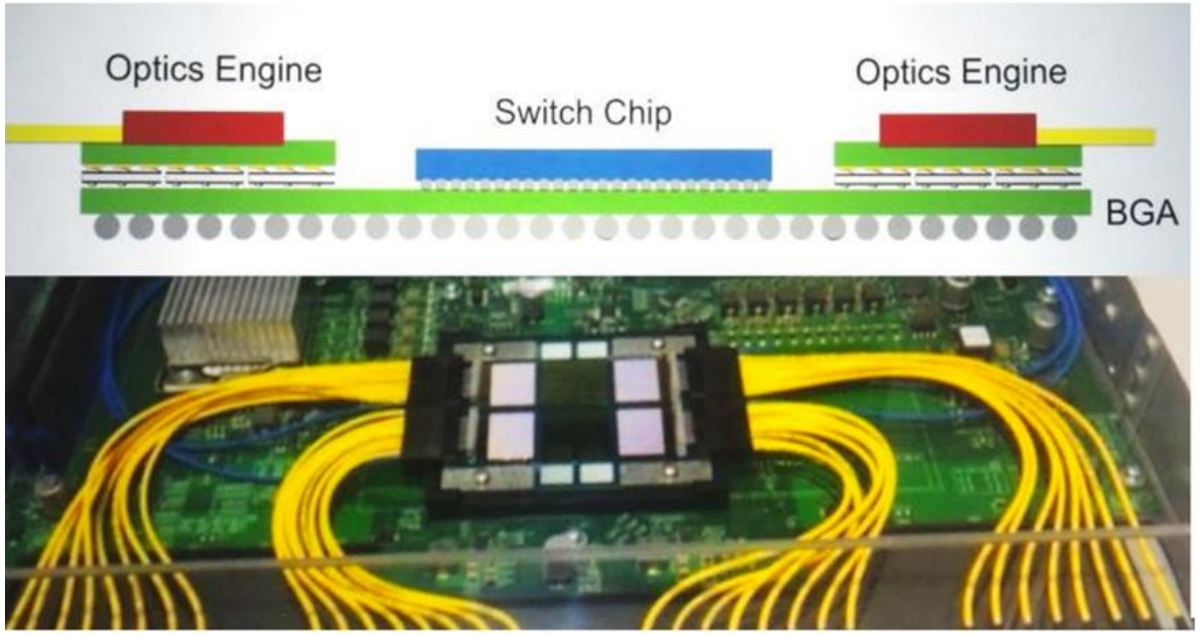
資料來源：高盛，智璞產業趨勢研究所整理

CPO 與矽光密不可分

○矽光模組具高整合、小體積、大量製造優勢；以矽光製成的光引擎，體積才能小到整合在 Switch ASIC 周邊，形成 CPO 模組，僅需光連接器（FAU）對外連接光路，面板上的可插拔收發器在 scale-up 等場景逐步被取代。

○PIC 體積小、效能高，極適合作為 CPO 的光引擎。**光電共整合（Co-Packaged Optics, CPO）是將 IC 與光引擎（OE）共同封裝在 Substrate 或 Interposer 上，此種封裝方式稱為 CPO**。

○若用傳統 InP / EML 分立方案，體積與功耗無法塞進 ASIC 週邊；**只有矽光子的高整合**，能把光引擎做到夠小。



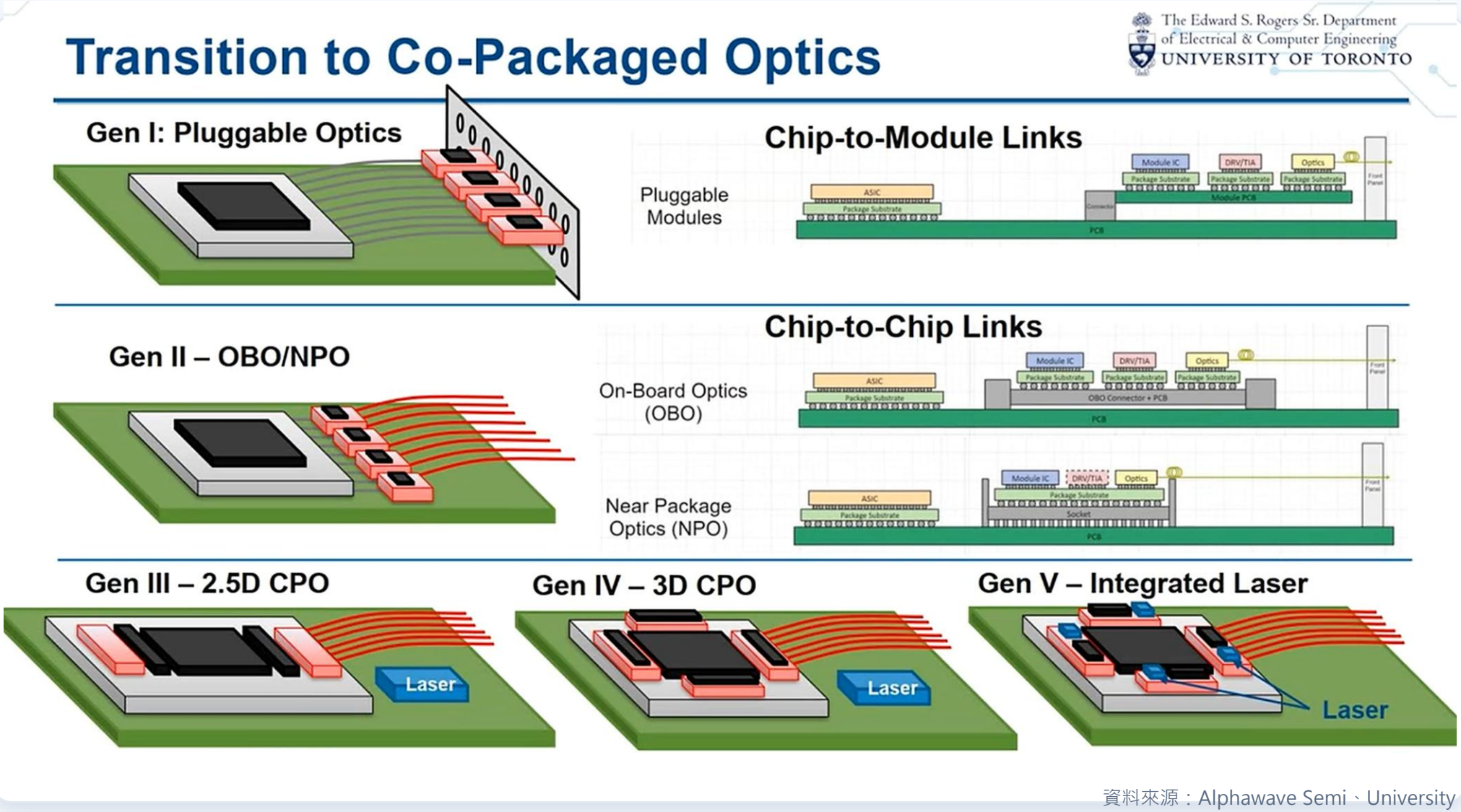
光引擎貼於 Switch ASIC 週邊，光纖（FAU）對外



資料來源：Cisco

CPO Roadmap：五個世代，電訊號離 ASIC 越來越近

重點不在光跑多快，而在電訊號離開 ASIC 後還要走多遠



資料來源：Alphawave Semi、University of Toronto（公開簡報）

Outline

今天演講的四大部分

PART 01

黃仁勳說的 2026 是 CPO 元年

矽光子與CPO的市場期待

PART 02

矽光子與 CPO 的基本科普

傳統可插拔、矽光子、NPO、CPO 的關聯性

PART 03

CPO 必要性與目前瓶頸

CPO 的必要性、CPO 的技術與困難點

PART 04

供應鏈盤點與結論

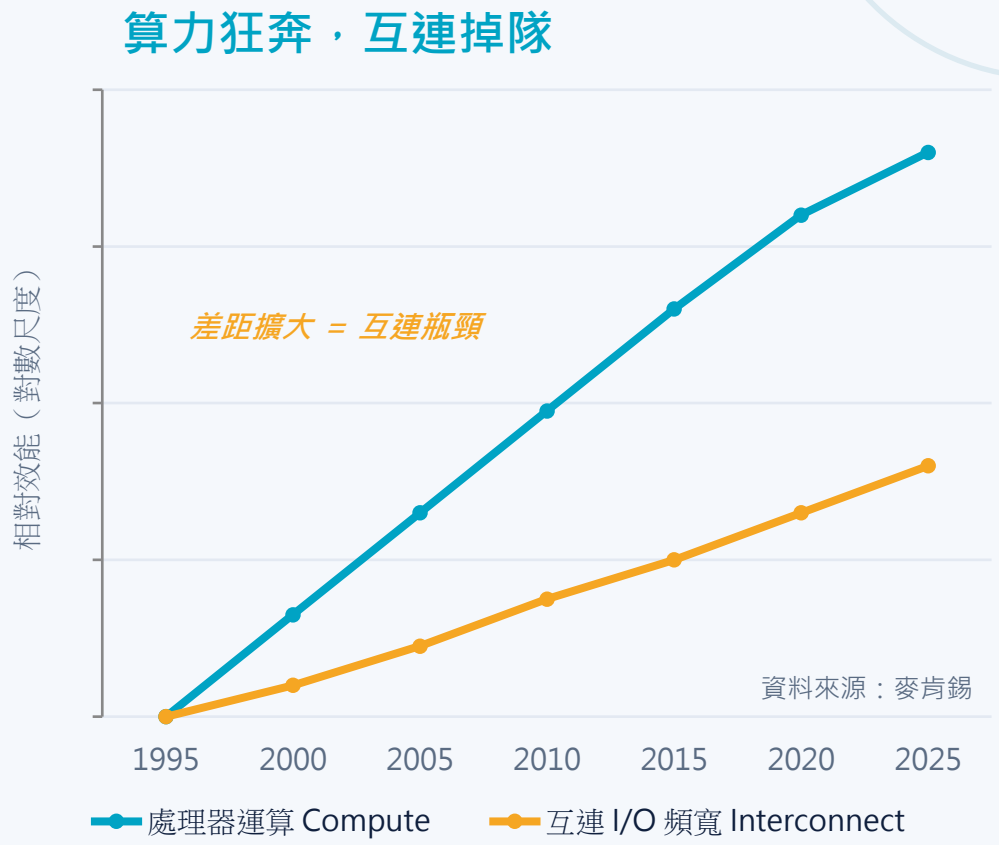
主要廠商與供應鏈盤點

互連跟不上算力，才是真瓶頸

1. 過去兩年目光都在 GPU（顆數、TFLOPS、HBM）；但把上萬顆 GPU 綁進同一訓練任務，決定效率的往往不是單顆算力，而是它們之間能否又快又省地溝通。

2. AI 訓練是「全體同步」：每輪運算後，成千上萬顆加速器要交換梯度、對齊參數；互連只要拖一拍，昂貴的 GPU 就空等。網路成了 AI 基建**真正的瓶頸**。

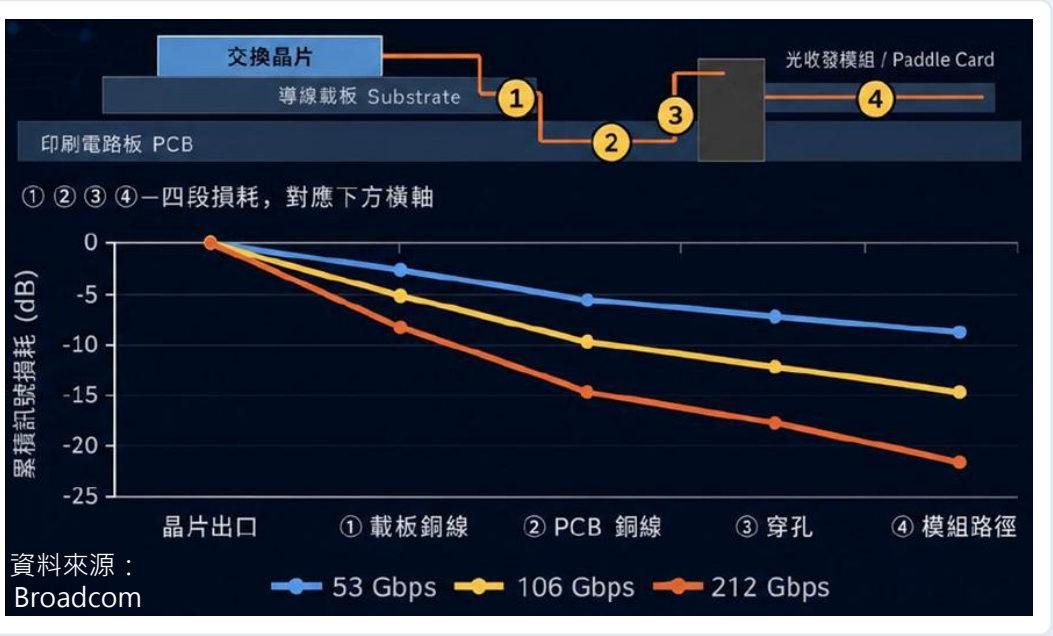
3. 扛著這條互連命脈的就是**可插拔光模組**，但這套光學架構，問題是，它已經走到**兩道牆前面。**



不是速度做不出來，是功耗塞不進去插槽

光模組的挑戰看似是「把速度做更快」（800G→1.6T → 3.2T ）；

- **真正的第一道牆 功耗：DSP 吃一半**



高速率下，訊號沿 SerDes 路徑累積損耗暴增，須靠強力 DSP 補償，因而吃掉大量功耗。

以 **1.6T** 插拔為例子

元件	功耗	占比
DSP / SerDes	10–14W	~50%
雷射驅動器 / 調變器	4–6W	~20%
接收器（TIA+PD）	2–3W	~12%
電源管理	2–3W	~10%
合計	~20–28W	100%

主流架構：OSFP / QSFP-DD 插面板，距 ASIC 15–30cm PCB。

散熱上限：OSFP1600 為 30W、OSFP-XD 為 40W。

不是速度做不出來，是功耗塞不進去插槽

每推一代 SerDes，通道損耗變大、DSP 補償變重，功耗就往上跳一階

- **真正的第一道牆　功耗：DSP 吃一半，400G/lane 撞頂**

112G PAM4 (800G)

100G/lane

51.2T　Tomahawk 5

舒適

2023–2025

224G PAM4 (1.6T)

200G/lane

102.4T　Tomahawk 6

受壓但可行

2025–2027

448G PAM4 (3.2T)

400G/lane

204.8T　Tomahawk 7(2H2026 T/O)

可插拔不可行

2028–2029　尚未發表

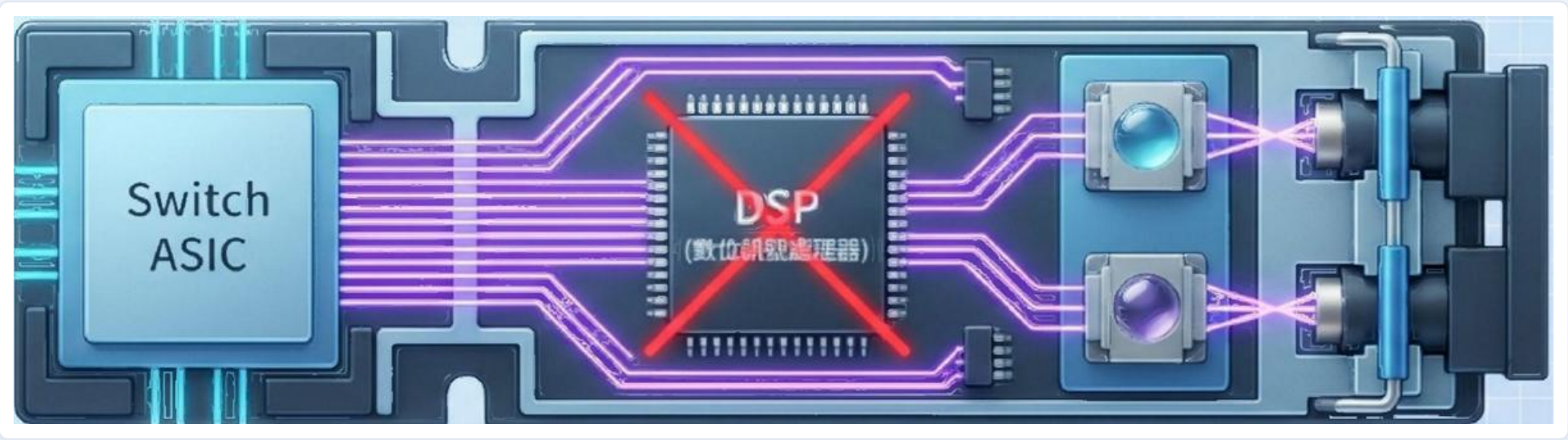
SerDes 以每 lane 計速，112G / 224G / 448G 為含開銷的線路速率，對應淨速率 100G / 200G / 400G，故「448G SerDes」=「400G/lane」。

註：3.2T 亦可用 16×200G（OSFP-XD）達成，本頁指 8×400G 路徑。

- **448G SerDes 下，3.2T 可插拔模組功耗估計 40–60W，超出 OSFP-XD 的 40W 散熱上限（業界典型值）；**
  400G/lane 是 CPO 從「**可選方案」轉為「規模化網路必要條件**」的分水嶺。

談到功耗：1.6T LPO/LRO 為可插拔架構延長壽命

LPO（Linear Pluggable Optics）移除模組內完整 DSP / retimer，保留線性類比前端（driver、TIA），把訊號補償交給主機 ASIC / SerDes；在維持可插拔可維修性下，降低功耗與延遲，相較 full-DSP 常見 **>50% 功耗改善**。



LPO 移除模組內 DSP，訊號補償交回主機 SerDes

- **優勢**：降功耗與延遲、保留可維修性、適合短距互連，是 full-DSP 與 CPO/NPO 之間的折衷。
- **限制**：更依賴 host ASIC / SerDes，互通 / 校準 / training 較複雜；200G/lane 世代挑戰顯著上升，reach 受系統條件限制。

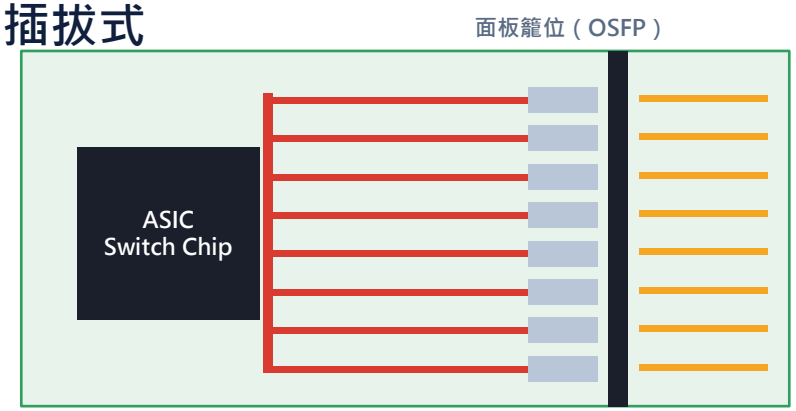
- **LPO 是替可插拔「爭取時間」，不是「解決」**：它自身到 200G/lane 也吃緊，仍撐不過 400G/lane 的散熱牆。

不是速度做不出來，是模組非得留在面板上

真正的第二道牆 密度，功耗與密度不是因果，是同一個形態的兩個症狀

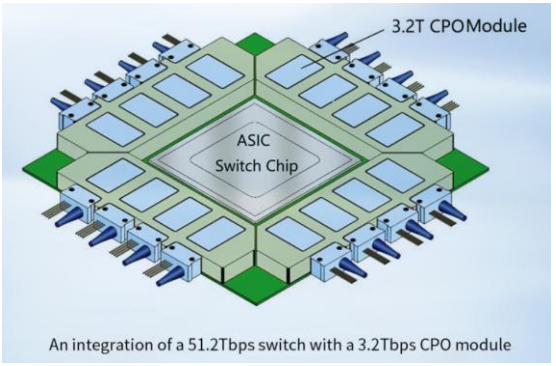
(俯視)

插拔式



ASIC 到面板 15 – 30 cm 電通道

CPO



光引擎直接圍在 ASIC 四周，電通道僅數 mm

第一道牆 功耗

ASIC 到面板 15 至 30 公分電通道，損耗隨速率倍增，SerDes 必須燒電補償，DSP 吃掉模組約一半功耗。這道牆在任何密度條件下都存在。

第二道牆 密度

可插拔是有外殼、有散熱、有電接口的機構件。面板長度不會變長，籠位排滿就沒了；頻寬每代翻倍，遲早不夠插。

每位元能量（pJ/bit）

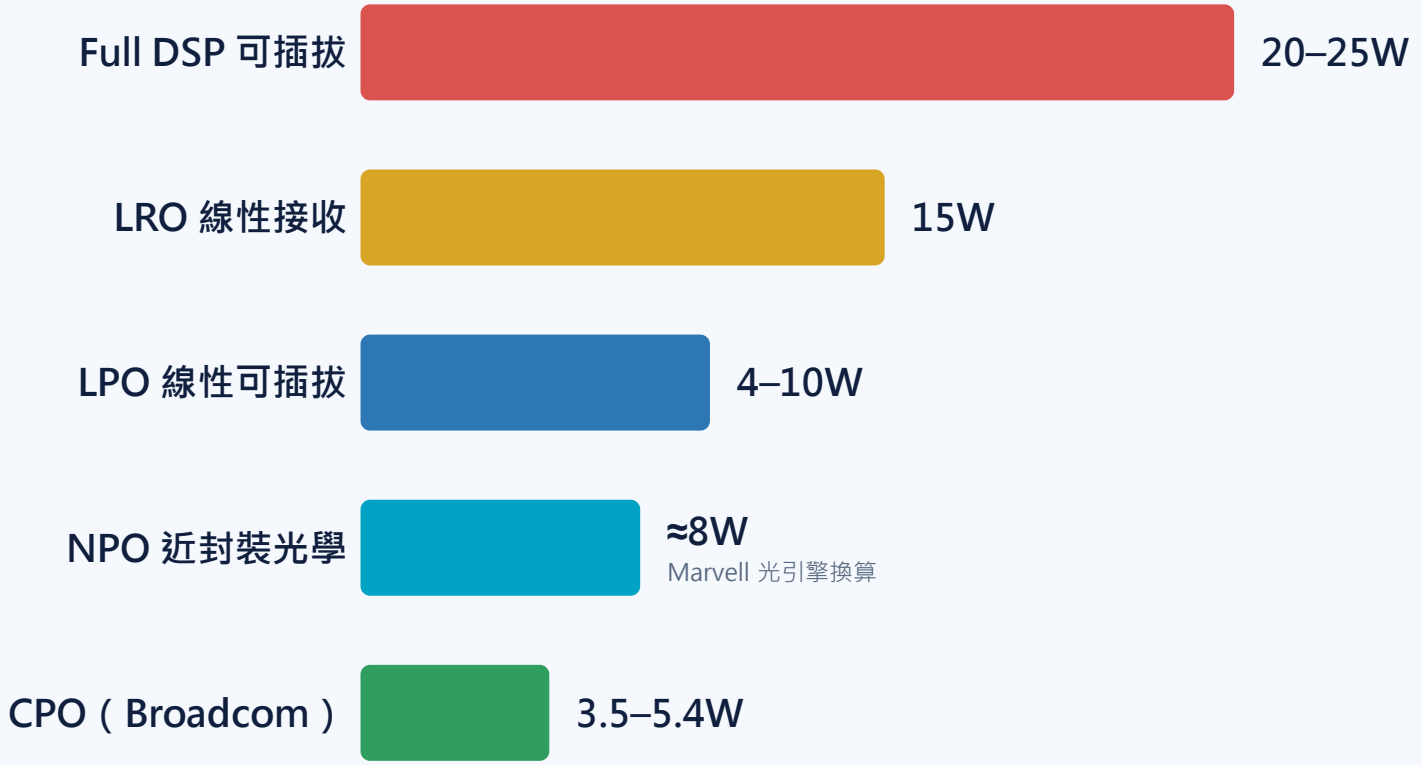


換成 CPO 約可減半；僅計光模組本身，不含交換器端 SerDes 功耗。

- 真正撞牆的是兩道牆：**功耗與密度**。

資料來源：Broadcom、業界資料，智璞產業趨勢研究所整理；中圖為俯視示意（非等比例），右圖出處待補；損耗與 pJ/bit 為情境估算，量測邊界未必一致。

功耗：1.6T 時代最嚴峻的系統瓶頸



180 W

每顆 GPU 分攤的光模組功耗

NVIDIA GTC 2025：每顆 GPU 約 6 顆可插拔模組 × 30W

其中雷射約占三分之一

< 5 pJ/bit

Marvell 1.6T 矽光引擎，含雷射（廠商宣稱）

換算約 8W / 1.6T 模組

- **NVIDIA：25 萬顆 GPU cluster 光模組消耗 45MW、100 萬顆達 180MW → CPO 吸引力大增**

註：LRO 僅接收端線性、發射端仍含 DSP；LPO 收發皆線性。CPO 值為 Broadcom 宣稱；NPO 一列為 Marvell 1.6T 光引擎 <5 pJ/bit 換算，業界尚無公開量產功耗值。右卡 NVIDIA 口徑每顆可插拔模組約 30W，已含雷射。

資料來源：NVIDIA GTC 2025、Marvell（2025/03）、Broadcom，智璞產業趨勢研究所整理

CPO 的導入時間

●2026–27

1.6T：可插拔仍是主力

○可插拔 + LPO 為 1.6T 主流方案；NPO / CPO 與可插拔版本並行出貨。

○2026 是 CPO 的出貨元年，不是放量年。

●2027

3.2T 世代：驗證系統

○3.2T 以 200G/lane × 16 通道做，可插拔與 CPO 版本同時驗證；NVIDIA、Broadcom 系統進機房跑。

○這一年決定 2028 的量：財報看得到零組件，看不到系統放量。

●2028–29

400G/lane：CPO 與 NPO 各半

○400G/lane 讓可插拔的通道損耗與 DSP 代價陡增，CPO 從「可選」變「必要」；先落在 AI scale-up 與超大規模 scale-out。

○Lumentum：CPO 產能撐不起全產業光學化，NPO 是產能延伸而非路線競爭。

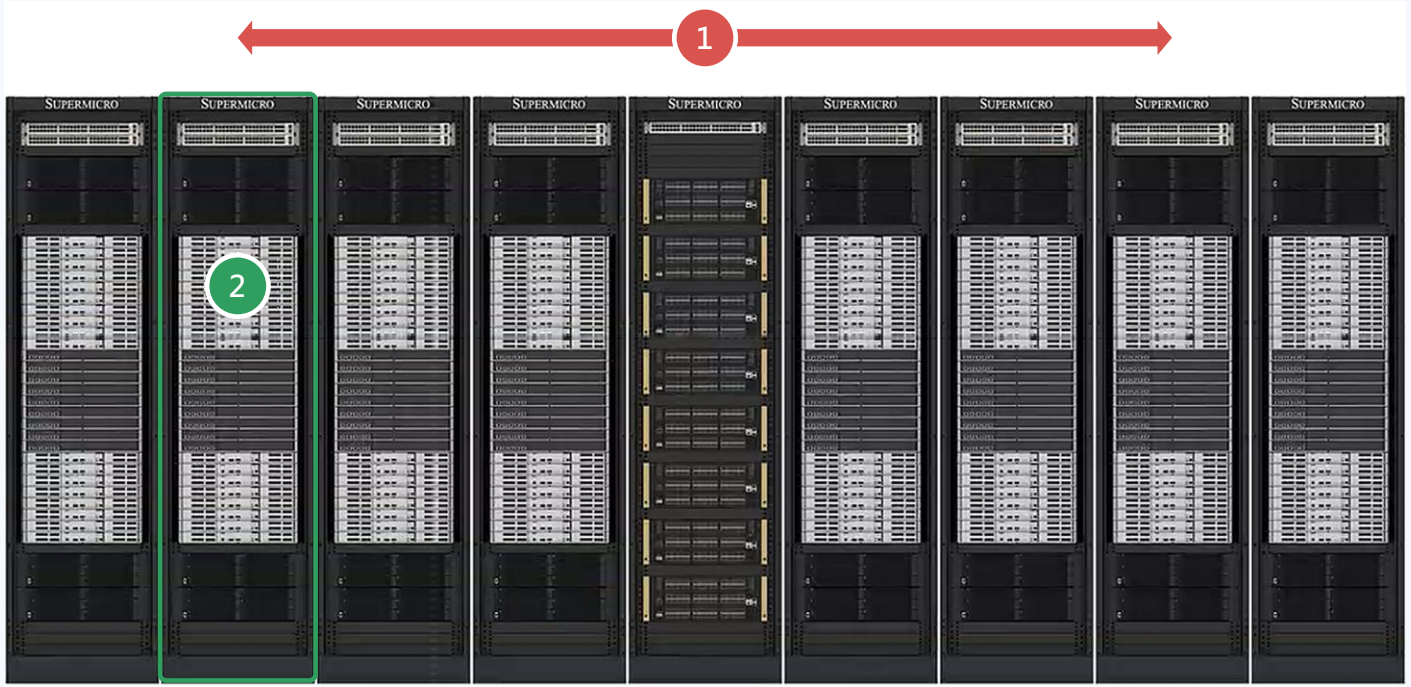
2027 年是驗證系統年(轉折)，2028 年開始是驗證財報年

○可插拔、LPO、CPO / NPO 將長期並存，而非單一路線立即勝出。

○100k GPU 等級的光互連功耗，可隨架構（可插拔 → LPO → CPO）大幅下降；**1.6T 起 CPO 已陸續少量出貨，呼應「2026 為 CPO 元年」。**

資料來源：Lumentum，Citi 2026 Global TMT Conference（2026/09/08）、Broadcom、NVIDIA、台積電、聯電（SEMICON Taiwan 2026），智璞產業趨勢研究所整理

CPO 會從哪裡先落地



1 scale-out（橫向擴展）

機櫃與機櫃、叢集與叢集之間的串接，流量在機架之間流動。傳統乙太或 InfiniBand，reach 從數公尺到數公里。**這一段本來就是光，痛點在功耗與埠密度。**

2 scale-up（縱向擴展）

單一機櫃或封裝內，把緊耦合的 GPU 與記憶體綁成一個超高頻寬、超低延遲的運算體。reach 只有公分到公尺，**但頻寬密度與延遲的要求極端苛刻。**

銅撞牆：速率越高，銅的高頻損耗越重、能傳越短——reach、速率、功耗三者不可兼得。而 scale-up 域已經不只 72 顆，Rubin Ultra 走向 NVL144 與 NVL576（8 座機櫃、每櫃 72 顆 GPU）；運算域一旦跨出單一機櫃，銅在物理上就直接出局。

- **CPO 從 scale-out 先上車（本來就是光，只是部分替代）；scale-up 最需要光，但需要時間**

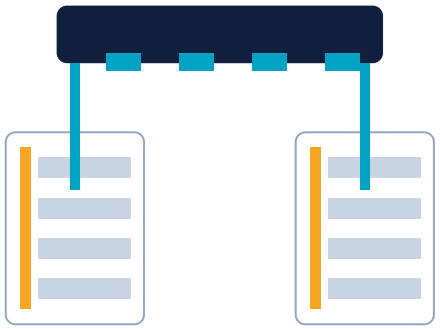
圖片來源：Cisco / NVIDIA Vera Rubin NVL72 參考架構（公開簡報），僅取機櫃示意；①② 標註為智璞產業趨勢研究所所加

CPO 採用的三階段

光持續往運算核心推進：先在交換機之間，再到機櫃之間，最後進到機櫃之內。

Phase 0
Scale-out CPO

光在交換機之間



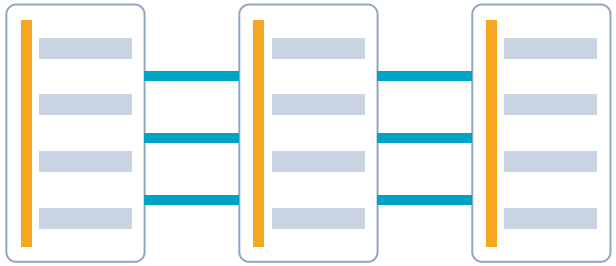
2026 起

CPO 含量 **1×**

Phase 1
Inter-rack scale-up

光在機櫃之間

一個 scale-up 域 = 8 櫃



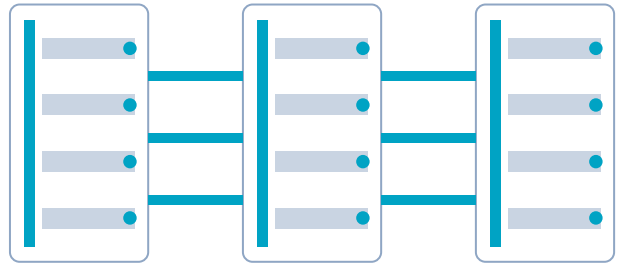
2027–28

CPO 含量 **約 5×**

Phase 2
Intra-rack scale-up

光進到機櫃之內

櫃內 GPU 對 GPU 也轉成光



2028 以後

CPO 含量 **最高**

銅

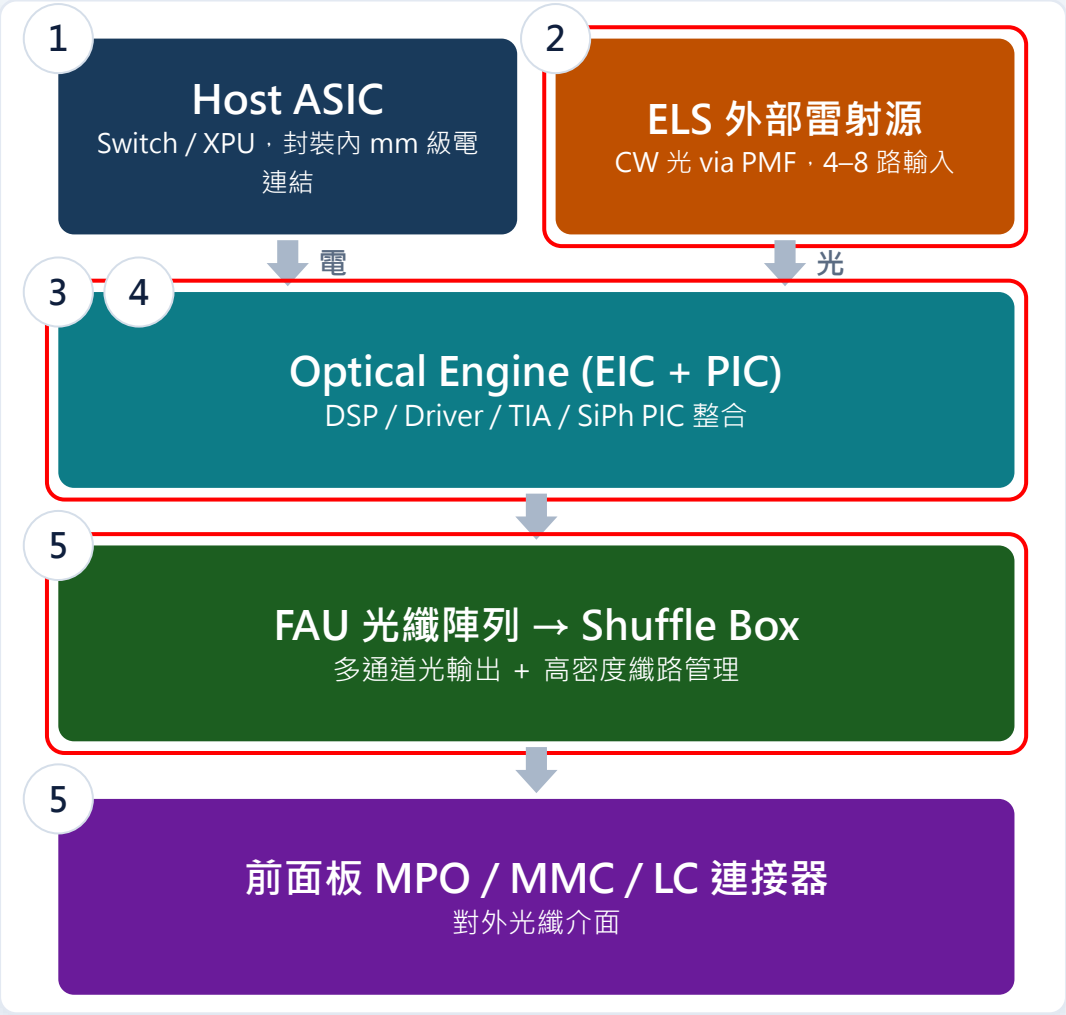
光

註：Phase 1 的「約 5×」為高盛推估（NVL576 中 scale-up 光引擎:GPU = 4.5、scale-out = 0.9），但NVIDIA 官方未揭露；Phase 2 業界尚無公開估計。

放量順序：scale-out 先落地、scale-up 後放量；CPO 含量越高的階段，落地時間越晚

資料來源：NVIDIA、台積電、高盛（2026/04/17）、Sumitomo，智璞產業趨勢研究所整理

CPO 系統訊號流程與四大技術環節



ELS 外部雷射源可抽換，避免雷射損壞導致系統失效，提升穩定性與可靠性。

1. **電訊號出發（純電、短距）**
   ASIC 經 SerDes 送出電訊號；光引擎就在 ASIC 旁同一基板，電通道只有數毫米。 **這就是 CPO 省電根源，DSP 可以拿掉。**
2. **CW 光源進場（ELS）**
   外部雷射（ELS）的 CW 光經 PM 光纖（保偏、單模）、可拆連接器、FAU 進入 PIC 波導。
3. **電驅動調變器**
   Driver 以電壓驅動光引擎 OE（矽光子調變器），把資料「寫」進光。
4. **光被刻上波形**
   CW 光經過調變器，原本平坦的光被刻上 PAM4 波形，訊號在此誕生。
5. **光輸出**
   調變後的光經 FAU、前面板 MPO(Multi-fiber Push-on) 送上網路光纖；對端反向還原回電訊號。

CPO 四大技術環節

1 Optical Engine（OE）光學引擎

產值占比 55–70%

整合 DSP / Driver / TIA / SiPh PIC

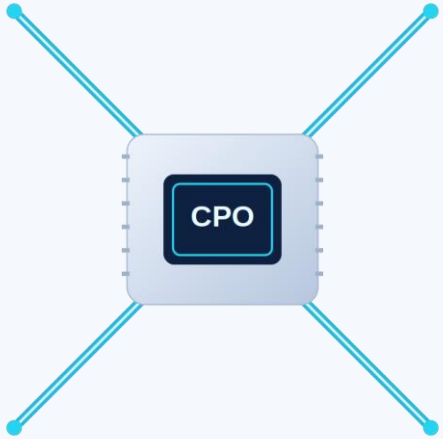
每台交換器 8–128 顆

2 Ext. Laser Source（ELS）外部雷射

產值占比 15–30%

CW 光經 PMF 供光至 OE；

可插拔 / 可更換；每台 16–64 個



3 FAU 光纖陣列

產值占比 5–15%

V 型槽精密對準多芯光纖；良率隨通道數上升。每台 8–128 個

4 Shuffle Box 光纖管理總成

產值占比 2–8%

內部光纖重排 / 映射至前面板高密度連接器，每台 1 套

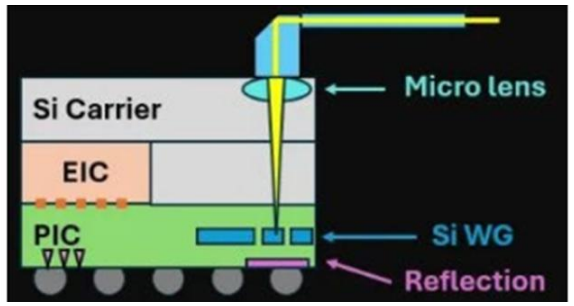
註：產值占比與顆數為業界估算。

CPO 的技術四大環節 - OE 與平台

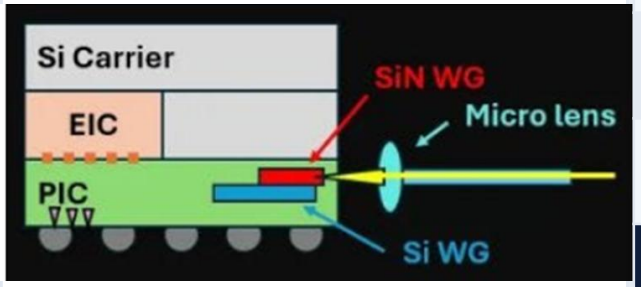
TSMC COUPE：GC vs EC

- COUPE 光引擎平台：PIC 與 EIC 以 SoIC-bond 3D 堆疊，加上 TDV 與微透鏡；依耦合方式分 GC 與 EC。
- PIC：光波導、調變器（MRM / MZM）、Ge PD、熱相移器；EIC：Driver、TIA、熱控與偏壓電路。
- Si uLens + Cu BMR 背面金屬反射層：擴束準直、放寬對準容差，並把漏光反射回波導。
- GC 與 EC 的堆疊方式完全相同，差別只在「光怎麼離開 PIC」。

COUPE-GC



COUPE-EC



項目	GC（光柵耦合）	EC（邊緣耦合）
耦合方式	從 PIC 上方	從 PIC 側邊
每纖波長數	1~2 λ	8~32 λ
通道排列	Multi-rolls 多列陣列	1 roll 單列
對準容差	約 ±10 μm	次微米級
耦合效率	一般 10–50% COUPE-GC 0.3–0.5 dB	70–80% 約 1–1.5 dB
晶圓級測試	容易	困難
優勢	易量產、易測試 通道數可堆疊	低損耗、寬頻 單纖可多波長
限制	波長選擇性強 單纖波長數少	對準難度高 側邊寬 ~6 mm
擴張路線	Fast and Narrow	Slow and Wide

註：對準容差與一般 GC / EC 耦合效率為業界常見值；COUPE-GC 0.3–0.5 dB 為台積電內嵌微透鏡方案，台積電未公布絕對耦合效率。

資料來源：台積電 SEMICON Taiwan 2026（2026/08/31）、住友電工，智璞產業趨勢研究所整理

矽光子晶圓代工平台 不只 COUPE

	TSMC COUPE	GF Fotonix	Tower Semi	UMC 聯電
晶圓尺寸	300mm	300mm	200mm→300mm	300mm（新加坡廠）
製程節點	65nm SiPh + 6/4nm EIC	45nm SOI CMOS	180nm SiPh （PH18DA）	授權 imec iSiPP300 自有 TFLN（6 / 8 吋）
整合方式	SoIC-X 3D 混合鍵合	光電單片整合（含 RF）	異質整合 InP 雷射	純代工 + 自研 TFLN
調變器	200G MRM 目標 200G+	MRM / MZM / RAMZM 200G/λ	400G/lane MZM TFLN / InP	矽 MZM 200G/lane TFLN MZM（自研）
400G 路線	**續押矽 MRM + GC / EC 雙軌**	**200G/λ 為主 SiGe BiCMOS 搭配**	**TFLN / InP 異質整合**	**押 TFLN 矽已 out of steam**
差異化	PIC + EIC + CoWoS 一條龍，GC / EC 雙軌	唯一單片 三合一方案	首例晶圓廠內 整合雷射	imec 授權、矽 MZM、 自研 TFLN 三線並進
主要客戶 (註)	NVIDIA、Broadcom	NVIDIA、Cisco、Marvell	OpenLight、Coherent、 NVIDIA	SILITH
最新進度	3.2Tb/s 2026 量產 6.4Tb/s 約 2027	Gen2 200G/λ、TSV 2026/9 Marvell 合作	已簽 2027 年 13 億美元訂單	2026/7 首批量產晶圓 已過雲端客戶認證

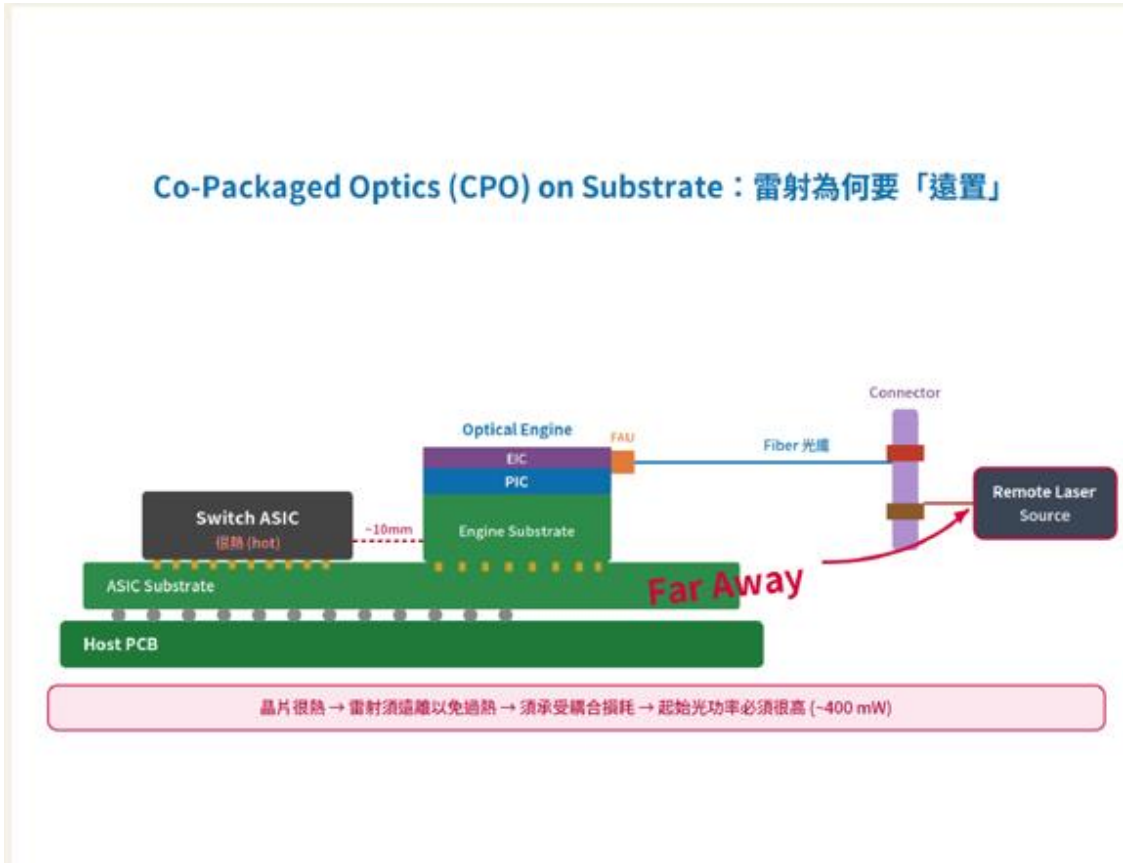
註：本列名單引自產業報導，非各公司正式揭露。

台積電押先進封裝、GF 押單片整合、Tower 押整合雷射、聯電押授權平台 + 自研 TFLN

200G/lane 是基本功；分水嶺在 400G/lane，，聯電以TFLN，台積電仍在矽的框架內推 MRM

資料來源：台積電、聯電 SEMICON Taiwan 2026 矽光子國際論壇（2026/08/31）、GlobalFoundries、Tower Semiconductor、聯電 / SILITH（2026/07）、imec 授權案（2025/12），智璞產業趨勢研究所整理

CPO 的技術四大環節 - ELS



資料來源：Lumentum · Conference；左圖為 CPO on Substrate 示意 · 智璞產業趨勢研究所整理

1 為何要外置：熱與可靠度

光引擎緊貼加速器（熱源），雷射會成為可靠度的限制因子；移到封裝外，才能兼顧可靠與可更換。

2 功率門檻：70 → 400 mW

傳統可插拔 70 mW；NPO / CPO 門檻 120–150 mW 以上；ELS 約 400 mW。

3 四項規格要同時達標

功率、RIN、linewidth，再加 mode hop，模態一跳就斷鏈。四項須在量產良率下同時達標，封裝後還不能變。

4 75% 走外置，合格供應商兩家

CPO 全數外置 + NPO 約半數 = 75%。LITE：合格供應商僅 Lumentum 與 Coherent，第三波產能 2028Q2 (NV CPO 高功率ELS)。

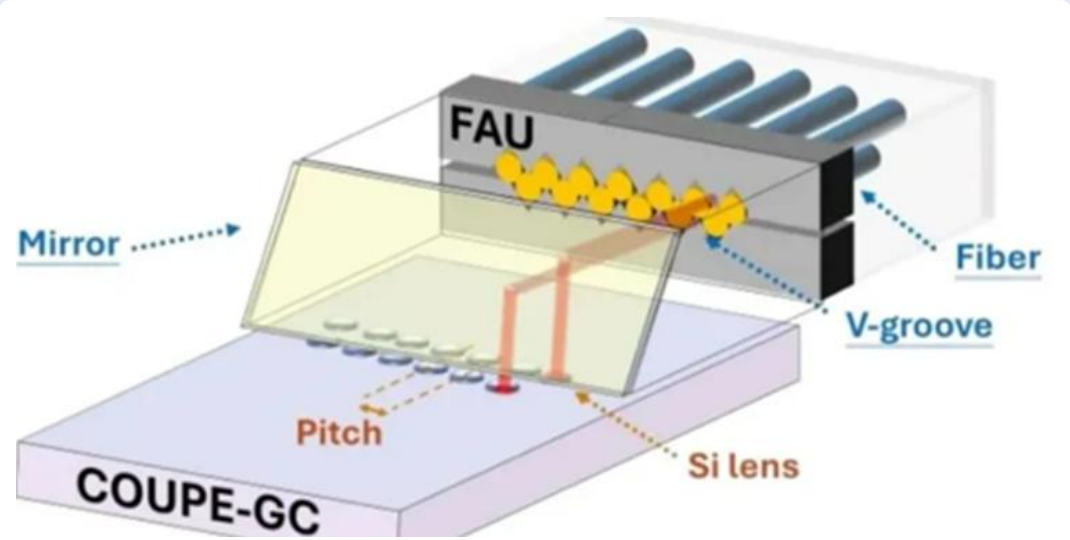
CPO 的技術四大環節 - FAU

○負責傳輸 OE 的光訊號，將光導入 OE，並將調製過的光訊號傳輸至光纖；品質要求是高對位精度與低插入損失。

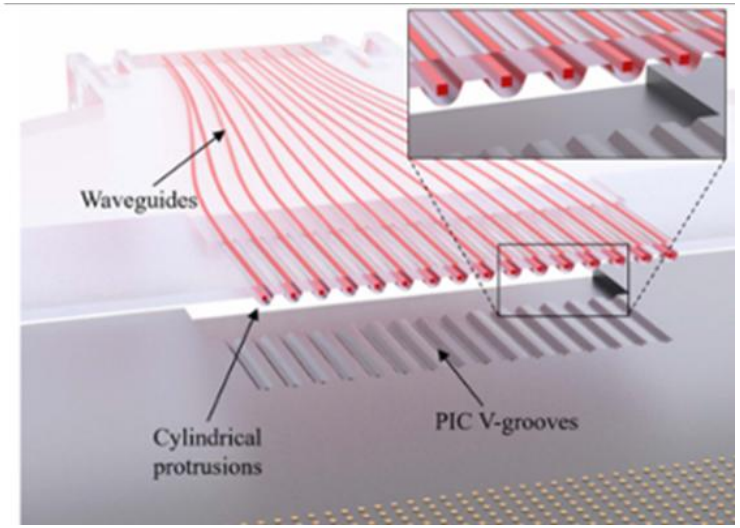
○兩種 FAU 都以 V-groove 定位光纖；V 槽的切削角度與深度是否一致，將直接影響光纖耦合的插入損失。

○Grating Coupling 需經鏡面反射才耦合至光纖，相較於 Edge Coupling 直接耦合，插入損失較大。

Grating Coupling FAU



Edge Coupling FAU



● **對照：EC 損失低但對位難；GC 好做但損失大。**（對位難度=良率壓力，隨通道數上升）

資料來源：Corning、Intel、群益投顧彙整

CPO 的技術四大環節 - Shuffle Box

內部光纖重排 / 映射至前面板高密度連接器 ；Nvidia Spectrum-X Photonics Ethernet Switch 共有 32 個 Optical Engine，每個 OE 引出 32 條傳輸資料的光纖，共 **1,024 條光纖**，需靠 Shuffle Box 整理、排列。Shuffle Box 價格與光纖數量成正比。



Shuffle Box 實物：黃色為傳輸光纖、前面板為高密度連接器

單一 AI 工廠的 FAU / 光纖 / PM / Shuffle 需求

指標 \ GPU 數	1,024	8,192	32,768	100,000
CPO 交換器（台）	21	171	683	2,083
資料光纖 SMF（條）	24,576	196,608	786,432	2,400,000
資料 FAU（個）	1,536	12,288	49,152	150,000
PM 雷射饋入（條）	3,072	24,576	98,304	300,000
ELSFP 模組（個）	384	3,072	12,288	37,500
Shuffle box（個）	21	171	683	2083
耦合 / 測試點（點）	27,648	221,184	884,736	2,700,000

資料來源：業界數據，智璞產業趨勢研究所整理

假設：2-tier 非阻塞 fat-tree、每 GPU 1×800G、DR8（8 fiber/port）、交換器數 ≈ 3N/144。數字為單一 AI 工廠規模；耦合 / 測試點 = 資料光纖 + PM 饋入（≈ 27 × GPU 數）。

CPO 關鍵技術挑戰：良率複合效應

良率複合效應

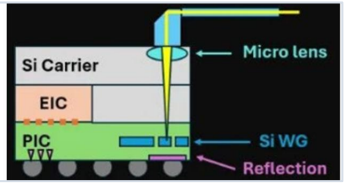
電子 + 光子晶粒任一失效即整體報廢（良率**相乘**）
光纖對準需次微米精度，
晶圓級測試成為必要環節。

整體良率 = 單點良率 的 N 次方

單點良率	8 通道	16 通道	32 通道
99%	92%	85%	72%
98%	85%	72%	52%
95%	66%	44%	19%

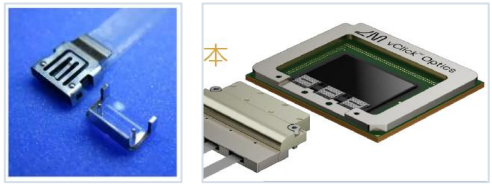
住友：光纖陣列寬度 6 mm 上限下，單列單模光纖約 40 通道封頂

光耦合：三條路線走到哪裡



2026 量產 **台積電：透鏡做進晶圓**

Si µLens 擴束 + Cu 背面反射，容差 ±10 µm、損耗 0.3–0.5 dB，可晶圓級測試。



驗證中 **可拆卸 PIC 連接器**

vClick 插損 <1.5 dB（廠商宣稱）；住友 MirrorMT 36ch 實測 ±5 µm、重複性 0.21 dB。



試產中 **超穎透鏡 FAU：台廠路線**

合聖雙超穎透鏡 FAU：容差 ±18 µm、36ch 可拆卸，2026H2 試產；采鈺 + 光程、奇景 + 上詮跟進。

● 良率是指數問題，三條路都在把對準容差從次微米放寬到微米級，工差放寬，指數才降得下來

資料來源：台積電 SEMICON Taiwan 2026；住友 OIP2026（2026/06/16）；Lightmatter；合聖（OFC 2026、2026/06 興櫃資料）；采鈺 / 光程研創（2025/05）；奇景（2026/01）；住友 6 mm 通道上限引自 2026/09/17 研討會。良率矩陣為數學推算，非實際量產數據。

透鏡層：CPO 能不能對準，看這一層

上一頁的良率複合效應，就卡在對準這一關

光路：透鏡層做的是模場放大



1 dB 對準容差

光纖直接對矽波導

± 0.5 μm

台積電 COUPE 內嵌矽微透鏡

± 10 μm

合聖雙超穎透鏡（PIC 側 + FAU 側）

± 18 μm

兩組數值分別為台積電、合聖各自方案，非透鏡層通則；準則與量測邊界不同不宜直接相比。

物理機制

模場放大

透鏡層把 PIC 端次微米的模場擴成數十微米的準直光束，再聚回光纖約 9 μm 的模場。放大模場與放寬容差不是兩件事，是同一個機制的兩種說法。

商業影響1

主動不消失，往上游搬

PIC 側那一次主動；容差放寬後，光纖與連接器那層才有被動的空間，2026–27 量產仍是主動。(稱被動的有康寧，但尚無量產驗證)

商業影響2

台灣少數能從零切入的一層

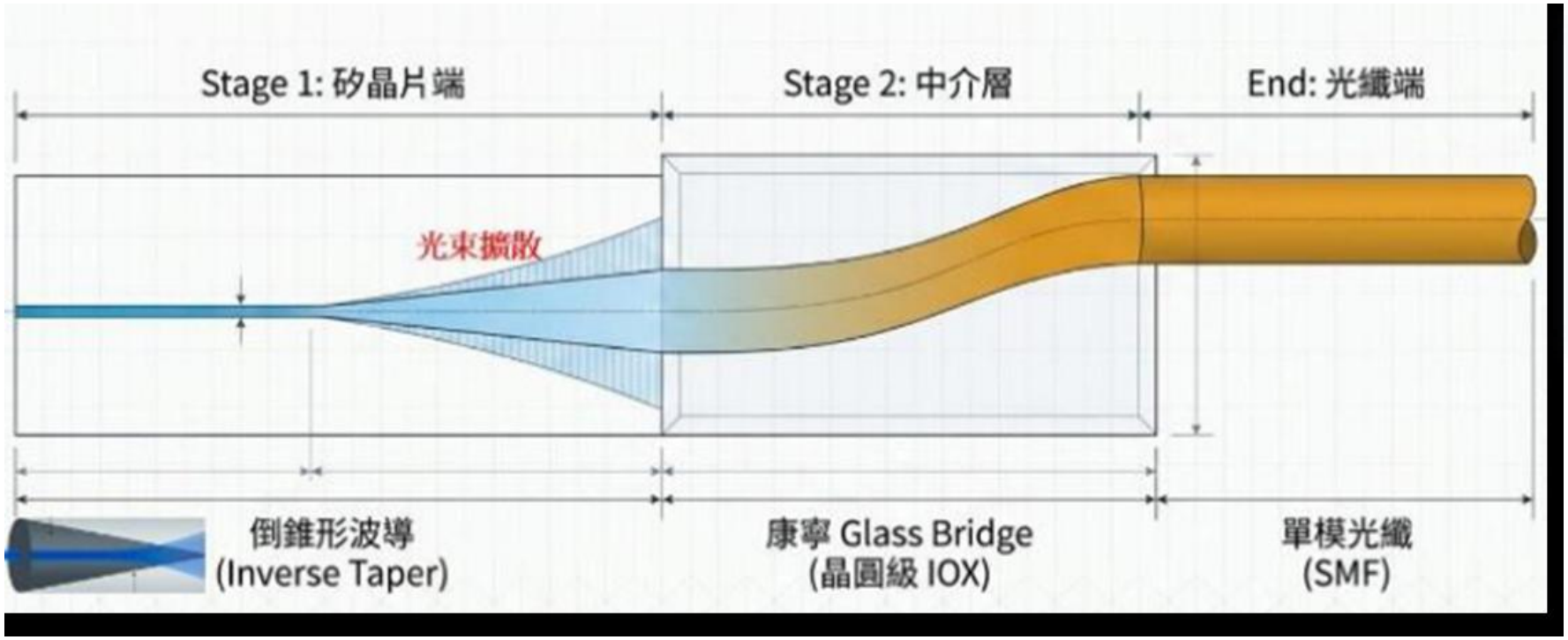
合聖（7928）雙超穎透鏡 FAU 已送樣、2026H2 試產；采鈺（6789）+ 光程研創 12 吋 metalens；奇景 + 上詮（3363）目標 2026 就緒。台廠切的是 FAU 側透鏡與非台積電平台。

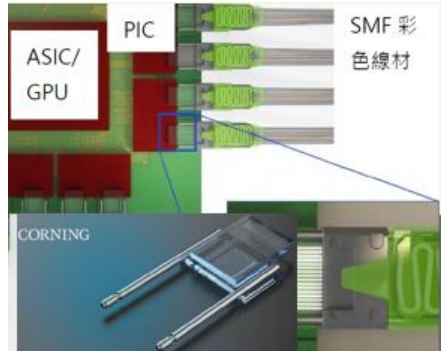
● 次微米對準搬進晶圓廠的透鏡層，封裝端才有被動的空間， 目前量產仍是主動

資料來源：合聖（OFC 2026、2026/06 興櫃公開資料）、台積電 COUPE 公開資料、采鈺 / 光程研創（2025/05）、奇景（2026/01），智璞產業趨勢研究所整理；容差數值依損耗準則與量測邊界而異，合聖為興櫃公司，本頁不構成投資建議。

玻璃橋 Glass Bridge：低損對接巨觀與微觀

精準弭平尺寸與折射率的雙重落差，無損對接巨觀與微觀世界。





Corning 玻璃橋實物

康寧 Glass Bridge 為晶圓級 IOX 中介層，負責尺寸與折射率的漸變過渡。

- **三段式模場轉換：**倒錐形波導擴散光束 → 玻璃橋（晶圓級 IOX）做尺寸 / 折射率漸變過渡 → 對接單模光纖，**低損耦合**。玻璃橋是 CPO 高密度耦合的關鍵中介層。

資料來源：康寧，智璞產業趨勢研究所整理

NPO：不是路線競爭，是產能分流

產業同時用 CPO 與 NPO，支持2028 的Scale up

CPO / NPO 光引擎的位子與距離

CPO



OE + FAU + ELS 直接貼載板、無 socket，需共同封裝

NPO



同一組 OE + FAU + ELS，OE 下方多一層 LGA socket

物理差異

差別只有一個：OE 放哪裡

CPO 的光引擎在 ASIC 同一片載板上；NPO 是獨立模組，貼在 PCB 上離幾公分。功耗 6W 對 4W，其餘一樣。

對封裝業者

產能可以分流

CPO 要晶圓級對準與共同封裝，卡在先進封裝產能；NPO 貼 PCB，用現有 OSAT 就能做，所以接得了手。

對零組件供應鏈

光學不變，多一層 socket

光引擎、FAU、ELS、CW 用量兩條路一樣。NPO 的 OE 下方多一層 LGA socket，CPO 沒有、規格未統一，新增的一條 BOM。

NPO 是 CPO 的產能延伸，不是相互競爭，出貨各半

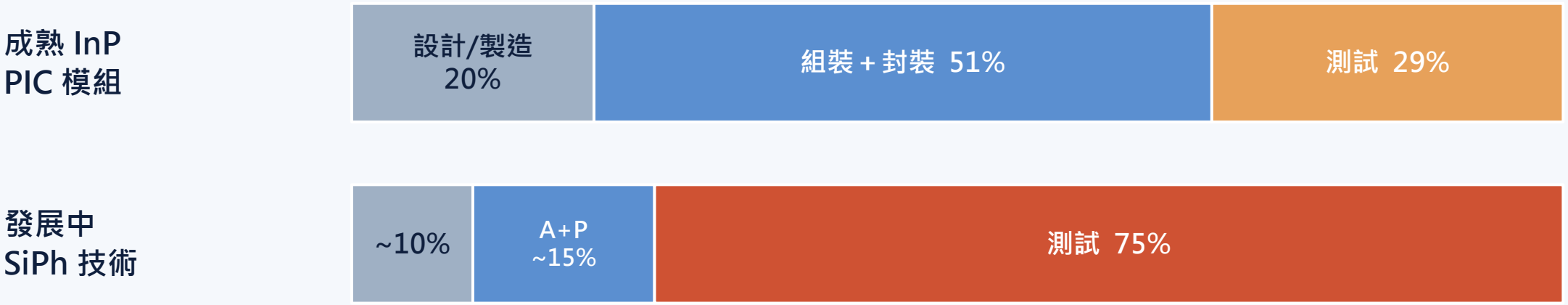
Lumentum：optical scale-up 已是全產業需求，2028 的量必須同時用 CPO 與 NPO 兩條路

資料來源：Lumentum（Citi 2026 Global TMT Conference，2026/09/08，Bloomberg 逐字稿）、Cisco 公開簡報，智璞產業趨勢研究所整理；CPO / NPO 各半與「兩條路並行」為 Lumentum 口徑，功耗為 Cisco 每埠數值。

CPO 測試：SiPh 測試成本佔比最高的一段

測試成本佔元件總成本的比重：InP ~29% vs SiPh ~75%（產業估計）。

TAP（Test + Assembly + Packaging）可達元件總成本的 ~80%



SiPh 測試佔比依成熟度為 60–90%（封裝 → 90%，wafer-level KGD → 60%）；圖示為 ~75%。

為何 SiPh 測試成本較高

每顆 die 要先對光才能測 · PDK 未成熟 / yield 低 · 光 + RF 測試時間長 · 多在切單後逐顆序列做

重要：佔比為各技術「自身總成本內」的比例，並非跨技術金額比較；**較低佔比 ≠ 較低絕對成本**。

資料來源：業界估計，智璞產業趨勢研究所整理。

測試難在哪：卡在第二道，現在跳過但量產不能跳？

第一道已到秒級、第三道仍逐顆序列；第二道的量產機台 2025 才出現，沒人公布產能

Insertion 1
PIC + EIC 晶圓測試
<5 秒 / die・成熟

→

Insertion 2
OE 晶圓雙面探測
現在跳過

→

切單 + 裝 receptacle
主動對位・逐顆序列
產能瓶頸

→

Insertion 3
OE die-level 測試
逐顆序列・時間未公開

→

Insertion 4
CPO 模組測試
系統級功能

為何卡在第二道

上電下光同時探 EIC 疊上 PIC 後電在上、光在下，探針台要雙面，還要次微米對光，Advantest：光學探測「尚無真正標準」

量產機台剛出現 Teradyne + ficonTEC 2025/3 才推出雙面探測量產系統，為切單前 KGD 而做；產能數字未公開

所以現在跳過 量小，先切單、裝 receptacle，到第三道一起測。代價：壞 die 也裝了 receptacle、也佔了對位機台時間

量產不能跳：解法從哪來

晚發現在經濟上站不住
Marvell 2026/5：一個光通道壞就報廢整個高價組件；光測過去是分鐘級

一批對一次，逐顆不對
Jenoptik UFO 探針卡：一批對準一次、無逐顆主動對準，直上標準探針台

多站並測
ATE 一次 touchdown 多站並測；第一道邊緣耦合已做到 <5 秒 / die

微透鏡降軸
PIC 上的微透鏡陣列讓逐顆只調 XYZ、角度一次設定（對位設備商）

● 第二道卡的不是精度，是產能——現在跳過是權宜，量一上來就得補

資料來源：Advantest（ECOC）、Teradyne / ficonTEC、Jenoptik、FormFactor（2025）、Marvell，智璞產業趨勢研究所整理；Insertion 命名依 Advantest / GMT 框架。

CPO 四道測試工序的設備版圖

前一頁的四道 Insertion，各站誰在供設備

Insertion 1
PIC + EIC 晶圓測試

測試機
Keysight

晶圓探針台
FormFactor
GMT（高明鐵）

EIC / PIC 測試機
Advantest（愛德萬）
Teradyne（泰瑞達）

PIC 測試
TEL

Insertion 2
OE 晶圓雙面探測

測試機
Anritsu
Keysight

雙面晶圓級探針台
Advantest（愛德萬）
ficonTEC
MPI（旺矽）
Teradyne（泰瑞達）

Insertion 3
光引擎 die-level 測試

耦合設備
ADST
All Ring（萬潤）
GMT（高明鐵）

單顆雙面 CPO 測試機
Chroma（致茂）
ficonTEC
GMT（高明鐵）

Insertion 4
CPO 模組 / 系統級測試

Handler / 測試機
Chroma（致茂）
Hon Jing（鴻勁）
Teradyne（泰瑞達）

Socket
WinWay（穎崴）

● 台廠集中在第三、四道（耦合設備、測試機、socket）；第一、二道以國際 ATE 廠為主。

資料來源：內部整理（2026/09），廠商角色為方向性、非推薦，不代表完整名單；智璞產業趨勢研究所重製，各格廠商依英文字母序。

Outline

今天演講的四大部分

PART 01

黃仁勳說的 2026 是 CPO 元年

矽光子與CPO的市場期待

PART 02

矽光子與 CPO 的基本科普

傳統可插拔、矽光子、NPO、CPO 的關聯性

PART 03

CPO 必要性與目前瓶頸

CPO 的必要性、CPO 的技術與困難點

PART 04

供應鏈盤點與結論

主要廠商與供應鏈盤點

各家 CPO 光引擎（Optical Engine）

光引擎（Optical Engine, OE）主要進行光電轉換；CPO 模組的型態，主要決定於 OE 的型態。



玩家已成形：NVIDIA、Broadcom、Marvell、Lightmatter、Ayar Labs...

接下來拆解供應鏈：哪些環節、哪些台廠。

輝達 vs 博通 CPO 供應鏈對照

沿環節看兩大陣營各用誰；共同項（琥珀色）= 台廠/台積電「中立受惠」。

環節	輝達陣營	博通陣營
OE 引擎 / PIC	TSMC（COUPE, SoIC-X）、Tower	TSMC、GlobalFoundries 、Tower
FAU / 耦合	Coherent、天孚、Senko、上詮、萬潤、波若威	Coherent、Senko、Corning、Broadcom
ELS 外部雷射	Lumentum（領先）、中際旭創、新易盛	Broadcom、眾達-KY、全新
光纖線束 / Shuffle	Corning、太辰光、波若威	Senko、Conec、Corning
模組組裝	Fabrinet、矽品	Micas、Arista、Cisco、訊芯-KY
封裝測試	日月光、致茂、Amkor、矽品	日月光、Amkor、京元電子

共同底座 = 台積電（兩家 OE/PIC 都靠 COUPE）；分家在雷射與組裝。
台廠（上詮、波若威、日月光、致茂...）兩邊通吃，是「賣鏟子」的中立受惠者。

資料來源：業界資料，智璞產業趨勢研究所整理。

結論：元年是起點，不是放量點

1. **元年 ≠ 放量：可插拔與 CPO 共存，分水嶺在 400G/lane**
   1.6T 仍由可插拔 + LPO 主導，日月光也說兩者共存。400G/lane 模組功耗破 OSFP-XD 上限，CPO 才從可選變必要，約 2028–2030。Scale-up 最值得期待。

2. **卡住 CPO 的不是光學性能，是良率跟測試速度**
   16 顆光引擎、單顆 95%，複合只剩四成。對準仍靠主動，只是往透鏡層上游搬；第二道測試一片 20 小時、量產要 6–8 小時。「能部署」不等於「能以良率量產」。價值鎖在光耦合與封測，正是台廠切入點。

3. **NPO 不是對手，是產能分流：Lumentum 與光博會同時指向 NPO**
   Lumentum：2028 的量一條路供不上，CPO / NPO 出貨約各半。深圳光博會上聯特、華工正源已展 3.2T / 6.4T NPO 樣品、外置 200 mW ELS。光學零組件相同、NPO 多一層 socket——押零組件比押路線安全。

4. **不論路線，矽光子與 InP 都是贏家；先行指標看高功率 ELS**
   EML 與矽光子市占已拉平到 1:1，差在雷射成本；不論 EML 或 CW 都要 InP，缺到 2027。可插拔三年內仍主流，XPO、OCS 要追蹤。CPO 真實滲透率，看 300–400 mW ELS 出貨量。

5. **地緣政治：管制從「查品牌」轉向「查供應鏈」**
   FCC 供應鏈安全審查提案（2026/8/7 刊登聯邦公報）重新定義產品「由誰製造」，第三地組裝或改掛品牌已不足以規避；光收發模組被納入 HBOM / SBOM 揭露，並研議美國來源零組件佔比 65%、2029 年後 75% 的生產地門檻。業界內部消息並指出，前緣光通訊製造正被要求向美國在地化。台廠優勢在非中替代與可追溯性，風險在 InP 基板高度集中。

Thanks Your Attention

- 我們的主要服務內容

提供三大產業趨勢報告

創新及產品技術發展策略

策略合作之標的顧問服務

智璞官網

官方LINE

YouTube