

矽光子瓶頸

Created June 13, 2026 11:30 PM

PART 1 矽光產業解說

久沒更新矽光相關產業資訊了，重新回來整理一下矽光子的筆記，有誤也歡迎各路光通猛男與前輩給小弟指教

今天從功耗角度來討論幾個瓶頸，首先來簡單提一下前言，功耗這塊無疑是傳輸最大的瓶頸，所以才要積極的從pluggable往LPO往CPO做推進，1.6T時代插拔與CPO功耗大概落在5W但到了3.2T時代，單一模組的功耗就可以直接擴大到10W，這就是最大瓶頸所在，頻寬升級下功耗的成長是非線性的飆升，下面的故事想必大家都老熟了，發熱跟耗電的怪獸DSP被移除，接下來CPO呢，還有Driver跟modulator兩個也是耗電的煩惱。

modulator的工作是甚麼呢，晶片的雷射也就是CW Laser負責發光，但把01訊號負責給到光束的是modulator，至於Modulator帶給CPO的煩惱包括了體積和溫度，MZM的體積在1-3mm在CPO裡面占用過多空間，MRM只占用10-20微米，面積相對小、能在小空間做成高密度 WDM，相較於MZM

的工作是將雷射光**一分為二**，MRM 必須在不斷環內循環，需要面對共振窄頻與熱穩定挑戰，所以需要TEC協助控溫，這時候鍺矽材料製成的EAM就出現了，體積適中落在50-100 um，體積小、材料因素讓loss減少很多，功耗煩惱也隨之降低了不少，但EAM一樣有它的問題存在，EAM透過改變材料本身吸光特性來做調變，對00、01、10、11亮度階層清楚的**PAM4 來說線性度差**。

調變結束了好不容易透過調變器把高階訊號做好了，光訊號準備離開矽光子晶片、進入實體光纖，就是光耦合了，那光耦合瓶頸在哪裡，光訊號在通過這個交界面時，會產生嚴重的Insertion Loss。

那來介紹現在光耦合的方式

光柵耦合器 (Grating Couplers)，光訊號是垂直地進入或射出晶片。它是利用晶片表面刻蝕出一道道微小光柵結構，透過光學繞射原理，把晶片水平波導裡的光彈到上方的光纖中，耦合的方式也成為他們最大的優勢，在晶圓還沒有被切割成一顆顆獨立晶片前，測試機台的探針就可以直接從晶圓上方下針、射入光訊號進行測試。也能及早揪出不良品，避免把封裝成本浪費在壞晶片上，好處講完了那缺點呢，第一個就是**對波長敏感**光柵的間距是固定的，因此它只對特定波長的光有最好的耦合效率，頻寬較窄、其中最大的缺點就是

極大的 **insertion loss** 繞射物理特性導致光很難完全打進光纖，會有一大部分散射掉，回頭只能再去調高Laser的發光功率，功耗又會被放大了。

端面耦合器 (Edge Couplers)，光訊號是水平（從晶片邊緣端面）直接射入或射出光纖，所以最大最大的優勢就是因為水平射出沒有經過光柵的繞射損耗，插入損耗能做到低於 1.0 dB，端面耦合的對準公差極低（通常小於 0.5 微米）。光纖核心必須死死對準晶片邊緣那顆只有奈米/微米級的波導。只要稍微歪掉一點點，光就完全射偏，這對自動化封裝與測試設備是非常巨大的挑戰。

接著來聊聊互連的技術，InP SiPh用於2 km (適合資料中心長距)，傳統VCSEL用於100 m, Electrical PCIe) 用於1 m的傳輸，今天想特別談Array Based Interconnection 特別是基於 **Micro-LED** 或 **Micro-VCSEL 陣列**的方案。當頻寬拉高之後的世代，scale up電訊號在 PCB 板、Retimer或Interposer間傳輸，會產生高達 -20dB 的嚴重損耗，因此走向光通仍舊是必要的解方，這也呼應LITE在年初conference call所提的UP 才是TAM更大的市場。

回到技術話題，先提Micro VCSEL用於機櫃內部板對板 (Board-to-Board)，距離在0m-20m 之間，體積極小，他本身就是雷射的一種但其雷射激發所需的臨界電流非常低，不需要像大雷射一樣注入高電流，因此極省電可以滿足單通道高速度的需求，同時可以拿掉耗電的 DSP，在提供巨大頻寬的同時達成小於2 pJ/bit 的極低功耗。

Micro LED用於極短距離的晶片與晶片之間 (Chip-to-Chip) 互連，他屬於非相干光源 (Non-coherent Light)，光是向四面八方散射的（發散角大），但Micro-LED 的結構非常簡單，尺寸可以做到 10 微米以下，所以它能以極小的間距排成超高密度的矩陣，因為距離極短，光信號幾乎沒有傳輸損耗，也不需要任何放大器，可以達成小於 0.5 pJ/bit的能耗。

PART 2 光循科技MEMO

一、前言與市場背景

- **Scale-out 與 Scale-up 的功耗挑戰**：在 Scale-out（水平擴充）與 Scale-up（垂直擴充）的架構中，如何在共同封裝 (Co-packaged Optics, CPO) 的介面達到機櫃內的晶片規格，是極為重要的課題。
- **核心關鍵在於系統引擎的功耗**：在短距離傳輸中，光源往往不是主要問題，關鍵在於系統內部的那顆「引擎」究竟會消耗多少功耗。

- **市場對功耗瓶頸的忽視：**市面上許多廠商雖在發展短距離傳輸，卻忽略了未來必然會遭遇的功耗瓶頸。
- **技術與市場優勢：**
 - 背後有實力雄厚的創投（VC）支持。
 - 擁有 AI 晶片大廠（背後大廠身分明確）約 12% 的戰略投資。
 - 全球五大 CPO 廠商中，已有兩家正在與團隊進行技術對接。
 - 相較於其他競爭對手，團隊在產品開發（PD）上具備極強的技術實力。

二、AI 算力需求與傳輸瓶頸（記憶體池化趨勢）

1. 算力與傳輸的鴻溝 (Gap)

- 若使用過現行的晶片大廠（如 NVIDIA）或 OpenAI 的模型，就會知道目前的算力需求極其龐大。
- 當算力走到「代理人（Agent）」時代，電算能力與數據傳輸需求之間將產生巨大的落差（Gap）。
- **電算與光傳輸的極限：**目前電的算力發展非常快速，但當數據計算完畢、需要傳輸到另一個機櫃或 Data Center 時，往往會卡在傳輸瓶頸。
- **Rack-to-Rack 的光傳輸變革：**機櫃與機櫃之間必須導入光傳輸，因為數據在機櫃內用電計算的速度，比遠距離傳輸的速度還要快上 **15 到 20 倍**。
- 機櫃內由於距離短，用電仍可維持高運算；但遠距離傳輸若卡住，就如同汽車在高速公路上行駛順暢，卻在下交流道時全部塞車。

2. 未來 Data Center 的架構演進：解構與池化 (Pooling)

- **傳統架構的浪費：**目前市場上對 HBM（高頻寬記憶體）的需求極大，主因是 HBM 被綁在 GPU 旁邊。這會導致當某些 GPU 未完全使用到其 HBM 時，隔壁需要更多記憶體的 GPU 卻無法存取，造成資源浪費。
- **未來趨勢—資源池化 (Pool)：**未來的 Data Center 會朝向「分櫃（解構）」概念發展。GPU、HBM 以及其他記憶體將會各自獨立分櫃。
- 透過建立一個資源池（Pool），當系統需要擴充記憶體容量時，就能靈活動態調配，這將是未來的核心架構。

3. 數據傳輸率的演進

- 大廠（如 NVIDIA）去年已展示過 1.6T 的傳輸技術。
- 1.6T 雖能滿足現階段需求，但未來將不敷使用。市場預估未來傳輸單位將達到 **8 Terabits per second (8T)** 的巨大差距，因此「走向光傳輸」在分層架構中是必然的趨勢。

三、團隊背景與競爭優勢

- **公司定位：**公司於去年（2025年）6月成立，並非純新創公司，而是由母公司（工研院創新團隊）培育而生的肩膀，具備扎實的矽光子基礎技術存底。
- **營運與財務管理：**
 - 為控制初始營運成本，目前與母公司共用辦公室。
 - 財務與部分人力資源（HR）亦與母公司互通學習。
 - **低燒錢率 (Burn Rate)：**每個月的財務消耗控制在 **250萬至300萬台幣** 之間，營運非常健康。
- **募資進度：**
 - Pre-A 輪的創投與天使輪資金已全部到位。
 - 目前正在進行 A 輪募資，預計於今年（2026年）Q3 結束，目前僅剩 **三分之一的額度 (Quota)**，將優先保留給合作廠商或策略投資者。
- **核心團隊陣容：**
 - **創辦人/老闆：**畢業於史丹佛大學（Stanford）電機博士（史丹佛電機資格考難度極高）。畢業後進入 Intel（英特爾）專攻矽光子相關技術。
 - **演講者（技術主管）：**負責 Micro LED 與矽光子技術開發。
 - **法務長：**美國電機博士畢業，同時擁有美國執業律師執照，曾替 Uber 打過官司。目前公司所有的法務與智慧財產權（IP）皆由其親自把關與開發。

四、產品線與三大技術解決方案

為了加速開發並同時解決 Scale-out 與 Scale-up 的瓶頸，團隊在不同的傳輸距離上定義了不同的解決方案：

傳輸距離	應用架構	採用核心技術	技術特點與瓶頸克服
遠距離 (20m - 2km)	Rack-to-Rack (機櫃間傳輸)	常用矽光子 + 調變器 (Modulator)優化	傳統 Micro Ring 技術受溫度影響極大。團隊成功將每個 Channel 的傳輸率提升至 200 Gbps ，未來將邁向 400G 與 800G。
中短距離 (0m - 20m)	Board-to-Board (板對板傳輸)	同線 + Array-based 的光電引擎 (OE Engine)	包含 Micro VCSEL 技術。機櫃內溫度高達 100°C，傳統 VCSEL 僅能承受 85°C。團隊利用機櫃外 (間) 傳輸特性進行優化。
極短距離	Chip-to-Chip (晶片間傳輸)	Micro LED 技術	矽 (Silicon) 材料會吸收 1000nm 以下的波長，而 Micro LED/VCSEL 的波長常落在 980nm 以下。團隊利用 Micro LED 可容納「極多顆數」的優勢，用數量換取速度。

關於 Micro LED 產能與良率的技術說明

許多人質疑 Micro LED 用於傳輸的良率問題。以目前銻創科技 (PlayNitride) 製作 Micro LED 電視為例，一台電視需要 **2400 萬顆** Micro LED，良率高達 **99.9%**。而團隊在光傳輸晶片上僅需使用 **幾百顆 (如 250 顆)**，在良率控制上完全不是問題。

五、技術核心：調變器與耦合器的突破

團隊將研發重心放在光電引擎 (OE Engine) 中最關鍵的兩個元件：**調變器 (Modulator)** 與 **耦合器 (Coupler)**。

1. 獨家調變器 (Modulator) 開發

- **傳統調變器 (MZN)**：目前標準製程下的尺寸約為 **5000微米 (μm)**。
- **台積電微環形調變器 (MRM)**：尺寸可縮小至 **10微米 (μm)**，但缺點是極易受到溫度變化的干擾。在損耗需小於 2 dB 的限制下，其可使用的波長頻寬非常狹窄 (僅正負 1 nm 左右)。
- **團隊調變器技術 (第一代與第二代)**：
 - **第一代 (微環形優化)**：尺寸約 **500微米 (μm)**。在實測中，團隊在 **13 nm** 的頻寬下皆能維持損耗小於 2 dB ，大幅降低了對溫度控制的敏感度，能承載更多波長。

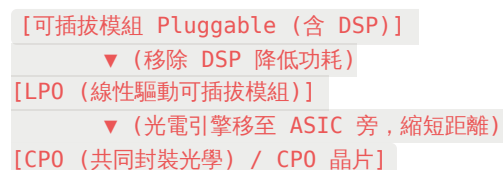
- **第二代（EAM 電吸收調變器）**：預計 **2029 年** 推出，採用「鍺（Ge）」材料。其特性是尺寸極小，且損耗完全不受溫度影響，可達到單通道 400G 以上的速度。

2. 耦合器 (Coupler) 與降低耦合損耗 (Coupling Loss)

- **市場痛點**：光從「矽光晶片」出來到「光纖」這段的耦合損耗（Coupling Loss）如果太高，速度就上不去（這也是大廠如 Luxtera 面臨的瓶頸）。
- **現行技術對比**：
 - *Edge Coupler (邊緣耦合)*：需要在晶片邊緣切一刀再放入光纖，會浪費晶片面積且無法在封裝前得知晶片好壞。
 - *Grating Coupler (表面光柵耦合)*：免切片、製程快（台積電愛用），但光柵會帶來高達 1.5 dB 的高損耗。
- **團隊的「垂直光學垂直耦合」技術**：
 - 無須在晶片上做切面，光線可以直接 90 度垂直綁定（Binding）在晶片表面。
 - **極低損耗**：實測損耗僅有 1 dB （台積電目前標準為 1.5 dB ）。
 - 省下的 0.5 dB 餘裕，可全數留給高難度的高密度光纖陣列（FAU, Fiber Array Unit）對接使用。

六、技術趨勢：從 LPO 走到 CPO (晶片共同封裝)

演講者詳細梳理了光傳輸模組的架構演進：



- **傳統 Pluggable**：內建 DSP（數位訊號處理器），用來修復模糊的訊號，但 DSP 極度耗電且昂貴。
- **LPO（線性驅動可插拔模組）**：將 DSP 移除，直接將電訊號整合進 ASIC 中，藉此降低功耗與成本。
- **CPO（共同封裝光學）**：未來終極技術。直接將光電引擎（OE Engine）移到 ASIC 晶片旁邊。光線直接射入 ASIC，使傳輸距離縮到最短，模組未來將精簡到只需固定光纖。

- **CPO 的功耗決戰點：**
 - 在 1.6T 傳輸速度下，LPO 與 CPO 的功耗差距約為 $\$5\text{\text{ W}}\$$ 。
 - 到了 3.2T 時，兩者功耗差距將擴大到 $\$10\text{\text{ W}}\$$ 。對於 Data Center 而言，絕對無法接受額外 $\$10\text{\text{ W}}\$$ 的發熱與功耗，因此 3.2T 以上世代必將是 CPO 的天下。
- **團隊的獨家降功耗策略：**團隊在 Scale-up 架構中，直接省去 DSP 與 SerDes（序列器/解序列器）。這能讓模組體積縮小，並大幅削減功耗與成本。

七、產業鏈串聯與時程規劃 (Roadmap)

團隊目前的商業模式是擔任**設計端（建築師）**，設計出相容性高的電路圖（IP），再授權（License）給晶圓代工廠（Foundry）製造，藉此服務沒有晶圓廠的 Fabless 設計公司。

1. 供應鏈大聯盟串聯

團隊已成功將上下游產業鏈串接完成：

- **晶圓代工廠 (Foundry)：**目前已在 GlobalFoundries (GF) 與 TowerSemi 進行投片驗證，最終目標是將數據資料整理完畢後，導入 **台積電 (TSMC)** 製程。
- **下游大廠對接：**已導入國內幾大主流 Data Center（如廣達、緯穎等系統廠大聯盟）。
- **光纖封裝夥伴：**與日本光纖大廠合作。
- **策略結盟：**與技術領先的模組大廠（如聯亞）深度合作。

2. 未來關鍵里程碑規劃

- **2026年（今年）：**於 Computex 展示與聯信（NVIDIA 核心供應商）合作的第一款傳輸概念產品（利用現有 PD 進行整合）。
- **2026年底：**預計取得與台積電合作開發、極度靈敏的 PD（感測器）晶片。由於其靈敏度極高，光源只需一點點就能感應，能將功耗壓低至 $\$0.5\text{\text{ pJ/bit}}\$$ 以下。
- **2027年3月：**於美國光纖通訊展（OFC）正式 Demo 完整分離式驗證產品。
- **2028年3月：**正式發表終極「一體成型」整合版 CPO 模組（將 Driver、TIA、PD、調變器完美整合），正式邁入大規模量產（量產測試）階段。

八、 延伸應用：量子計算 (Quantum Computing)

- 矽光子技術除了用於 AI Server 的資料傳輸外，另一大前沿應用在於**量子電腦**。
- 現行量子計算（不論是超導體或超低溫光子架構）都需要在 -200°C 以下的極低溫環境才能捕捉量子位元（Qubit）。
- 團隊利用自身開發的 **SPAD（單光子雪崩二極體）高靈敏度感測技術**，能夠精準捕捉單一光子。目前正與國際大廠合作，將此技術應用於光量子電腦的運算核心控制中。