測試產業

作者: Bryan、王騏杰、張育綸

報告大綱

01 結論

02 產業概況

03 產業動能

04 個股推薦

05 潛在風險

06 結論

07 附錄

01

結論

結論

晶片變複雜 → 測試時間拉長

先進封裝（CoWoS、SoIC、EMIB-T）把多顆 die、多層 HBM 堆進同一個封裝，die-to-die 互連、訊號完整性、熱管理都變成需要驗證的新故障模式。

以 NVIDIA GPU 為例，若將 Hopper 的 FT 測試時間為 1，Blackwell 約 4x，Rubin 估計達 ~7x

晶片變熱 → 預燒機 Burn-in從選配變必需

AI GPU/ASIC 的 TDP 快速墊高，Blackwell Ultra（B300）TDP 約 1,400W，Rubin（R100）預估上看 1,800W 起，新一代 ASIC 也普遍朝 1,000W+

高功率下的早期失效風險大增，客戶把老化**測試規格**從中低功率**升級到高功率、多溫區。**

晶片變貴 → 每個晶片都要測

一顆先進封裝 GPU／ASIC 的成本以千美元計，若在系統端才發現瑕疵，成本遠高於在測試站多花的秒數。這是 SLT（系統級測試）滲透率快速提升的根本原因

測試產能緊縮 → 稼動率被動墊高→ 議價能力提升

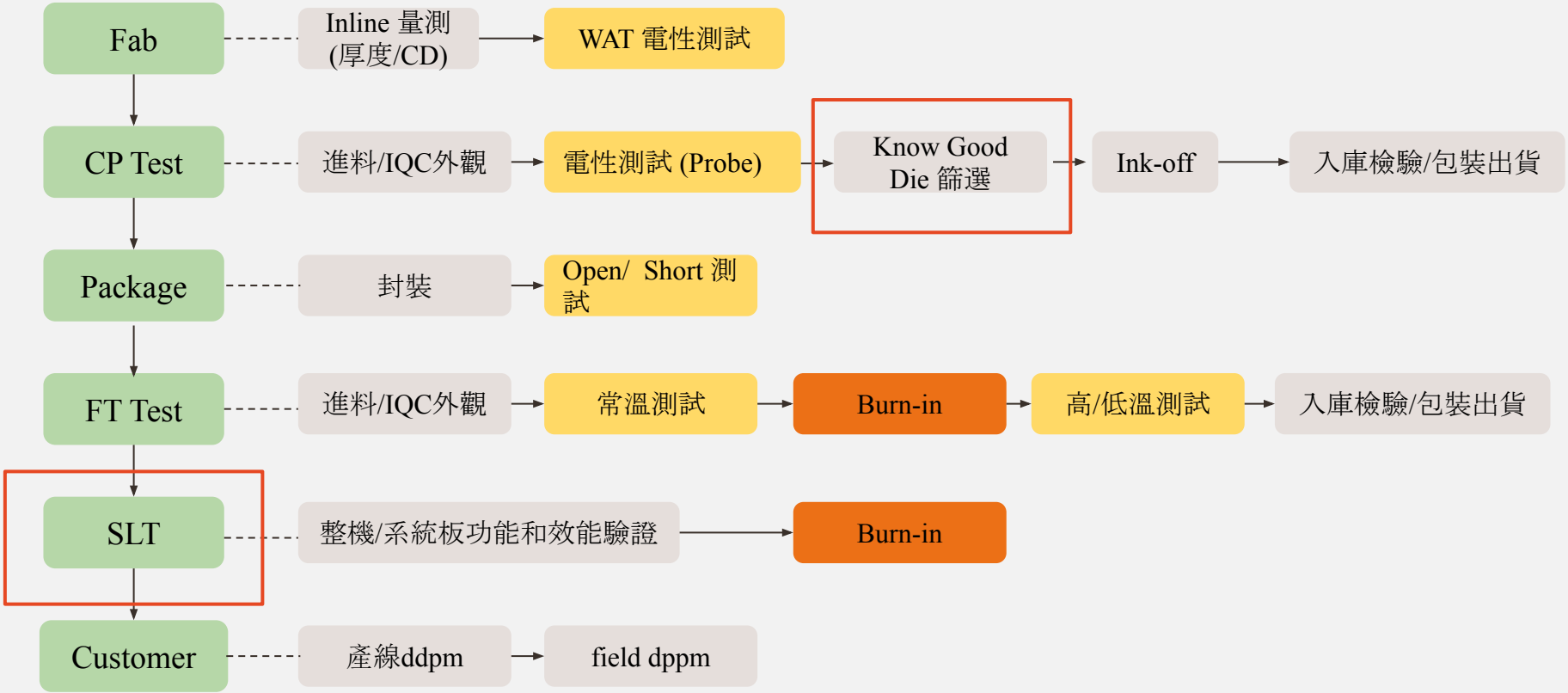
整包合約單價得以隨晶片測試時間與複雜度上修

在稼動率已被鎖在高檔、難再大幅提升的前提下，單一機台產值成為觀察測試廠營收成長的指標之一

02

產業概況

半導體測試流程


Fab
Inline 量測 (厚度/CD)
WAT 電性測試
CP Test
進料/IQC外觀
電性測試 (Probe)
Know Good Die 篩選
Ink-off
入庫檢驗/包裝出貨
Package
封裝
Open/ Short 測試
FT Test
進料/IQC外觀
常溫測試
Burn-in
高/低溫測試
入庫檢驗/包裝出貨
SLT
整機/系統板功能和效能驗證
Burn-in
Customer
產線ddpm
field dppm

主要測試項目

複雜程度、耗費時間

DC Test

- 量測穩態電性，確認晶片的實體矽結構完好無損。
- 開短路測試(open / short test)
- 過濾掉實體結構瑕疵的壞晶片

Function Test

- 驗證晶片內部的邏輯閘(Logic Gates)動作是否正確。
- 專注於邏輯正確性。

AC/Timing Test

- 引入**時間**維度
- 在動態高頻條件下**檢查晶片的輸出波形與時序特徵。**
- 晶片性能分級的主要依據。

半導體測試硬體

測試不是單一機台，而是一個緊密整合的測試單元（ test cell），主要由三種類型組成。

角色	功能	主導廠商
測試機(ATE)	測試單元核心，送出精確電性刺激（電壓、電流、高頻波形），監看回應並比對規格找不良品	Advantest（愛德萬）、Teradyne（泰瑞達）雙雄主導
探針台/分選機	機械自動化臂。探針台用於晶圓針測（由下往上）；分選機用於最終測試與系統級測試（由上往下）	鴻勁（FT 分選機）、致茂（SLT 分選機）
測試介面	電性與實體的「橋樑」，依晶片佈局與封裝客製；晶圓階段用探針卡、封裝階段用載板搭測試座	FormFactor、Technoprobe、旺矽、穎崴等

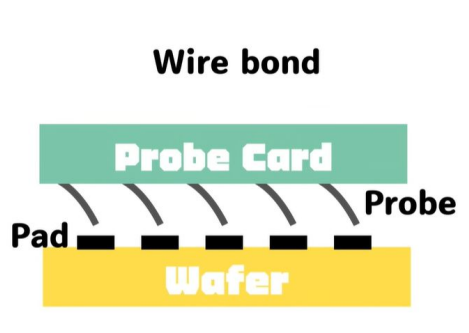
其餘機台：

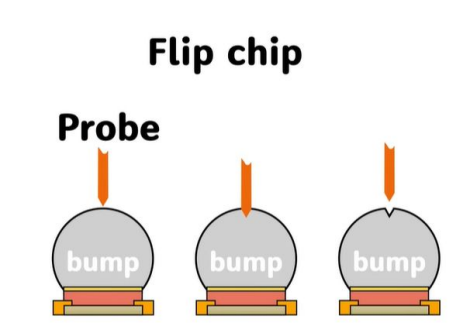
熱載台（thermal chuck，晶圓針測時的真空吸附平台）、主動溫控系統 ATC（整合於分選機內，即時調控冷／熱，是 AI 測試設備 ASP 升級的主要載體）、儀器模組（CPO 光電同測靠外掛高頻／光學儀器補足）。

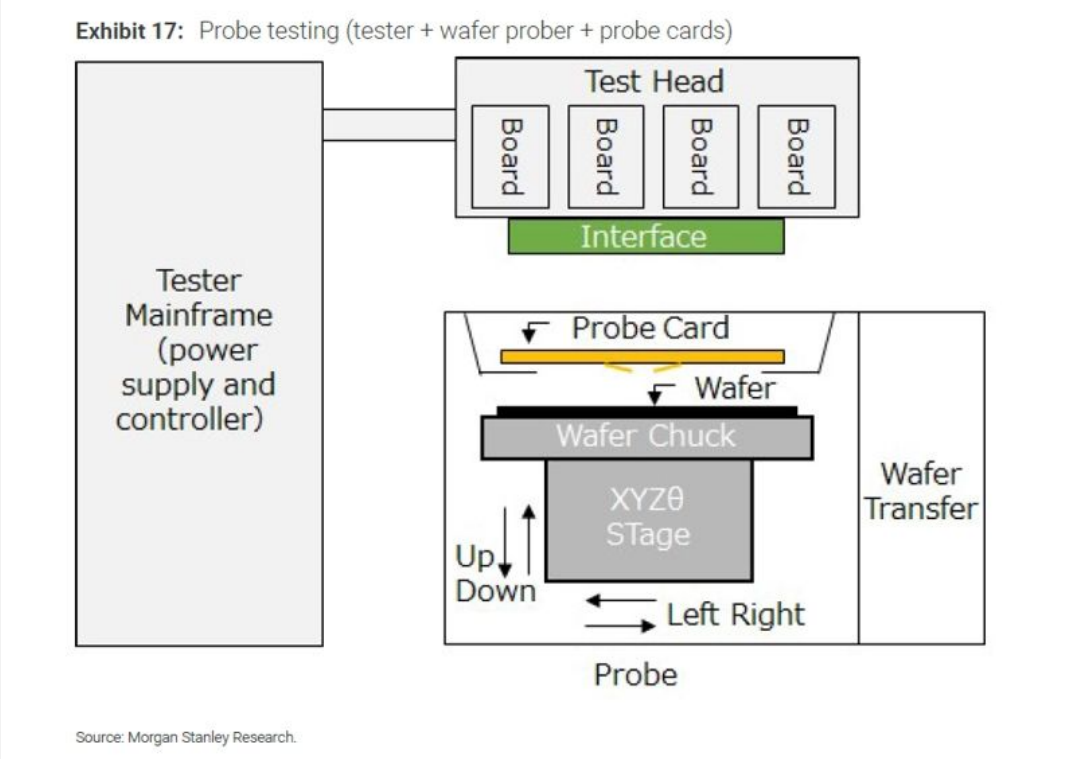
訊號路徑的本質是把空間轉換：把測試機粗糙的毫米級針陣列，一路收斂到晶粒銲墊間距（約 40–100μm，人的頭髮直徑約 70μm）或封裝球間距（100μm 以上），同時嚴格維持訊號完整性與供電效率 ——這就是測試介面 產業存在的理由。

CP Test 晶圓級測試

在晶圓切割前，利用探針測試每顆裸晶（ Die）的功能，提前抓出壞片以省下封裝與 FT 成本



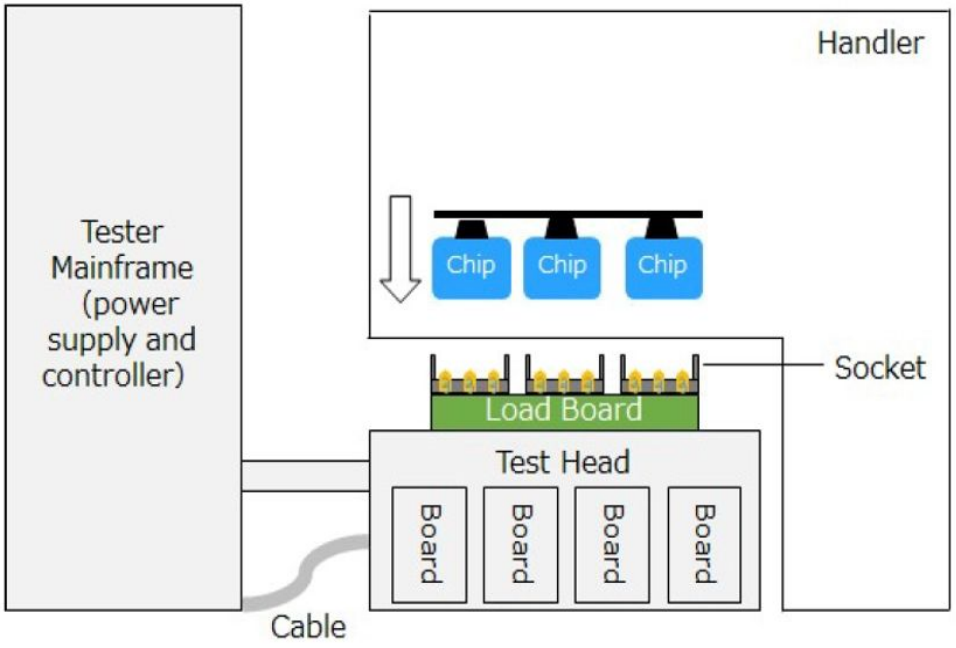




Final Test 成品測試

FT 測試發生在封裝製程完成之後，晶圓已經被切成一顆顆獨立的晶片，把晶片放到測試座上面進行電性測試。
測試目的是要確認晶片在經過封裝製程之後，有沒有出現新的製成缺陷　(測試時間數十秒　)

Exhibit 18: Final testing (tester + handler)

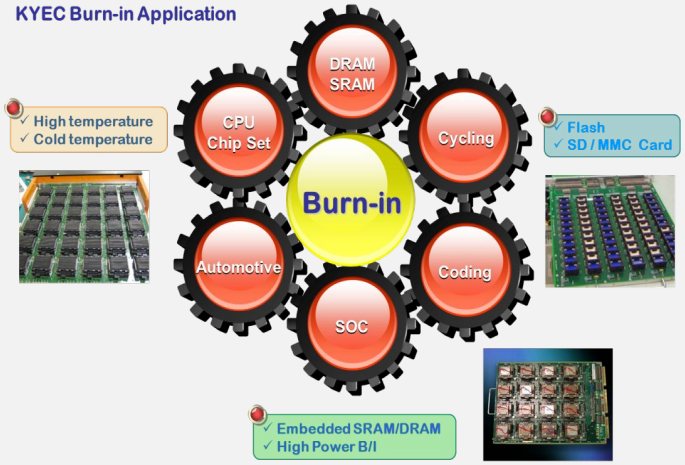


Final Test 成品測試相關零組件

相關零組件	功用	代表廠商
測試機(ATE)	送出精確電性刺激(電壓、電流、高頻波形)，比對規格找出不良品；分直流／功能／交流三段濾網	Advantest(愛德萬)、Teradyne(泰瑞達)
分選機(Handler)	機械自動化臂，從料盤取出封裝件、由上往下壓入測試座，依判定結果分類	鴻勁精密(占其分選機營收70–80%，FT 主力)；致茂(以 SLT 為主，FT 領域相對次要，在電性測試能見度極高)
測試座(Socket)	電性與實體橋樑，位於待測晶片與載板之間，承受分選機反覆壓接與高功耗晶片熱負載	**穎崴**(同軸座、綁定NVIDIA)、Smiths／Molex、Yamaichi、LEENO、Enplas、Yokowo
彈簧針(Pogopin)	柱塞＋套筒＋彈簧接觸；AI 晶片目前最主流，同軸測試座幾乎100% 使用	各測試座廠自製或外購(Yokowo 為主要外售彈簧針商)
彈性體(Elastomer)	矽膠基材內埋導電粒子，訊號完整性佳、適合高頻／射頻	用於高頻與特定應用場景
裝置介面板(DIB / Load Board)	承接測試座並扇出訊號至測試機介面，單價最高(頂規可達六位數美元)	精測(探針卡/載板類占營收25%)、旺矽、雍智(載板類占營收61.6%)
主動溫控系統(ATC)	整合於分選機內，偵測晶片熱狀態並即時調冷／熱，抵銷測試中內部功率波動；是設備 ASP 升級主要載體	鴻勁精密(ATC3.3→3.8 世代路線圖，對應 1kW→10kW)

Burn-in test 老化測試

Burn-in 讓晶片在高溫、高壓(有時搭配高電流)下持續運作一段時間，人為加速老化，把早期失效區間的瑕疵品篩出來，避免出貨後在客 戶端提早故障。(測試時間數小時)



京元電子自製預燒爐：
自製與高度客製化能力(獨特護城河)且技術門檻高： 現今晶片規格繁多且複雜，極少有測試廠具備能力自行研發並製造高品質、高度客製化的預燒爐。

護城河：由於這項技術吃力不討好，大部分競爭對手難以模仿，成為京元電子的關鍵技術壁壘與競爭護城河。

商業策略：
以強帶弱的綑綁銷售：京元電子利用強大的 Burn-in技術優勢作為條件，使客 戶將其他測試項目(如 FT、SLT 等)一併委託給京元電子執行，從而擴大接單份額與整體營收。

與NVIDIA的 合作模式：
目前針對 NVIDIA 晶片所使用的預燒爐，採用 Consign(客戶擁有設備)模式。由 NVIDIA 擁有並負擔設備折舊壓力。

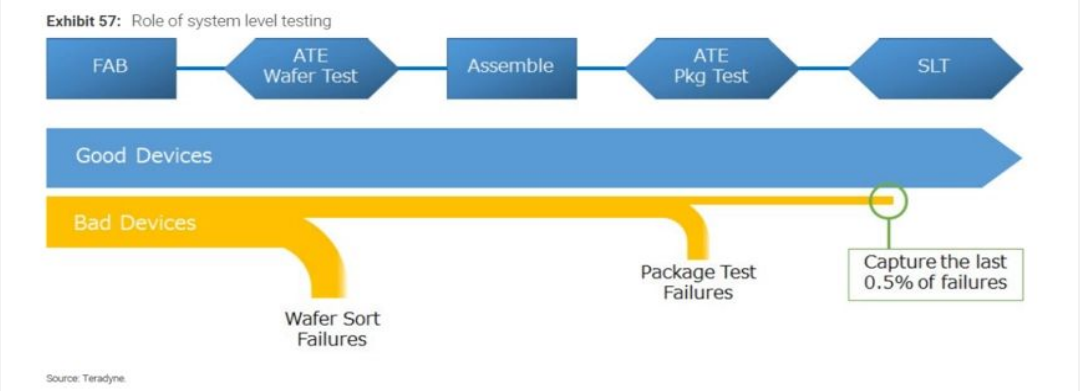
京元電子負責客製化設計與實際操作營運。

此模式大幅降低京元電子的設備折舊風險，同時維持高毛利與穩定的測試代工服務。

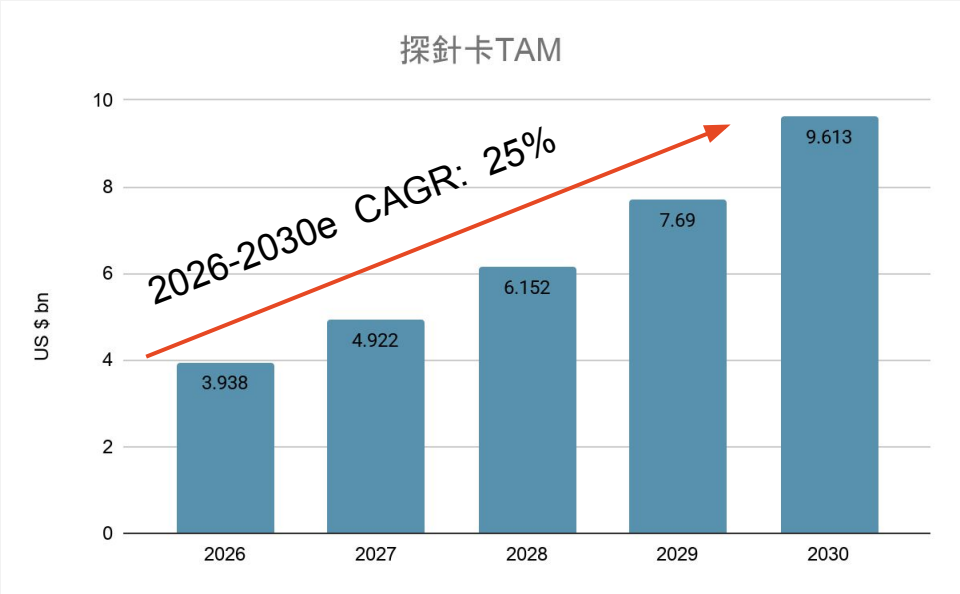
SLT 系統級測試

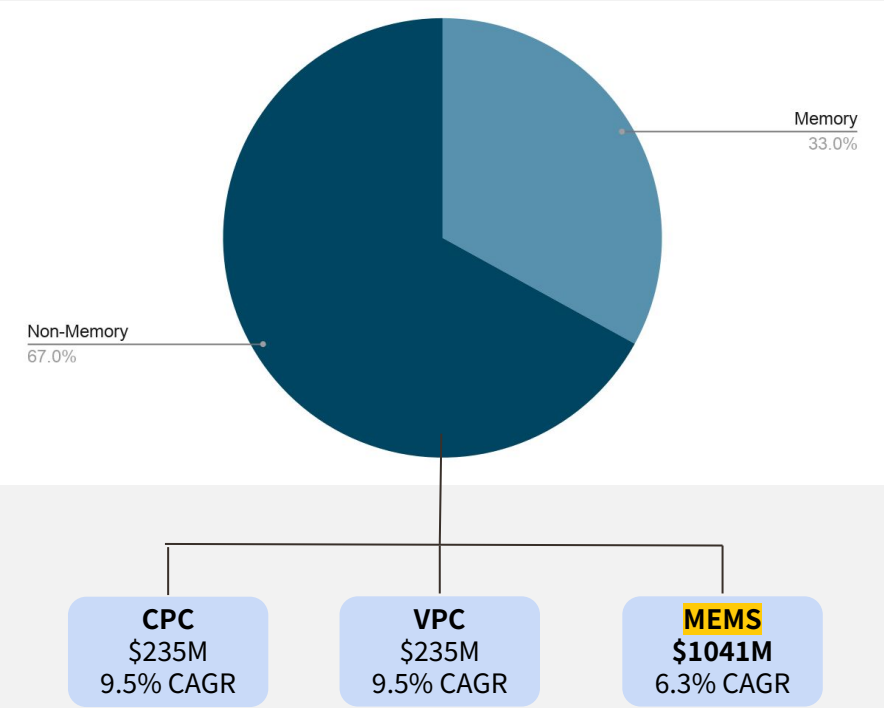
晶片插入系統測試板，開機跑完整作業系統與重負載軟體，量測系統穩定性、吞吐、熱節流門檻、高速介面位元錯誤率。SLT測試主要是抓住間歇性、工作負載相關或區塊互動層級缺陷。 (FT測試的直流 /功能/交流測試擅長抓靜態失效)

測試階段	單一測試機台/測試單元一次可以同時測試幾顆晶片	每站成本	測試時間
FT	1	$$$$	<5分鐘
SLT	6 - 132 (依測試對象)	$$	約 30–120 分鐘
Burn-in Test	122 (烤爐內)	$	3–8 小時（量產）



探針卡(Probe Card)市場





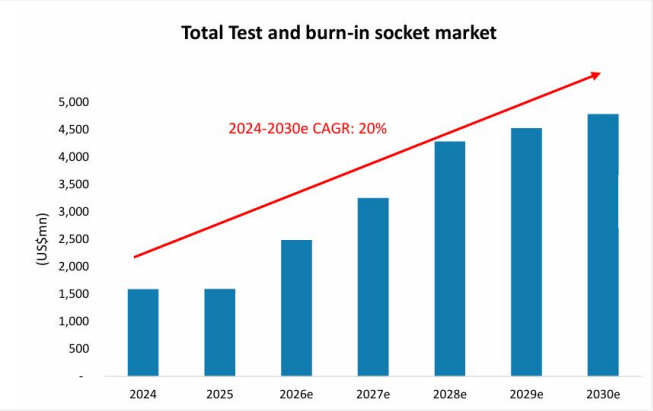
資料來源: MPI、YOLE、Morgan Stanley

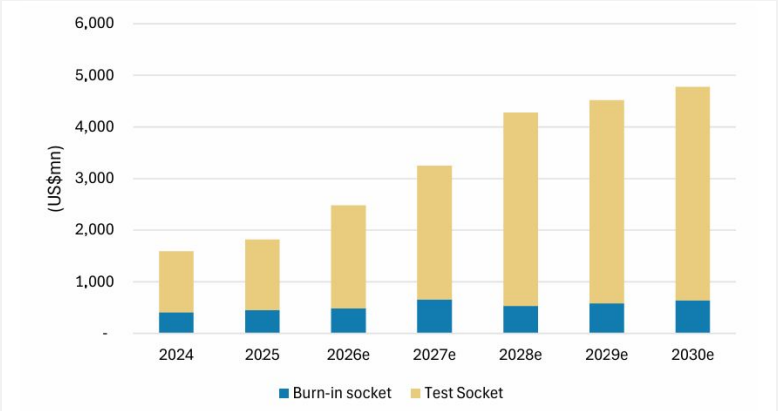
Probe Card Type

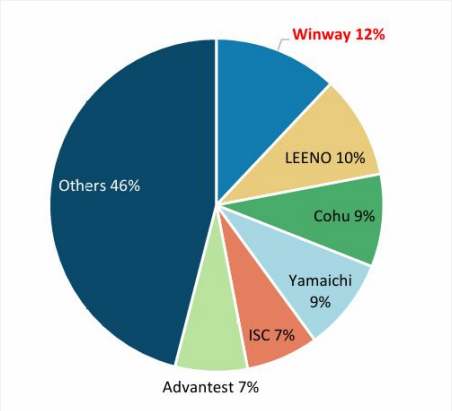
探針卡類型	CPC (懸臂式)	VPC (傳統垂直式)	MEMS (微機電系統)
市場占比	9%	15%	68%
售價	單針 ASP (Price per Pin)：約 $3 ~ $6 美元 / 針 整張探針卡ASP：約 $1.5萬 ~ $3.5萬 美元	單針 ASP (Price per Pin)：約 $10 ~ $18 美元 / 針 整張探針卡ASP：約 $6萬 ~ $12萬 美元	單針 ASP (Price per Pin)：約 $20 ~ $45 美元 / 針 整張探針卡ASP：高階 AI 晶片卡：$20萬 ~ $50萬美元以上
結構核心	水平懸臂（鎢針）	垂直穿孔導向板	半導體微影蝕刻技術
測試佈局	僅限晶片邊緣 (Peripheral)	晶片全陣列 (Area Array)	晶片全陣列 (Area Array)
Pitch (針距)	≥ 50μm	≥ 130μm	35~100μm
製程方式	手工組裝/調針	機械組裝導向板	黃光微影製程（量產一致性高）
針尖精準度	差（需人工校正）	一般	極佳（亞微米級）
主要定位	低階、成熟製程驅動 IC	中階邏輯/車用晶片	先進製程、AI/HPC、HBM
台廠市場份額占比/營收	旺矽:25% 月產能約 50 萬針，預期將為旺矽創造穩定現金流，DDIC客戶包括聯詠、瑞鼎、Ilitek、奇景光電	旺矽受惠於 AVGO&MRVL，VPC 市占率從 2023 年的 22% 躍升至 2024 年的 31%。穎崴則有 11% 的營收來自 VPC，主要用於測試 NVDA 的 gaming GPU & Grace CPU	主要由海外大廠領導，旺矽市占率 3%，主因 MEMS 產能屬前期爬坡階段，預期旺矽未來搶奪市占率，從 2025 的 3% 進展到 2028 年的 10.5%。

測試座(Socket)市場

- 市場總規模將從 2024 年的 15.89 億美元，增長至 2030 年的 47.75 億美元。CAGR高達 20%。主因是 AI/HPC 晶片導致的接腳數（Pin counts）暴增、測試時間拉長。
- 未來五年（2026-2030e），老化測試座（Burn-in socket）的成長動能（23.2% CAGR）將顯著超越常規測試座（Testing socket）的 7.8% CAGR，這反映出伺服器與車用晶片對極端可靠度的要求大幅提升。
- 高度碎片化的市場格局綜合市場（加計 Burn-in）目前依然極度分散，全球最大單一廠商的市占率也僅約 10%左右。這意味著高階技術領先者擁有極大的市占掠奪空間。穎崴有先性者優勢，在2022年就重點研發burn in socket，且多數自製pogo pin.
- 穎崴的全球綜合市占率已從 2022 年的 4%，在短短兩年內翻倍至 2025 年的 12%，躍升為全球最大測試座供應商。





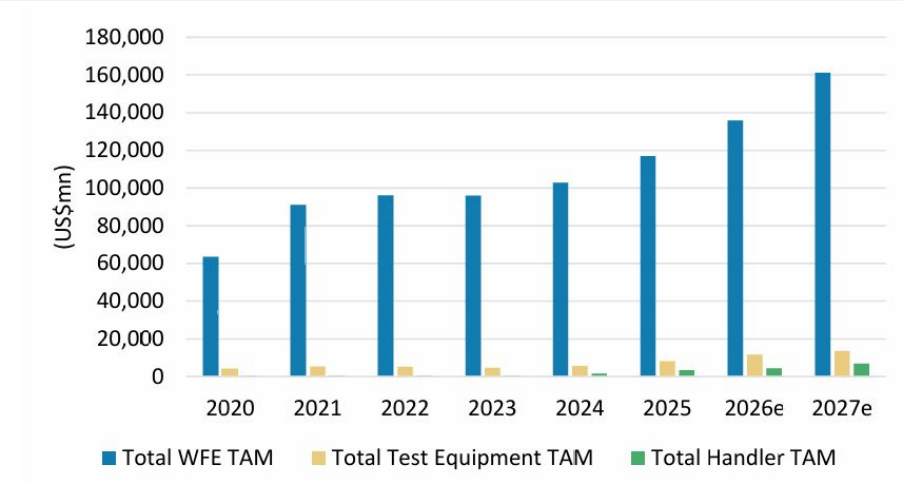


資料來源：Morgan Stanely、Yole

分選器(Test Handler)市場

分選器是自動化工具，主要負責在最終測試(FT)與系統級測試(SLT)階段進行晶片(IC)的取放與定位。

與測試機(Tester)緊密綁定：在FT 製程中，分選器將晶片從晶圓盤(IC Trays)取出並精準放置於測試點，交由愛德萬(Advantest V93000)或泰瑞達(Teradyne UltraFLEX)等測試機評估。每台測試機皆須配對一台分選器，在測試價值鏈中具備不可或缺的需求。



企業名稱	全球分選機市佔率(預估)	核心技術優勢	主要終端應用市場
鴻勁精密	~32%	主動式溫控(ATC)、高階SLT 一體化	超高功耗AI 晶片、HPC、先進封裝
Cohu	~15% - 17%	重力式與置放式雙平台、裝機基數極大	全球車用、消費性電子、IDM 廠
長川科技	~8% - 10%	中國本土國產化、多晶圓數位測試機聯動	中國本土封測代工廠(OSAT)
致茂電子	~5% - 7%	置放式分選、系統級測試、高精密度量測	車用晶片、消費性高階SoC、5G 通訊
其他廠商(Advantest, Techwing, Epson等)	~35% - 40%	各自專精於記憶體分選(如Techwing)或測試機配套	記憶體、常規邏輯IC

WFE 佔比翻倍成長：受惠於強勁的AI 需求、測試時間拉長以及CPO等全新測試需求的興起，分選器占全球晶圓廠設備(WFE)市場的比例，預計將由2024 年的0.5% 與 2025 年的 0.9%，長線擴展至2027 年的1.7%。

資料來源：Morgan Stanely

主要邏輯晶片 產品和他們使用的測試平台

公司	產品	FT Tester (ATE)	FT ATC/Handler	SLT ATC/Handler
NVIDIA	AI GPU, Consumer GPU, CPU	Advantest	鴻勁	致茂
NVIDIA	Networking	Teradyne	鴻勁	致茂
AMD	AI GPU, CPU	Advantest	鴻勁	鴻勁
AMD	Consumer GPU	Advantest	鴻勁	致茂 (MI400 series)
Google	AI ASIC	Advantest	鴻勁	Broadcom: No SLT / MediaTek: 鴻勁
Google	CPU	Advantest	鴻勁	致茂
AWS	AI ASIC	Teradyne	鴻勁	US vendors (未知)
AWS	CPU	Advantest	鴻勁	鴻勁 (評估中?) / No SLT
Microsoft	AI ASIC, CPU	TBD?	TBD?	TBD?
Meta	AI ASIC	TBD?	TBD?	TBD?
Broadcom	Networking	Teradyne, Advantest	鴻勁	No SLT
Tesla/SpaceX AI	AI ASIC	Teradyne	鴻勁	鴻勁
Intel	CPU	Advantest, Teradyne	Cohu, Hon?	AEM
Apple	Mobile AP	Teradyne	鴻勁	鴻勁
MediaTek	Mobile AP	Advantest	鴻勁	鴻勁
Qualcomm	Mobile AP	Advantest	鴻勁	Teradyne

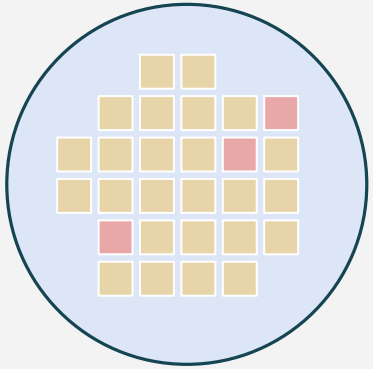
非記憶體CP測試

技術原理 × 設備/耗材 × 產業瓶頸 × 商業模式

CP 與 Final Test：最大差異不是「通不通電」，而是測試階段與　DUT 狀態

- CP / Wafer Sort：封裝前直接測 wafer 上裸 Die；Final Test：封裝後測 packaged IC。
- 兩者都可以包含 DC、Digital、Timing、Analog/RF、Power 等測試；CP 絕不只是「通電測試」。

CP / Wafer-Level Test



DUT = Die on Wafer

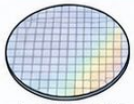
Final Test / Package-Level



DUT = Packaged IC

非記憶體 CP 測試流程圖

1 Wafer 製造完成



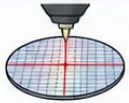
完成前段製程
的晶圓（Wafer）

2 Wafer 載入 Prober



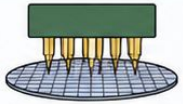
將 Wafer 載入
測試機台（Prober）

3 對位（Alignment）與 Touchdown



進行影像對位
並控制探針下針（Touchdown）

4 Probe Card 接觸 Wafer 上的 DUT / Die



Probe Card 的探針
接觸每一顆 DUT / Die

5 Continuity / Open-Short 測試



檢查接觸品質
與開短路情況

6 DPS 上電
（Power Up / Power Sequence）



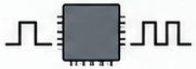
依設定時序進行上電，
提供測試所需電源

7 DC 參數測試
（IDD / IDDQ / Leakage）



量測直流參數
（IDD / IDDQ / Leakage）

8 Digital Functional Test



驗證數位功能是否符合
規格

9 Scan / ATPG 結構測試



透過 Scan / ATPG
進行結構性測試

10 At-Speed / Timing 測試



在高速條件下驗證
時序與效能

11 Analog / Mixed-Signal 測試（依產品而定）



量測類比 / 混合訊號特性
（依產品而定）

12 Pass / Fail 與 Bin 分類



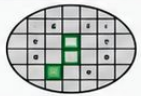
依測試結果進行
Pass / Fail 與 Bin 分類

13 Wafer Map 與 Yield Analysis



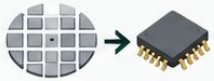
產生 Wafer Map
並進行良率分析

14 標記 Known Good Die（KGD）



在 Wafer 上標記
Known Good Die（KGD）

15 後續切割 / 封裝 / Final Test



進行切割、封裝
並進入 Final Test

CP 的核心目的

1. 在封裝前篩出 Good / Bad Die
2. 做 Bin 分類與 Known Good Die 判定
3. 提供 Wafer Map 與良率 / 製程回饋

核心設備

ATE：供電、刺激、量測、比對



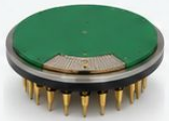
- 提供電源與訊號刺激
- 量測 DUT 反應
- 與規格進行比對
- 執行測試程式

Prober：搬運、對位、溫控、Touchdown



- Wafer 自動搬運
- 影像對位
- 溫控（Chuck）
- 控制探針下針（Touchdown）

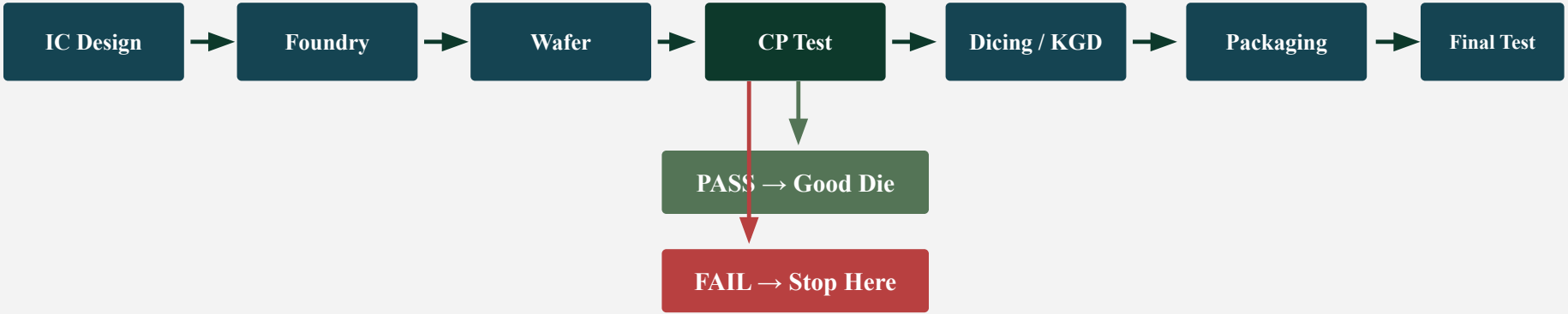
Probe Card：與 DUT 建立電性接觸



- 高密度探針
- 與 Wafer 上的 DUT 建立電性接觸
- 支援高頻 / 高速測試

CP 在整體半導體流程的位置：先把「壞　Die」擋在昂貴封裝之前

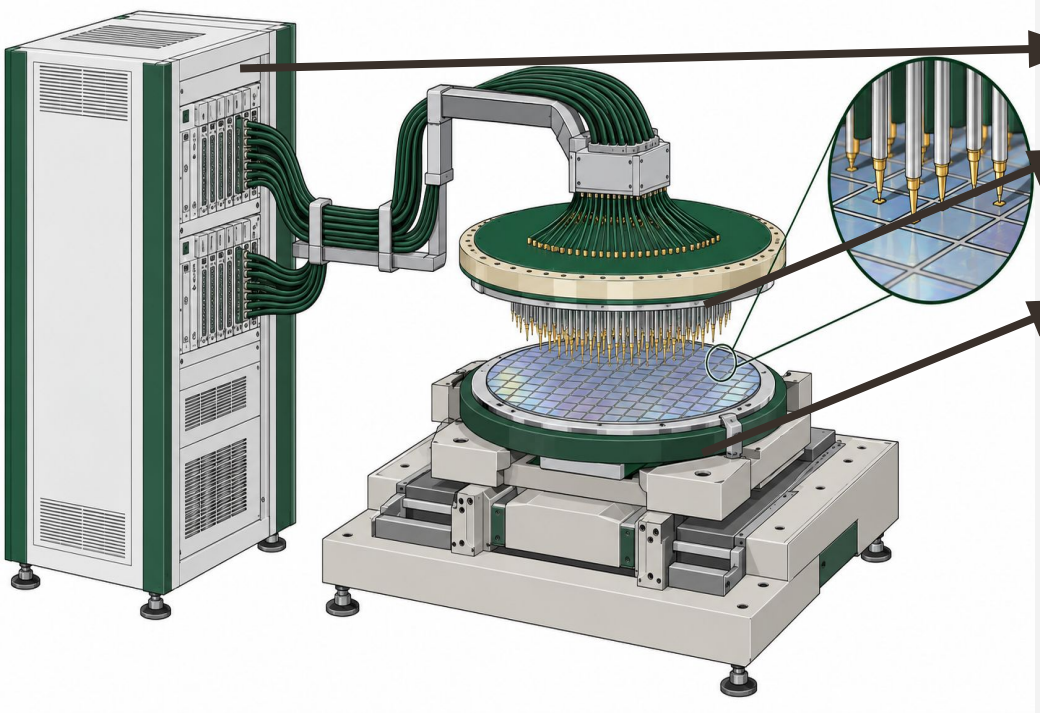
- CP 是製程與封裝之間的重要品質關卡；先進封裝（chiplet / HBM / 2.5D/3D）提高 KGD 的經濟價值。



先進封裝越貴，錯把 Bad Die 往後送的成本越高 → CP Test Quality 的價值提高

資料來源：OpenAI 整理

CP Test：ATE + Probe Card + Prober 缺一不可



ATE

幫晶片出考題、量測答案，再判定是否合格

Probe Card

探針卡是測試機與晶片之間的橋梁，負責把線路接對、讓探針接穩，並確保訊號清楚、供電穩定。

Prober

精密定位、接觸力、晶圓與卡片搬運

測試程式決定題目與合格範圍，溫控系統讓測試條件可重現。這些項目必須共同驗證，**買到各自最高規格不代表整站效率最好。**

訊號路徑通常是:

ATE 儀器模組 → 測試頭與連接介面 → 探針卡 PCB → 中介／間距轉換結構 → 探針頭與針尖 → 晶圓上的晶粒→ 回傳訊號沿介面送回 ATE 判定。

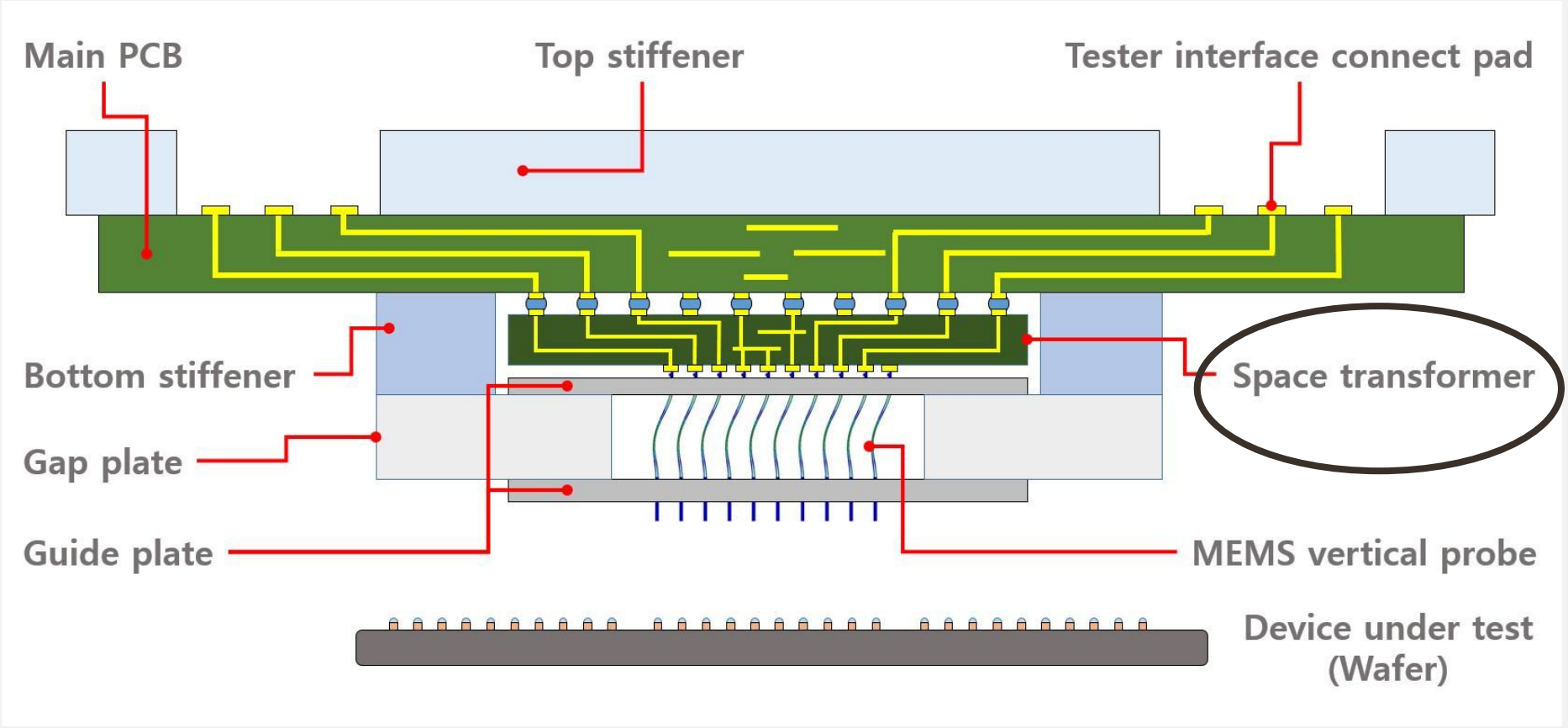
Wafer Prober - 負責把晶圓送到 Probe Card

機械定位/接觸/晶圓搬運 - 全球全自動晶圓測試探針台主要廠商包括 **東京精密 (25~28%)、東京電子 (22%)、Semics(15~20%)**、惠特科技、旺矽等，2024年全球前三大廠商營收佔比約 77.46%。

日韓廠商 v.s 台系廠商

特性 / 市場	日本巨頭 (東京精密、TEL)	台灣本土廠 (旺矽、惠特等)
主戰場	12 吋（300mm）標準晶圓廠、高階邏輯、記憶體主流大產線。	工程驗證、光電、車用、功率半導體（SiC/GaN）、矽光子。
核心優勢	超高產出率（Throughput）、極致的機械手臂自動化、與愛德萬等測試機龍頭深度綁定。	彈性客製化能力、光電整合技術、高頻/高低溫特殊環境控制、性價比。
切入策略	賣「標準化、高產量的生財工具」。	賣「解決特殊實體/物理限制的測試方案」。





ATE 儀器模組 → 測試頭與連接介面 → 探針卡 PCB → 中介／間距轉換結構 → 探針頭與針尖 → 晶圓上的晶粒 → 回傳訊號沿介面送回 ATE 判定

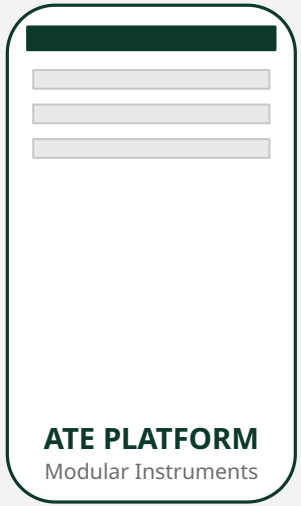
開案到上機的流程

步驟	實際在做什麼	機台與零組件	價值與瓶頸
1 測試**規劃**	定義測項、電壓、溫度、時間與合格範圍	設計資料、ATE 開發軟體、工程工作站	避免漏測；**測項太多則降低產能**
2 **測試介面**開發	依晶粒接點和測試機配置**設計探針卡**	PCB、間距轉換基板、探針頭、模擬與驗證工具	新設計帶來新案；卡片交付與驗證影響量產時程
3 程式與機台**驗證**	確認不同機台的結果一致，建立基準	ATE、Prober、校正治具、參考樣品	程式移植及相關性驗證需要工程時間
4 晶圓收料	確認晶圓 ID、批號、站點與作業版本	晶圓盒／FOUP、讀碼器、MES 生產系統	避免混批與用錯版本；不是只搬晶圓
5 上片與預定位	從晶圓盒取片，辨識缺口與方向	裝載口、機械手臂、預對位器	搬運速度、破片與污染控制
6 固定與**控溫**	以吸盤固定晶圓，等待條件穩定	Chuck 載台、真空、冷熱系統、溫度感測器	**穩溫時間與晶圓平整度影響效率**
7 對位與接觸確認	對準接點、設定高度與接觸力，檢查針痕	精密平台、相機、光學系統、探針卡	**接點越密越難；接觸不良會造成假性失敗**

從電性測試到完成 CP測試的流程

步驟	實際在做什麼	對應設備與介面	價值與瓶頸
8 接觸與短路檢查	檢查連通狀態，避免錯誤供電；依程式安排	ATE 量測資源、探針卡	先識別接觸異常，減少誤判
9 上電與基本電性	依指定順序供電，檢查漏電與電流	DPS 電源、PMU 量測、電源探針	大電流、低雜訊與穩定接觸
10 功能測試	輸入測試訊號，檢查晶片是否回應正確	Digital 數位通道、程式、探針卡	資料量與測試時間；也可能測內建 SRAM
11 性能與專用測項	檢查速度、類比精度、RF 或其他特性	高速／類比／RF 儀器及專用介面	模組規格昂貴；不同晶片測項不同
12 移動至下一位置	一次測一顆或多顆，完成後移動並重新接觸	Prober 平台、探針卡	同測數受通道、功率與接觸能力限制
13 清潔與異常處置	依接觸次數或異常規則清針；必要時暫停	清潔片、清潔墊、檢查工具、維修備品	停機、針尖磨耗；過度清潔也會縮短壽命
14 重測與不同溫度	按批准規則重測或跑另一溫度站	原測試站、溫控、資料分析	增加工時；不能以反覆重測掩蓋真實缺陷
15 分級與放行	彙整良率、晶粒等級與位置，供後段挑粒	Wafer Map、測試資料、MES	資料對錯直接影響後續挑粒與封裝成本

ATE 內部不是一個量測器：DPS、Digital Channel、PMU 各司其職



DPS	供應電源	給晶片 1.8V，讓它開始工作
Digital Ch.	送出測試訊號	輸入一組數位訊號，要求晶片執行指定功能
PMU	量測電流、電壓與反應時間	檢查答案是否正確、耗電是否過高、速度是否達標
判定與分類		將量測結果與規格比較，記錄合格、不合格或性能等級 - 功能正常但速度不同，可**依測試結果分級**

ATE 是晶片測試的核心設備，透過供電、輸入測試訊號及量測晶片反應，確認晶片的功能、耗電與速度是否符合規格，並完成結果判定與分類。

資料來源：Advantest V93000、Teradyne UltraFLEXplus

主要設備跟價 值

項目及採購單位	粗估美元區間	為何值錢及價格變因
類比／MCU／PMIC ATE 每套已配置系統	20 萬～100 萬	精度、同測能力、儀器數；簡易與特殊設備可超出區間
中高階 SoC ATE 每套已配置系統	100 萬～300 萬	高速通道、測試資料容量、供電與軟體平台
高配置 AI／HPC ATE 每套已配置系統	300 萬～800 萬以上	大量高速與電源資源；不是所有AI 晶片都需最高配置
200 mm 自動 Prober 每台	15 萬～40 萬	搬運、對位、接觸、溫度範圍與新舊世代
300 mm 自動 Prober 每台	30 萬～80 萬	精密定位、接觸力、晶圓與卡片搬運、自動化選配
高階溫控／接觸Prober 每台整機	80 萬～150 萬以上	高功耗、多溫、高接觸力等特殊配置；不可再加一般Prober
獨立冷熱控制增配 每套	3 萬～20 萬以上	熱負載、穩溫速度、冷卻介質；先核對整機是否已含
獨立探針卡清潔／檢查設備 每台	5 萬～30 萬以上	自動化與檢測能力差異大；清潔機與量測機應分別詢價
探針卡製造自動化 每台或整線	未提供可比單價	植針、組裝、調整、檢查站的組合不同；整線須逐站詢價

ATE 與 Prober 的內部零組件

零組件	工作與商業價值	單價口徑及供應位置
Test Head 測試頭	容納／連接量測資源，縮短到晶片的電氣路徑	通常隨 ATE 配置；獨立價格未公開，向原廠詢價
Digital Channel 數位模組	送出 0／1 訊號並比較回應，測功能與速度	按板卡與通道配置；未公開。ATE 原廠主導
DPS 電源模組	供電、量電流，應付瞬間電流變化	按通道、電流與精度；未公開。通常包含於ATE
PMU 參數量測單元	精確量測電壓／電流，檢查漏電與接點狀態	可能整合在通道板，未必是獨立採購品
類比及 RF 模組	量測類比精度與射頻特性	按頻寬、頻段、精度詢價；不應以一般數位卡估
主控電腦與測試軟體	執行程式、收集資料、管理儀器	可能隨機或另收授權、維護費；按合約拆分
Manipulator 與 Docking	移動、固定測試頭，維持重複接合精度	套件假設 1 萬～10 萬美元；含入整站與否須查
Load Port／手臂／預對位器	接收晶圓盒，取片並找出方向	通常已含 Prober；整機廠選用自製或外購模組
XY 與 Z 精密平台	平面定位、上下接觸及壓力控制	通常已含 Prober；受馬達、尺規、結構與控制影響
Chuck 與真空系統	吸附、支撐晶圓，提供熱交換路徑	通常已含；替換熱載台假設2 萬～15 萬美元
相機／光學／針痕檢查	對準接點、檢查接觸結果	基本相機通常已含;AOI 選配須另詢價
感測器／管路／閥／過濾器	控溫、供氣、真空、清潔度與安全連鎖	維修料號眾多，按料號詢價；無單一代表價

Digital Pin

Pin Scale 1600B
128 pins at 1.6Gbps
224MB per pin memory
1mV accuracy



Pin Scale 9G
64 pins at >8Gbps
Parallel/Serial interfaces
PHY test



Multilane
Up to 32 lanes
112Gbps PAM4
35GHz bandwidth scope



Link Scale
SW-based functional test
System-like test
USB / PCIe SCAN test



Pin Scale 5000
256 pins at 5000Mbps
448MB per pin memory
Advanced Universal pin



Pin Scale Multilevel Serial
16 lanes
32Gbps NRZ & 32GBd PAM4
Converter & PHY test



Link Scale Rev B
PCIe Gen4 x86 COM
128 GB RAM



Multilane HSIO Ext.
Up to 48 lanes
224Gbps BERT
70 GHz BW Scope



Power & Analog

DC Scale DPS128 / 64
General purpose DPS



DC Scale UHC4T
High-current DPS



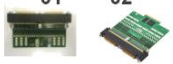
DC Scale AVI64
Universal analog VI



DC Scale FVI16
Floating high power VI



Power MUX
"Sea of switches"
01 02



DC Scale XPS256
256x 1A, unlimited ganging



DC Scale XPS128
128x 1A, unlimited ganging



DC Scale XPS128+HV
Extended voltage range



DC Scale XHC32
32ch x 20A (640A)
Unlimited ganging



Mixed Signal & RF



Wave Scale MX
Up to 16 AWG / DGT
Up to 64 PMUs
High-speed / High-resolution



Wave Scale RF 6/8
4 independent RF subsystems
6/8GHz, up to 32 RF ports
200MHz bandwidth



Wave Scale RF18
5.85GHz to 18GHz
Up to 2 GHz bandwidth



Wave Scale Millimeter
24GHz to 53GHz, 57GHz to 70GHz
Up to 2GHz bandwidth
Conductive and OTA test



Wave Scale RF20ex
8 independent RF subsystems
20GHz, up to 64 RF ports
>2GHz bandwidth

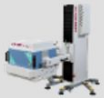
Test Heads

Direct-Probe™

Same DUT Interface



V93000-EX
3 slots



V93000-CX
9 slots



V93000-SX
18 slots

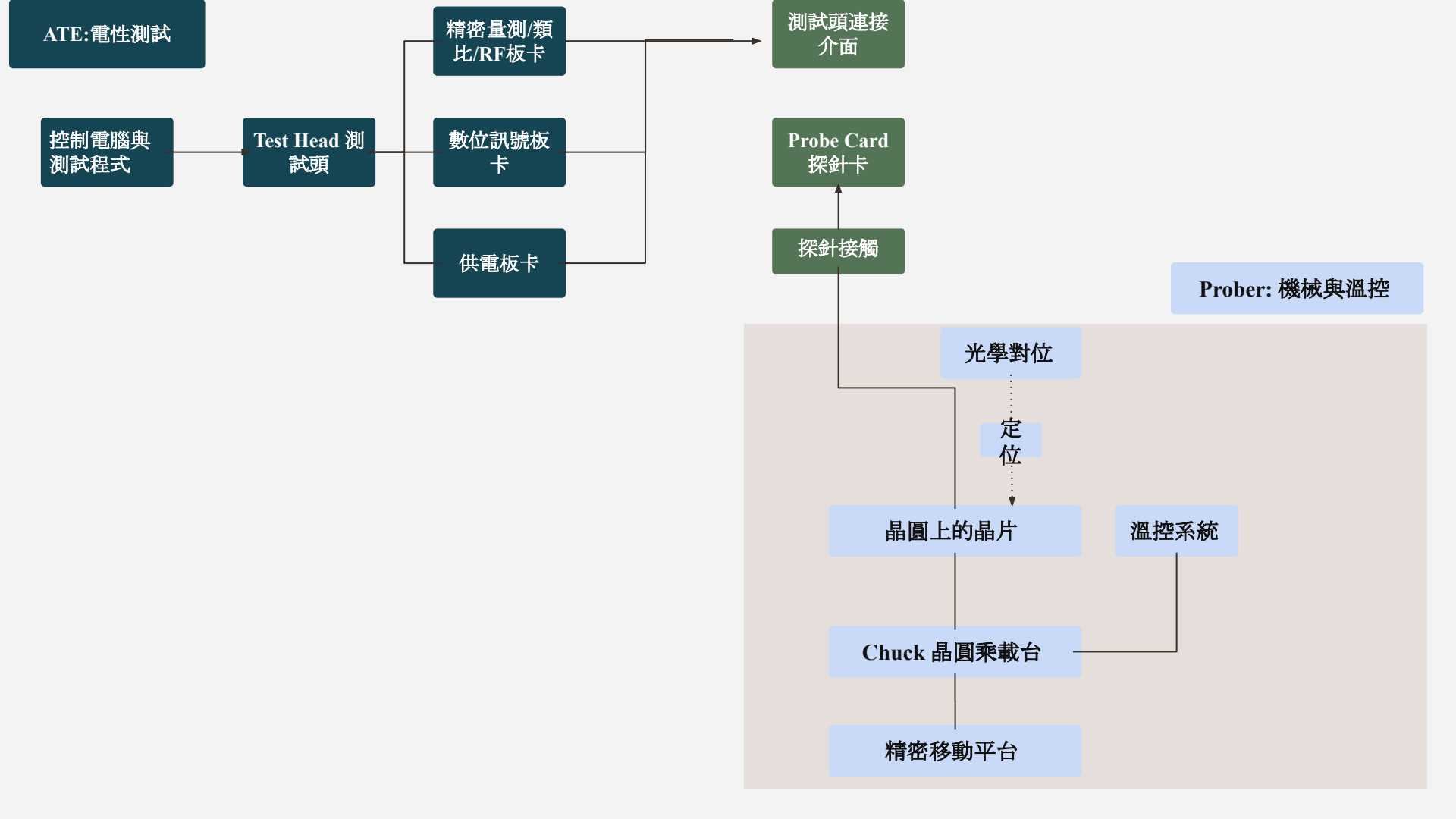


V93000-LX
27 slots



DUT Scale Duo

SmarTest + Libraries + Test Programs + InstaPin™ Licensing

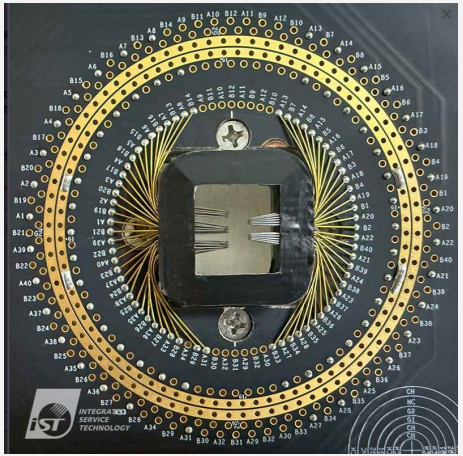

ATE:電性測試
精密量測/類比/RF板卡
測試頭連接介面
控制電腦與測試程式
Test Head 測試頭
數位訊號板卡
Probe Card 探針卡
供電板卡
探針接觸
Prober: 機械與溫控
光學對位
定位
晶圓上的晶片
溫控系統
Chuck 晶圓乘載台
精密移動平台

Probe 技術樹：Cantilever、Vertical、MEMS 不是單純「低階 → 高階」

Cantilever

接點主要分布在晶片周圍；部分類比、電源管理、驅動 IC

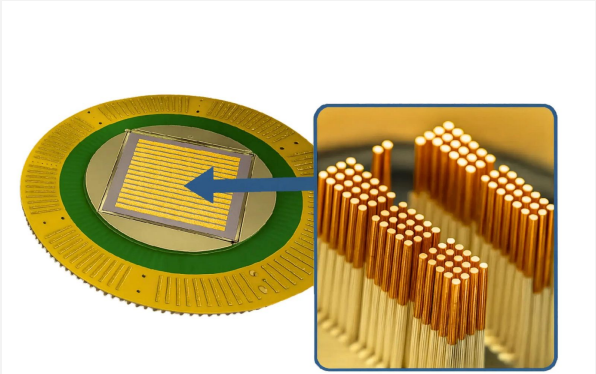
技術成熟，部分配置較容易維修，成本通常較有優勢



Vertical

接點分布在晶片整個表面的陣列式設計；CPU、GPU、SoC 等

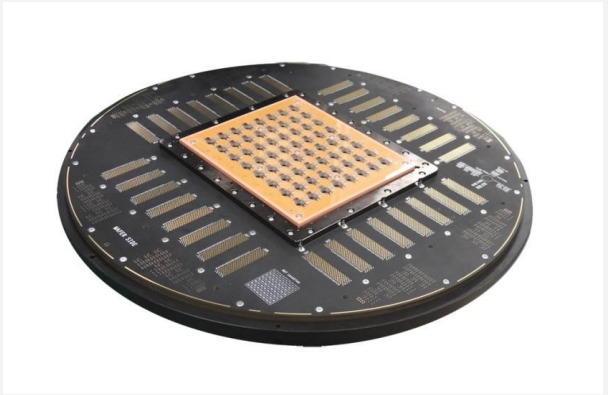
有利於高接點數與面陣列配置



MEMS-based

MEMS 不單純是在描述「針朝哪個方向」，而是在講 Probe 的**微製造技術**

探針形狀與尺寸可精密設計，有利於微型化



資料來源：FormFactor、MJC、MPI、宜特

探針卡與耗材的價格拆解

探針卡是依晶片接點位置、針數與測試需求客製的介面。相同晶片可需要多張量產卡及備卡；換晶片版圖或測試配置可能需要新卡。它有磨耗與維修需求，但不是每測一片晶圓就消耗一張。

採購項目	美元規劃假設	價值及成本敏感因子
一般懸臂式整卡／張	3 千～3 萬	較低針數或成熟應用；高同測數與特殊設計可更貴
垂直式／MEMS 整卡／張	3 萬～30 萬	針數、接點間距、同測數、電流及頻寬
高階 AI／HPC 整卡／張	30 萬～100 萬以上	高密度、大電流、熱穩定及訊號品質；高度客製
探針卡 PCB 裸板／片	1 千～2 萬以上	層數、材料、尺寸、線路密度與製造良率；不含整卡
組裝後電路板／片	5 千～5 萬以上	含零件焊接與驗證；仍不等於完整探針卡
間距轉換基板／組	5 千～10 萬以上	把較疏 PCB 線路接到密集針陣；陶瓷／有機等工法不同
Probe Head 探針頭／組	未提供可靠獨立區間	包括探針陣列及結構；常是核心價值，但依卡型差異大
單支探針／材料包	按規格及包裝詢價	不能用整卡售價除針數當探針報價，整卡含設計和驗證
強化框／導板／連接件	按圖面與套件詢價	平整度、熱變形、絕緣與接觸壽命
清潔片／清潔墊／片	100～2 千	材質、尺寸與用途差異大；需看可用清潔次數
局部維修／次	500～2 萬以上	清潔、整針、換針與重新驗證；大量損傷可能高得多

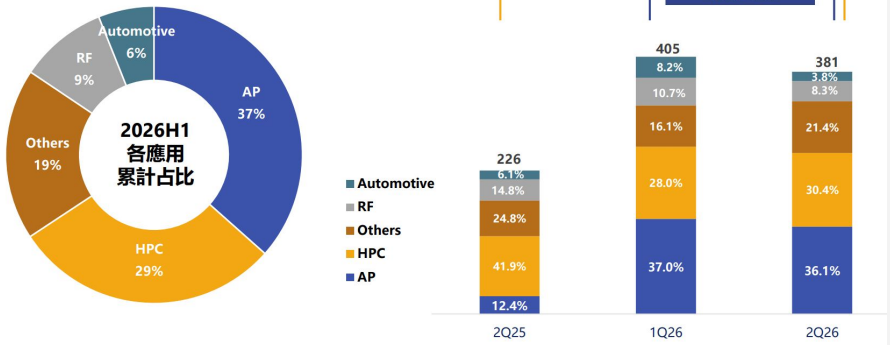
供應鏈與競爭位置

環節	代表公司	上游客戶關係與競爭重點
ATE	Advantest、Teradyne；另有 Cohu、Chroma 等分眾平台	下游客戶為 IDM、測試廠等；比儀器能力、程式生態、同測效率與服務
量產 Prober	Tokyo Electron、Accretech 東京精密	供應測試廠、IDM／晶圓廠；精密接觸與量產穩定性是關鍵
工程／特殊探測系統	FormFactor、MPI 旺矽	研發、高頻、功率等應用；不能直接把工程機市占當量產 Prober 市占
完整探針卡	Technoprobe、FormFactor、MPI 旺矽、中華精測等	上游為探針、基板、PCB 與材料；下游有設計公司、IDM、晶圓／測試廠
探針卡 PCB 與介面整合	中華精測、雍智；FICT 為高階板件相關供應商	設計、裸板製造、組裝與整卡是不同交易層；不可混算營收
探針卡製造設備	創新服務；亦存在客戶自製設備及其他自動化商	直接需求來自製卡廠擴產、升級及維修流程自動化
清潔與工程服務	漢測及其他專業供應商	對應測試／製卡現場；看自有產品、代理與服務的營收結構
CP 委外測試服務	京元電子、欣銓、日月光等	接收晶圓與客戶測試規格，提供產能、工程及品質管理

精測（6510）｜AI／HPC 高階測試介面供應商

各應用 探針卡營收比重

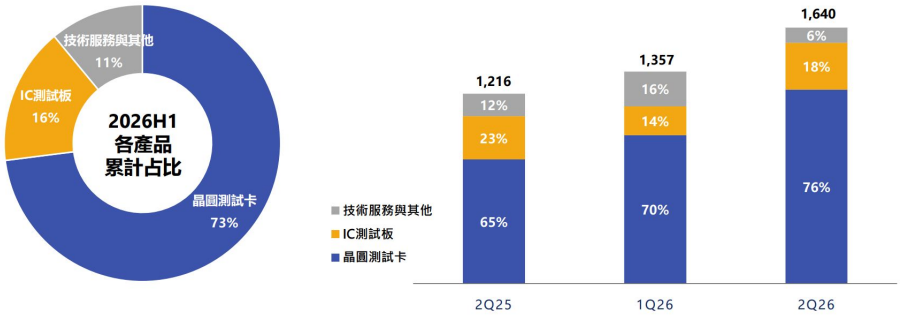
新台幣佰萬元



指標	2025 Q2	2026 Q1	**2026 Q2**
營收	12.16 億	13.57 億	**16.40 億**
毛利率	55.8%	56.8%	**57.5%**
歸屬母公司淨利	2.16 億	3.42 億	**4.94 億**
EPS	6.57 元	10.43 元	**15.02 元**

各產品 營收比重

新台幣佰萬元



精測(6510)月營收明細

單位：仟

年/月	營收	月增率	去年同期	年增率	累計營收	年增率
2026/08	638,311	3.86%	413,758	54.27%	4,249,901	33.14
2026/07	614,606	7.09%	410,084	49.87%	3,611,590	30.00
2026/06	573,909	5.79%	409,375	40.19%	2,996,984	26.56
2026/05	542,510	3.69%	404,580	34.09%	2,423,075	23.71
2026/04	523,179	7.33%	401,780	30.22%	1,880,565	21.00
2026/03	487,462	17.24%	388,372	25.51%	1,357,386	17.79
2026/02	415,798	-8.44%	383,269	8.49%	869,924	13.86
2026/01	454,126	16.21%	380,733	19.28%	454,126	19.28
2025/12	390,779	-1.96%	450,696	-13.29%	4,806,013	33.33
2025/11	398,592	-1.95%	452,682	-11.95%	4,415,234	39.99
2025/10	406,499	-2.80%	385,870	5.35%	4,016,642	48.69
2025/09	418,192	1.07%	317,289	31.80%	3,610,143	55.92
2025/08	413,758	0.90%	302,038	36.99%	3,191,951	59.75
2025/07	410,084	0.17%	297,629	37.78%	2,778,193	63.80

精測（6510）

中華精測的重點是測試介面與垂直整合：從 PCB、基板及探針相關結構，到設計、製造、組裝、驗證與售後服務。它不是 ATE 原廠，也不是收取晶圓測試工時的測試代工廠。

產品位置	在 CP 站的價值	計價方式
Probe PCB 探針卡電路板	承載訊號與電源路徑，連接測試機與探針結構	裸板、組裝板或整卡必須分開比較
中介與間距轉換基板	把 PCB 的較大間距轉接至密集的探針陣列	MLO／薄膜等結構按設計詢價；不是一般封裝載板
Probe Head 探針頭	讓多支探針穩定接觸晶粒接點	探針頭不等於整卡；針數、電流、間距影響價值
完整探針卡與服務	把電路、接觸、結構及驗證整合成可量產的介面	整卡價包含多個組件；不可加總重複計價

自製整合如何創造價 值

All in House 服務強調整合設計、製造、組裝及售後。商業上的潛在好處是減少跨廠溝通、縮短修改與問題定位時間，並對訊號、供電和機構一起優化。這並不代表所有原料與每顆電子零件都自製，也不能直接推定每一張卡的自製率相同。

自主整合有代價：設備折舊、研發與人員投入較重；若新 產品良率或產能利用率不足，單價提高也可能無法轉成毛利。真正的觀察點是量 產驗證、一次合格率、返修成本與有效交期，而不只是 產品宣稱。

一條完整 Signal Chain：ATE 給 → DUT 算 → ATE 收 → ATE 比



Digital 1/0 在物理世界其實是「電壓波形 + timing」；Probe Card 不是產生訊號，而是把訊號傳給 Probe / DUT

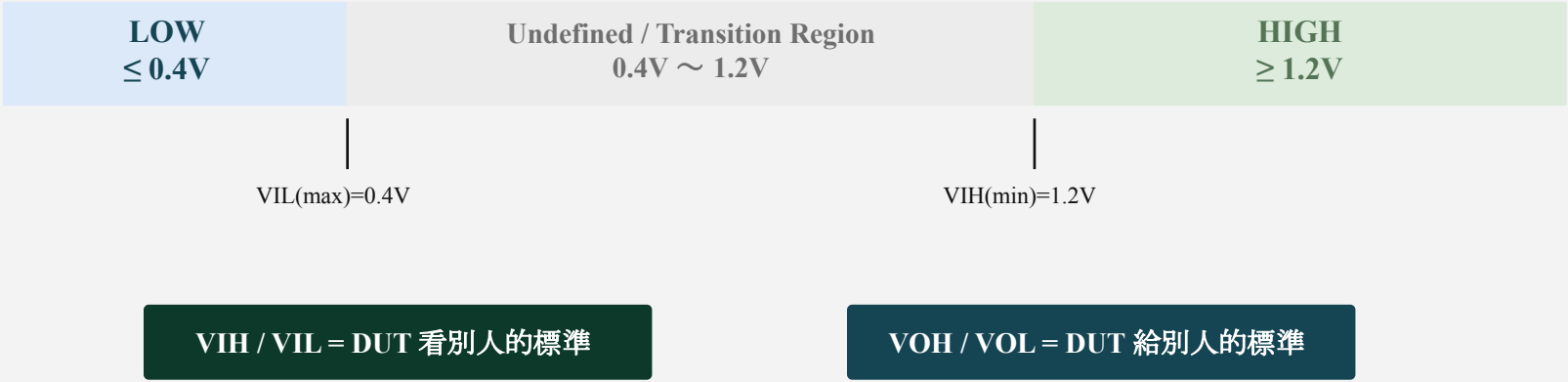
Stimulus

Response

Expected vs Actual

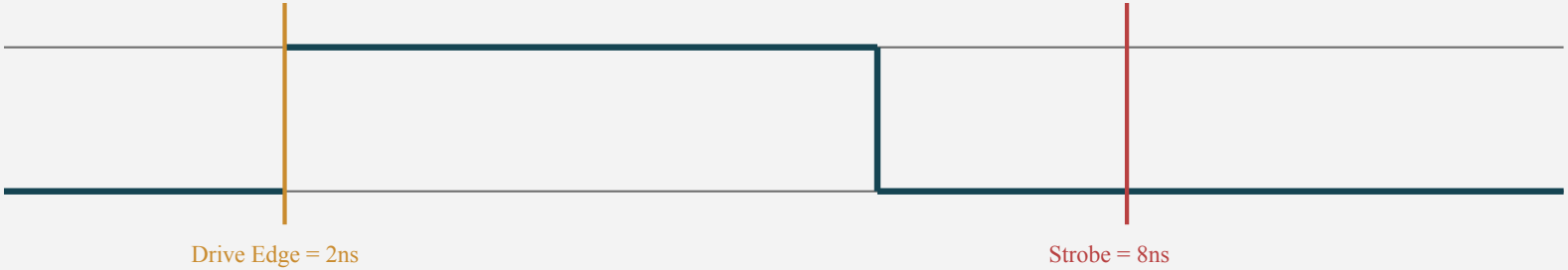
Digital Pin：0/1 不是抽象概念，而是被 VIH / VIL / VOH / VOL 定義的電壓區間

- Input：VIL(max) 以下保證 LOW；VIH(min) 以上保證 HIGH；中間區域不保證。
- Output：VOL(max) / VOH(min) 是 DUT 對外輸出 LOW/HIGH 時必須達到的規格。



Timing：Voltage 對了仍可能 FAIL，因為 ATE 也在管「何時送、何時看」

100 MHz → 1 cycle = 10 ns；Drive Edge 定義 ATE 何時改變輸入，Strobe 定義何時判斷 DUT Output



Setup = Clock 前要先穩定

Hold = Clock 後還要保持

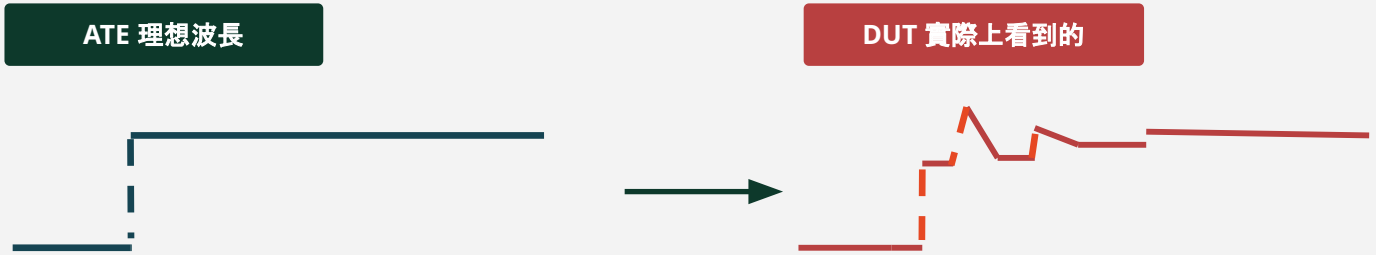
Jitter = 自己每次不準時

Skew

Skew = 不同 pins / channels 沒有一起到

Signal Integrity：ATE 送對 ≠ DUT 收到一模一樣的波形

高速後 PCB trace / Probe / Connector 都是 transmission path；阻抗不連續會造成 Reflection、Ringing、Overshoot

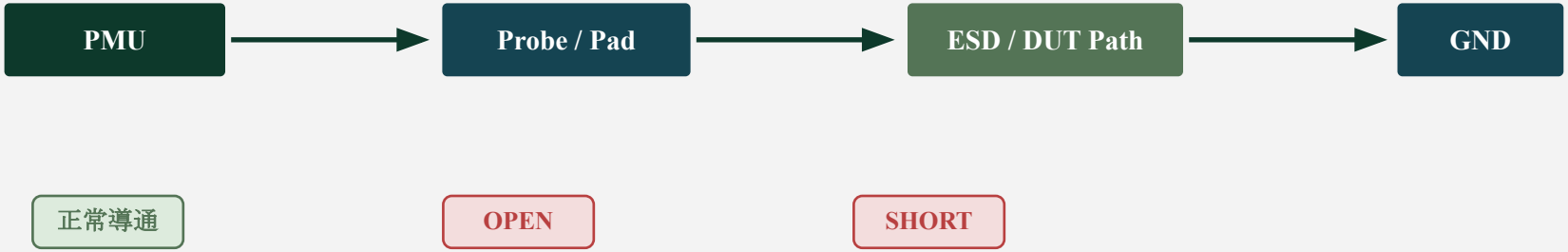


Impedance	Reflection	Crosstalk	Loss / Delay

高速 / 高 pin-count 下，Probe Card 的價值從「接通」升級成「維持 measurement fidelity」

Continuity / Open / Short：先確認測試路徑可信，再做昂貴的 Functional / Scan

- 典型方法：PMU Force 小電流、Measure Voltage；利用 DUT I/O protection path 判斷 contact / open / short。



Open/Short 是 observed electrical symptom，不等於 root cause；可能來自 Silicon、Probe、Prober、ATE、Program。

便宜 / 快速 Test 放前面 → Gross Fail 早點 Early Exit → 節省 Tester Time

Leakage、IDD、IDDQ：功能正常，不代表電氣特性一定合格

Pin Leakage：PMU 常用 Force Voltage → Measure Current；Whole-device supply current 則更多由 DPS 供電並量測。



Limit = 1μA；5μA > 1μA → FAIL。不要把 Force / Measure / Limit 混在一起。



IDDQ = Quiescent supply current；可用來觀察靜態狀態下是否存在不正常導通路徑。

Digital Functional Test：Vector 是一個 Cycle，Pattern 是很多 Vector 串起來

- 同一個 pin 不只有 0 / 1：還可能是 Drive 0/1、Expect 0/1、High-Z、Mask（Don’t Care）。

Cycle	A	B	Expected Y
1	0	0	0
2	0	1	0
3	1	0	0
4	1	1	1

High-Z

ATE 停止 Drive，避免與 DUT 同時驅動同一 I/O pin 造成 contention。

Mask / X

該 cycle 不拿此 pin 做 Pass/Fail Compare；常用在尚未穩定或本來就 undefined 的輸出。

Functional Pattern：驗證「產品功能會不會工作」

Scan Chain：把原本看不到的 內部 Flip-Flop 變成可控制、可觀察

Scan 的核心價值 = Controllability + Observability；不是功能測試，而是 DFT structural test 的基礎。



1 | Shift In	2 | Capture	3 | Shift Out	4 | Compare

Scan Enable = 1 → Shift mode；Scan Enable = 0 → Normal / Capture mode（概念化理解）

ATPG + Fault Model：電腦自動 產生「最能抓到特定結構缺陷」的 Pattern

Stuck-at-0/1

某個 internal node 永遠卡住 0 或 1。

Transition

Slow-to-Rise / Slow-to-Fall；最後會到正確 值，但太慢。

Bridging

兩條原本不該相連的 node 形成 bridge / short。

Fault Coverage ≠ 真實 Defect Coverage

98%

例：1,000,000 個 modeled faults 中 detect 980,000 → 98% fault coverage。

Pattern ↑ → Test Time ↑ → Cost of Test ↑

DFT 的真正優化：在 Coverage / Quality / Test Time 之間找最佳點。

At-Speed、Speed Bin、Shmoo：CP 不只分 Good/Bad，也能決定「這顆能賣多貴」

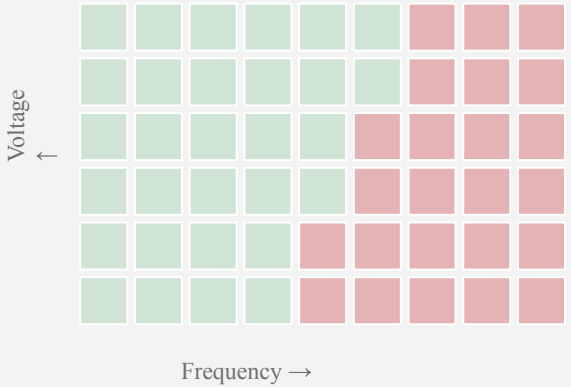
• Frequency ↑ → Cycle Time ↓ → Timing Margin ↓；At-Speed Test 用接近實際速度的條件抓 Timing-related defect。

Speed Bin Example

2.5GHz	PASS
3.0GHz	PASS
3.2GHz	FAIL

→ Speed capability 落在 3.0～3.2GHz 區間，可被分到不同 SKU。

Shmoo：Voltage × Frequency



Test Accuracy → Revenue / Wafer

若 Test System uncertainty 太大，Good Die 可能被 wrong down-bin → High-bin Yield ↓ → ASP / wafer ↓。

這是為什麼 Timing Accuracy / SI / Thermal Stability 最終都會變成「錢」。

Analog / Mixed-Signal：真正難的是「又準又快」，而不是只會量　0/1

ADC	**Analog → Digital**	INL / DNL / Conversion	**DAC**	**Digital → Analog**	Output accuracy / linearity
PLL	**Clock / Frequency**	Lock / Jitter / Duty	**LDO / Bandgap**	**Power / Reference**	Vout / IQ / Regulation

Set → Wait Settling → Measure → **Average / Noise Reduction** → **Test Time ↑**

Analog Test 的常見 bottleneck：Accuracy × Noise × Settling × Test Time。

Multi-Site / 平行測試:探針卡貴很多, 也可能讓 Cost per Die 更低

Multi-Site 的概念是一次 touchdown 同時測多顆 DUT

1-site	4-site	16-site	64-site
理論 UPH	理論 UPH	理論 UPH	理論 UPH
3,600	14,400	57,600	230,400

上表假設單顆 electrical test 1 秒、100% parallel efficiency;實際會被 index / shared resources / fail handling 拉低。

Card ASP ↑ → UPH ↑ / Tester Time ↓ → 每測一顆 Die成本下降

UPH = Unit Per Hour
每小時可以測多少 DUT / DIE / IC
在 CP 測試裡, 它是一個很重要的 throughput(產能效率)指標。

例如如果一個 test cycle 平均 1 秒, 而且是 single-site: UPH = 3600 秒 / 1 秒 = 3600
所以: 每小時大約測 3600 顆　如果是 4-site, 也就是一次同時測 4 顆, 而且其他條件都一樣:UPH=3600×4=14,400

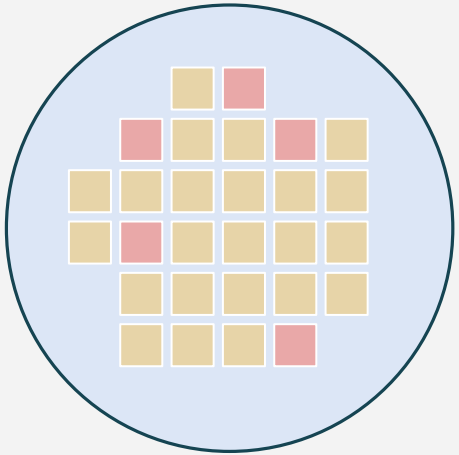
但實際上還要扣掉:Prober 移動時間、Touchdown、Alignment、Retest、Probe cleaning、Thermal stabilization、Tester overhead, 所以UPH通常比理論值還要低

Bin、Wafer Map、Yield：同樣 90% Yield，Failure Pattern 可以完全不同

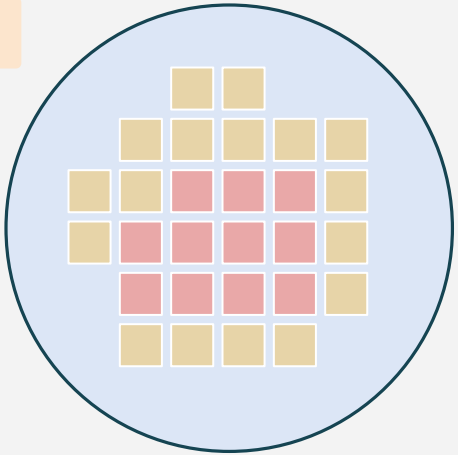
Soft Bin 較細的 failure category，例如 Leakage / Scan / PLL。

Hard Bin 最後的大分類：Good / Reject / Retest。

Yield % 一樣，錯誤原因不一樣



Random / scattered fail



Center / cluster fail

Yield Debug 要切 Wafer / Lot / Site / Pin / Test Item / Time / Tester / Card / Temperature。

Correlation / GR&R：同一顆 DUT 換 Tester、Probe Card、Site，結果還能不能一致？

Repeatability 同一套 setup 重複測，結果穩不穩。

Reproducibility 換 tester / site / setup 後，結果能不能重現。

Correlation 不同 measurement setup 對同一 DUT 的結果是否一致。

GR&R Measurement system 本身貢獻了多少 variation。

Golden Unit / Wafer

用 reference device 監控 tester / card / channel 是否 drift。

Production Confidence

Correlation 好 → Retest ↓ / Debug ↓ / Qualification ↓ / Time-to-Yield ↓。

Spec、Test Limit、Guardband、Cpk：測試邊界其實是 Yield 與 Quality 的商業決策

- Product Spec ≠ Test Limit；Measurement uncertainty 越低，Test Limit 越能貼近真實 Spec，Guardband 就能縮小。



太嚴 → Overkill / Yield ↓

最佳區 → Quality + Yield

太鬆 → Escape / RMA ↑

Cpk：看 Process Distribution 距離 Spec 還有多少 Margin

AI/HPC Power Delivery：低電壓、高電流讓「幾 mΩ」都可能變成大問題

• 核心公式：P = V × I、Vdrop = I × R、Ploss = I²R；Current 越高，CRES(Contact Resistance) / PDN / Power Probe 越關鍵。



Remote Sense

量 DUT 端實際 Voltage，補償路徑 IR Drop。

Decoupling / PDN

改善瞬態 load 的 Voltage Droop。

Low CRES

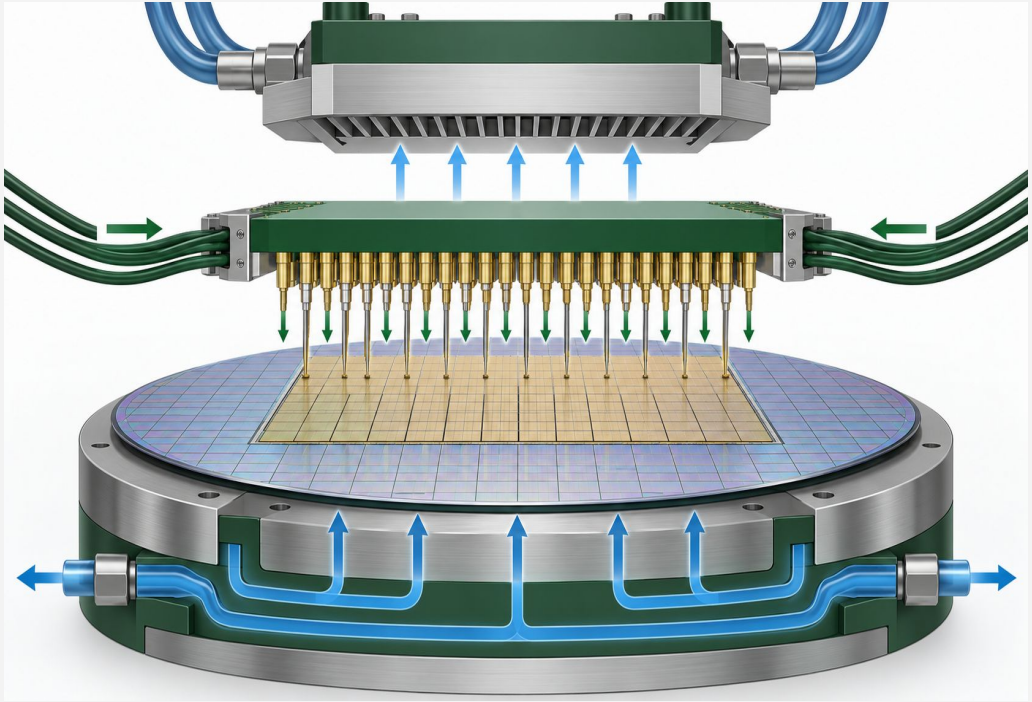
降低 Vdrop 與 I²R heating。

Power Integrity

動態電流下 VDD 仍要穩。

Power Delivery 不穩 → Good Silicon 也可能 At-Speed Fail / Down-bin。

Thermal：AI/HPC 讓溫控從「輔助功能」變成可能的 Test Bottleneck



晶片在運作、切換、吃電流會自己 產生熱，導致自己溫度上升（self-heating）會改變什麼？

溫控不夠好，測試條件就會漂移，進而造成：

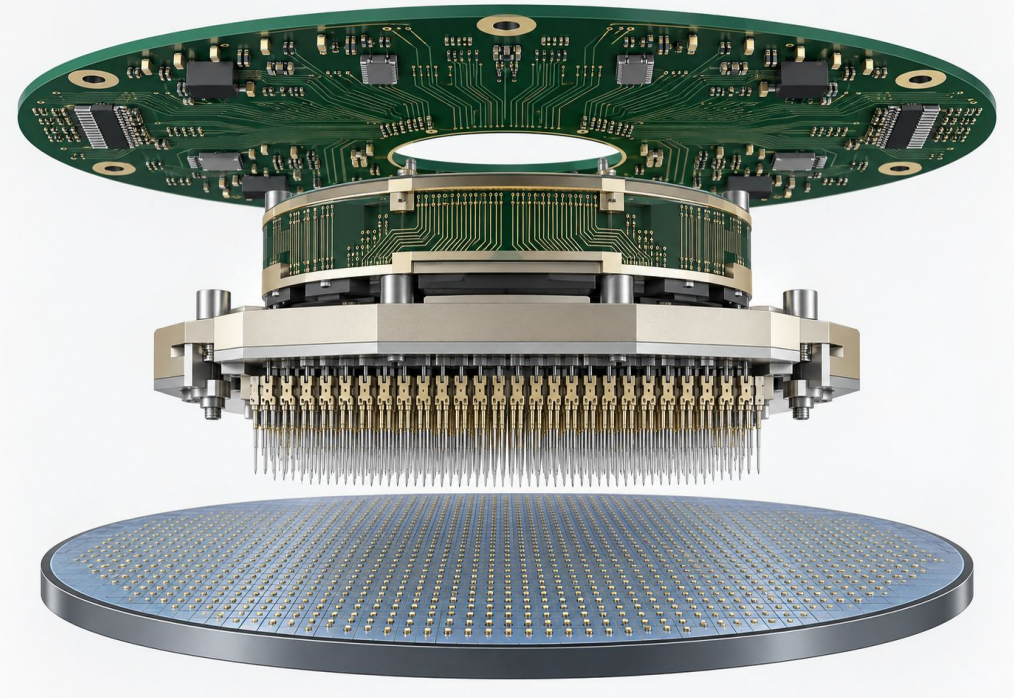
- 漏電可能性增加
- Timing / Fmax 改變
- Voltage Margin 改變
- Bin Accuracy 改變
- Correlation 變差

Chuck + Top-side /主動溫控系統

2026：TEL 推 Prexa SDP，並與 Teradyne UltraFLEXplus 整合支援高熱 AI / data-center KGD screening。

資料來源：Tokyo Electron Prexa SDP、Teradyne × TEL 2026

Probe Card Anatomy：它不是「一張 PCB + 幾根針」，而是一套精密電氣 /機械介面



PCB / Main Board	大量 Signal / Power routing
Space Transformer	大 pitch → fine pitch
Probe Head	固定 / 排列 / planarity
Probe	真正 contact DUT pad / bump

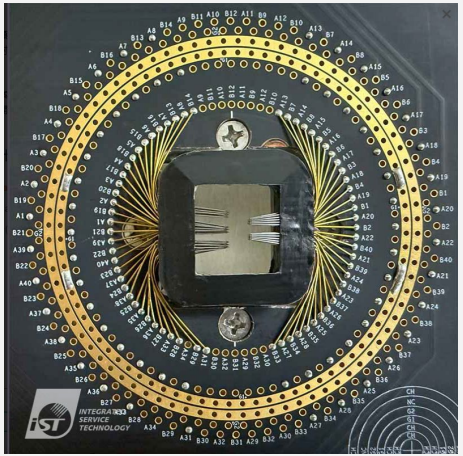
分析 Probe Card 公司時一定要問：哪一層是自製？哪一層掌握 IP？哪一層外購？

資料來源：FormFactor、MPI、KSMT

Probe 技術樹：Cantilever、Vertical、MEMS 不是單純「低階 → 高階」

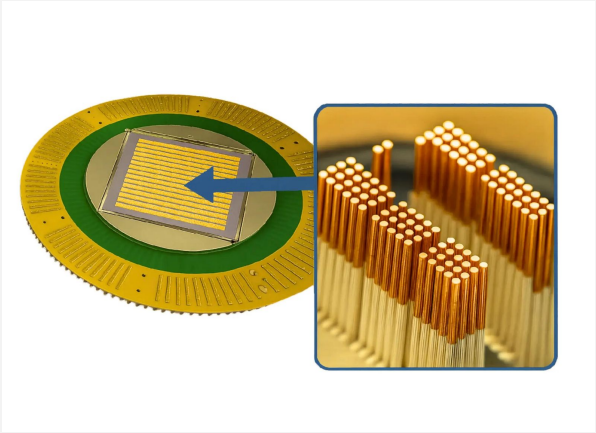
Cantilever

成熟、Peripheral Pad、較低 pin-count



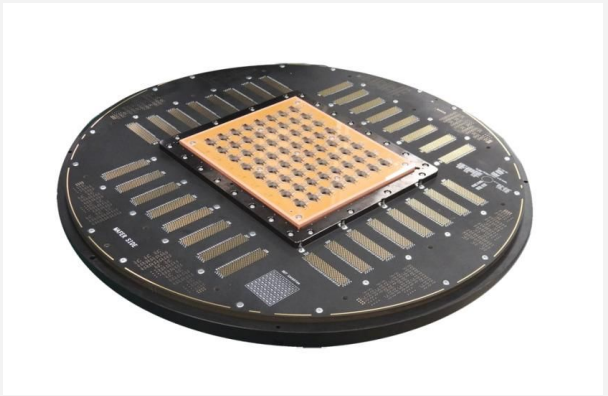
Vertical

Area Array、Flip-chip、High Pin-count

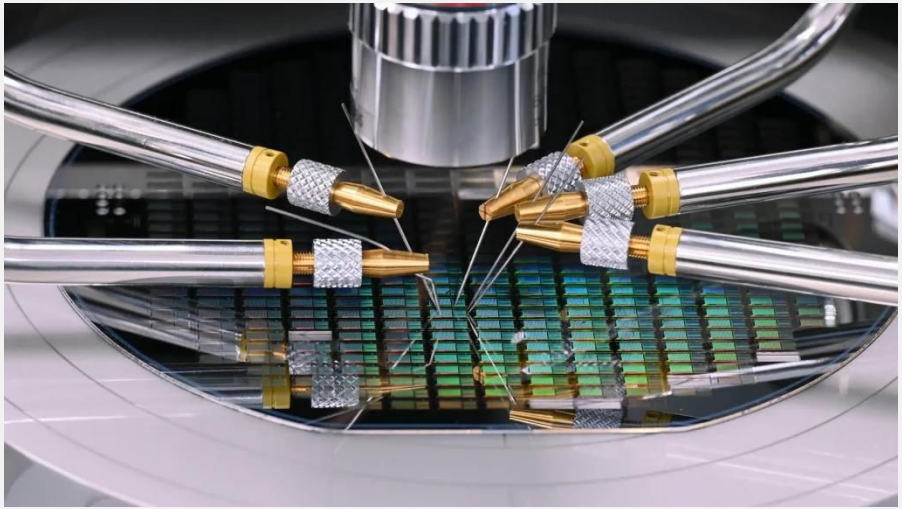


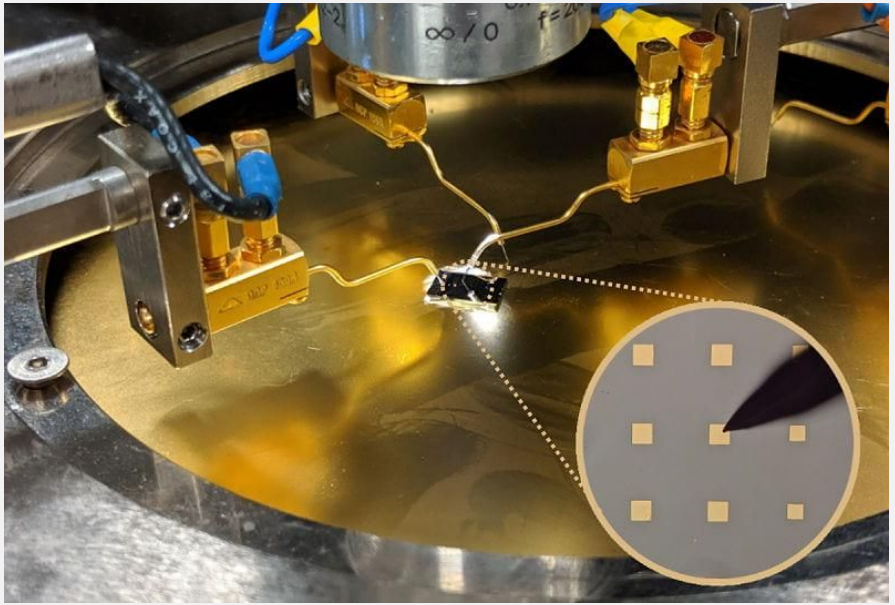
MEMS-based

MEMS 不單純是在描述「針朝哪個方向」，而是在講 Probe 的**微製造技術**



資料來源：FormFactor、MJC、MPI、宜特





Probe Card：真正的護城河是「系統級整合」，而不是只會做探針卡

Probe IP	Fine-pitch Manufacturing	Space Transformer	SI / PI
Contact Physics	Lifetime / Repair	Qualification	Field Support

可以被取代嗎？

可以，但對客戶來說重新驗證的成本高：CRES / probe mark / SI / thermal / yield correlation / cleaning / repair 都要重做。

商業模式

新產品導入 + 量產需求 + 探針磨耗／清潔維護 + 維修／更換 → 形成**持續性、類耗材型收入**。

為什麼龍頭更容易贏？

產品設計導入 → 客戶認證 → 進入量產 → 累積實際生產數據與製程經驗 → 下一代產品更容易**再次獲得訂單** → 形成**市占率正向循環**。

重要：探針卡是一種針對特定晶片量身設計的**客製化**測試介面，因此更換供應商並不是單純把一個零件換掉。

資料來源：FormFactor、MJC、MPI

ATE 技術樹:真正賣的是 Modular Platform + Software Ecosystem



測試平台
Capital Equipment

Digital — Timing / Pattern / Channels

Power — DPS / VI / Transient

Analog / RF — Precision / Jitter / RF

Software — Test Program / Debug / Data

主要護城河

- Installed Base
- Software Ecosystem
- Qualification
- Instrument Breadth
- Backward Compatibility

ATE technically 可替代, 但切換時連 Test Program / Engineer Workflow / Correlation / Interface 都一起動 → switching cost 很高。

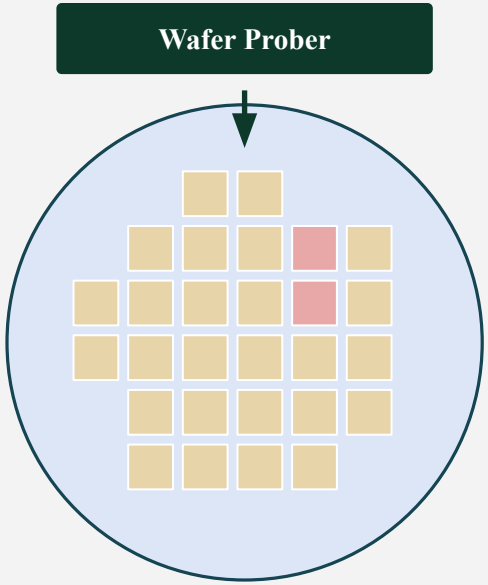
Advantest vs Teradyne：AI/HPC 不是「一家公司獨吃」，而是高階 SoC ATE 的寡占競爭

Advantest｜V93000 EXA Scale	Teradyne｜UltraFLEXplus
• 高階 SoC / AI-HPC installed base 強	• UltraFLEXplus 專為 pattern-intensive AI / compute
• Pin Scale 5000B：pattern-intensive AI/HPC test	• 2026 推新 Digital / Power / VI instruments
• Power / Analog / RF / electro-optical 可擴充	• IG-XL + Multi-site / production economics
• SmarTest + 跨世代 compatibility	• AI networking / vertically integrated compute exposure

真正決勝點：下一代 flagship design-in + test architecture fit + switching cost

Advantest 於 2025 Integrated Report 引用其估計：CY2024 整體 semiconductor ATE market share 約 58%；子市場結構並非都相同。

Prober：不只是搬 Wafer，而是 Micron-Level Motion + Contact + Thermal 平台



X/Y/θ Alignment

Z / Overdrive

Probe Load / Planarity

Thermal Chuck

Automation / Uptime

Vision / Probe Mark

主要玩家：Tokyo Electron（TEL）與 Accretech / Tokyo Seimitsu 等。

可替代，但 recipes / alignment / thermal correlation / automation / qualification 都要重做 → replacement friction 中高。

資料來源：Tokyo Electron Prexa

Test Cell Economics：真正的產能由 Weakest Link 決定，不是單看某台機器規格

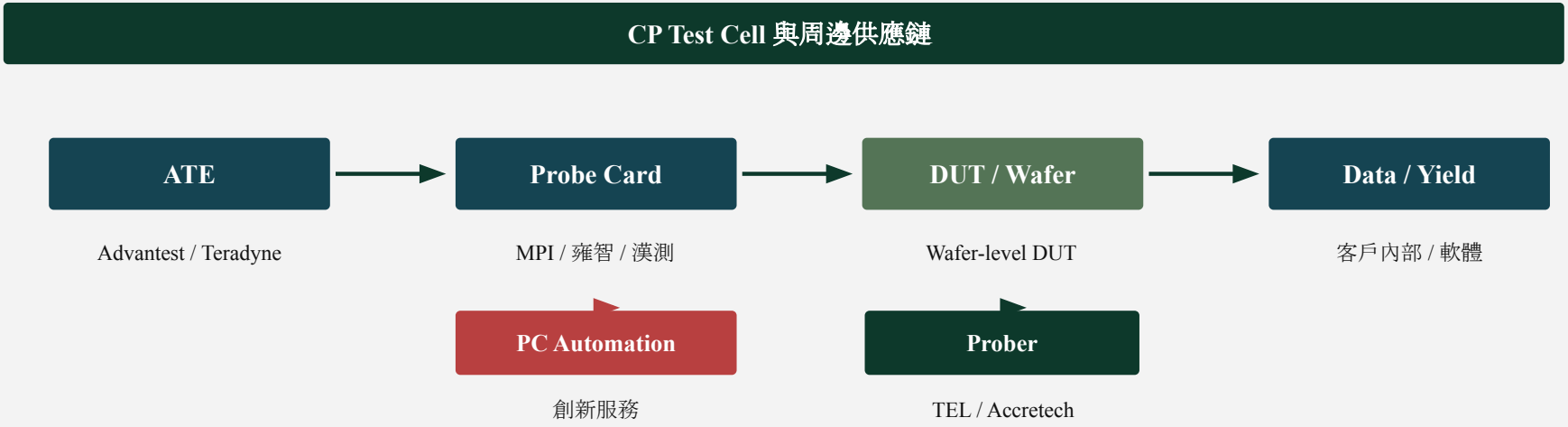


把 ATE 從 100 升到 150 沒用，因為 bottleneck 還在 Prober 60。

Index / Contact Time	Electrical Test Time	Retest / Downtime	Thermal Wait

真正 KPI：UPH、OEE、First Pass Yield、Tester Utilization、Cost per Good Die。

台灣 CP Test 生態系：把公司放對位置，才知道誰跟誰是真的競爭



↑ 自動植針 / 雷射 / 檢測 / 返修：屬於 Probe Card 製造上游，不在 ATE→DUT 的 signal path 裡。

旺矽

Probe Card 本體：Vertical / EVS / Substrate / PCB integration。

雍智

Test Interface：Probe Card + Load Board + SI/PI + Thermal；2026 與 FormFactor 擴大合作。

漢測

Probe Card + Engineering / Thermal；MJC 合作、自主薄膜式探針卡。

創新服務

Probe Card 製造設備：自動植針 / 雷射 / 檢測 / 返修；Technoprobe 策略投資。

資料來源：公司官網、樞買中心、FormFactor 2026

MPI / 旺矽：競爭力在「探針卡 ＋基板＋整合」，而不是只賣一張板

定位：晶圓等級探針卡

具備自有基板、PCB 與探針技術，並提供一站式整合服務。

商業模式：以客製化探針卡為核心，搭配半導體測試設備與工程服務，形成「新 產品導入＋量 產擴張＋維修更換＋設備銷售」的多層次收入模式。

每一顆新 IC 因 Pad/Bump 配置、Pin Count、Pitch、電流與訊號需求不同，通常需要重新設計與認證對應的 Probe Card；產品進入量產後，隨著晶圓測試量增加，客戶會增加量產卡、備用卡，並持續產生探針磨耗、清潔、維修與更換需求，因此 Probe Card 業務具有明顯的 **客製化＋類耗材＋持續性收入** 特徵。

旺矽同時提供測試設備、工程測試與溫控等解決方案，使其收入不只來自單一探針卡，而是延伸至更完整的 wafer-level test ecosystem。2025 年公司公開資料顯示，Probe Card 約占營收 72.2%，設備約占 26.1%，其他約 1.7%，代表目前仍以 Probe Card 為主要收入核心。

護城河

- Probe Card 長期量產經驗
- Vertical / EVS / fine-pitch probe know-how
- 自有 substrate、needle 等關鍵能力
- PCB / SI / PI 整合
- 維修與在地服務
- 客戶認證及 production data

能被取代？

可以。對 advanced MEMS / leading-edge global installed base，FormFactor / Technoprobe 仍是重要 benchmark；但不同應用 不一定同一個贏家。

商業模式：客製化探針卡 + 維修 / 替換耗材

資料來源：MPI 官方

雍智：Test Interface Integration 是強項；Advanced Probe IP 是否形成全球級護城河要分開看

定位：IC 測試介面

- 前段測試：Probe Card；後段測試：Load Board / Burn-in Board
- 技術服務：SI/PI Simulation、Thermal Simulation、Production Process
- 高 pin-count / high-current / high-speed Probe Card；官方表示已取得多家客戶認證

2026：FormFactor × KSMT

雙方宣布擴大策略合作：結合 FormFactor probe-card technology leadership 與 KSMT manufacturing / assembly / test capabilities，支援 AI/HPC 等先進應用。

目前護城河

SI/PI / PCB / Test Interface integration、在地 engineering、qualification、客戶反應速度。

需要注意的點

目前不應直接說其自主 Probe IP 已全面超過 FormFactor / Technoprobe；需要看 leading-edge量產、pitch/current/SI、客戶 adoption。

資料來源：雍智、FormFactor 2026 partnership

漢測 + 創新服務：兩家公司都參與 CP，但賺的是完全不同一層的錢

漢測 ｜Probe Card + 裝機服務 / 溫控設備

• 與 MJC 策略合作，產品涵蓋 Cantilever / Vertical / MEMS 等解法；另自主研發薄膜式 Probe Card。

• 比較有辨識度的護城河：在地 service、客製化 integration、MJC relationship、自主薄膜式產品。

• 若純比較 先進探針卡 IP / global installed base，FormFactor / Technoprobe / MJC 本體仍較成熟。

創新服務 7828｜Probe Card Manufacturing Automation

• 自動植針、雷射鑽孔、AOI sorting、Probe Card 自動返修、Pogo Pin 植針/檢測。

• 瓶頸：Pin count ↑ + Pitch ↓ → 人工 assembly 不再經濟；自動化直接提高 throughput / precision / repeatability。

• Technoprobe 策略投資 → relationship moat；真正替代風險反而可能來自 Probe Card 大廠 in-house automation。

漢測：賣 Test Solution / Service

創新服務：賣 Automation Equipment / Line

先找下一代測試的瓶頸

晶片變化	可能移動到的 Bottleneck	代表性供應商 / 生態
Test Data 爆炸	ATE Pattern Memory / Data Architecture	Advantest / Teradyne
Fine Pitch / Pin Count	Probe / ST / Probe Head	FormFactor / Technoprobe / MPI 等
Current / Power ↑	DPS / PDN / Low CRES	ATE + Probe Card vendors
Power Density ↑	Thermal Control / Prober	TEL / specialized thermal
Parallelism ↑	ATE resources + Probe force + Prober	整個 Test Cell

真正 Pricing Power = 技術稀缺性 × 認證難度 × 轉換成本 × 持續性支出成本 / Content Growth。

資料來源：OpenAI 產業框架

Non-Memory CP 一頁 Cheat Sheet

設備	DC	Digital	DFT
ATE：測 Probe Card：接 Prober：動 / 溫控	Continuity Leakage IDD / IDDQ	Pattern / Vector VIH/VIL Timing / Strobe	Scan Chain ATPG Fault Coverage

Performance	Production	AI/HPC	產業
At-Speed Speed Bin Shmoo / PVT	Multi-site UPH / OEE Yield / Wafer Map	Power / CRES PDN / Thermal KGD	Bottleneck Qualification Switching Cost / Business Model

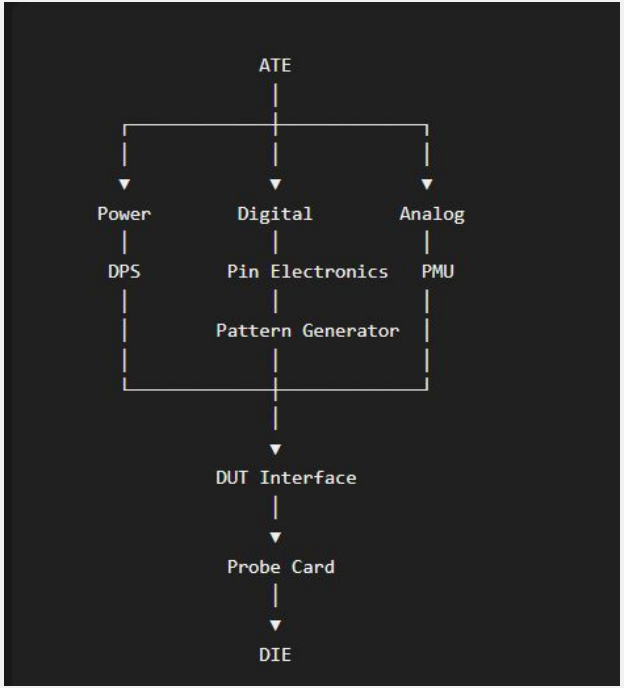
最後判斷：Test Fail ≠ Silicon Fail；Production Test 永遠是在「真實 DUT」與「Measurement System」之間找可信的邊界。

資料來源：OpenAI 總整理

ATE 結構

ATE 到底是怎麼做到「給電、給訊號、量結果」的？

子系統	全名	核心任務	類比
DPS	Device Power Supply	給 DUT 正常供電	我負責讓IC通電開始運作
Digital Channel	Pin Electronic	負責把 ATE 想要給 DUT 的 digital pattern(0101), 送到 DUT 的 digital pin	我負責跟IC的Digital Pin溝通
PMU	Parametric Measurement Unit		我負責精確控制一個電壓/電流,然後量測DUT的電氣特性



Digital Pin

Digital Pin（數位接腳/數位引腳）是微控制器、電路板或晶片上，用來傳遞與接收數位訊號（ Digital Signal）的金屬接點（Pin），也是一個用電壓訊號來表達 0/1 邏輯狀態的 IC 電器介面。

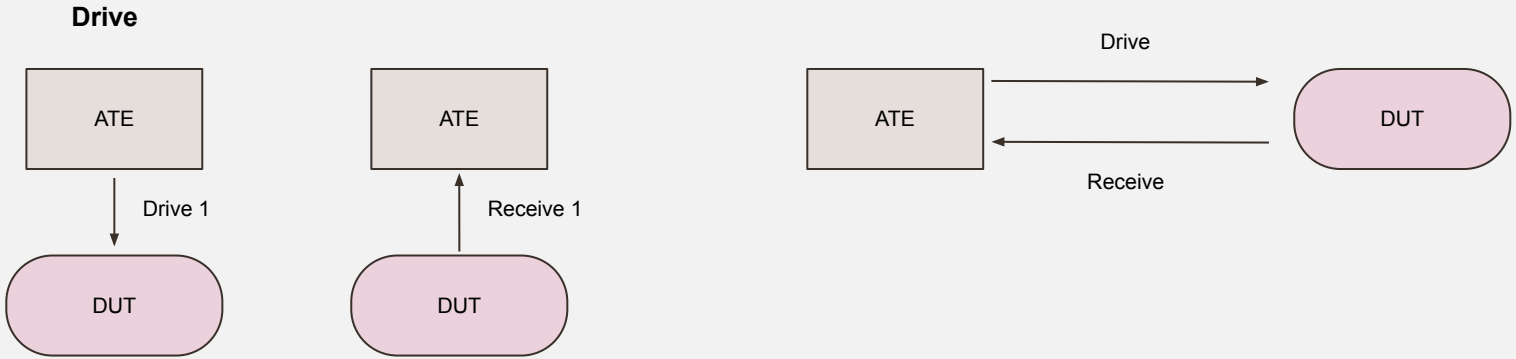
數位訊號只有**兩種**極端數值——HIGH（高電位/開/1）與 LOW（低電位/關/0）。
0跟1本質上是電壓，只是我們把某個電壓範圍解讀成 0或1。

舉例,一顆VDD=1.8V的IC,可能規定:

- 0V ~ 0.4V → 判讀為Digital 0
- 1.2V ~ 1.8V → 判讀為Digital 1
- 中間區域是undefined/transition region,具體界線要看該IC的電性規格

Digital Channel

Digital Channel就是ATE裡面專門負責控制與讀取 Digital Pin的測試通道,它要處理四件事:
Drive(送什麼、什麼時候送) ->**Receive** (DUT回什麼、什麼時候讀) -> **Compare(**讀到的跟預期結果一致嗎)-> **PASS/FAIL**



用AND Gate走一次完整測試邏輯 (Stimulus → Response → Compare)

AND Gate(及閘或且閘)是數位邏輯電路中的基本元件, 只有當所有輸入端同時為高電位(1 或 真)時, 輸出端才會是高電位(1)。
假設DUT內部是一個最簡單的 AND gate:

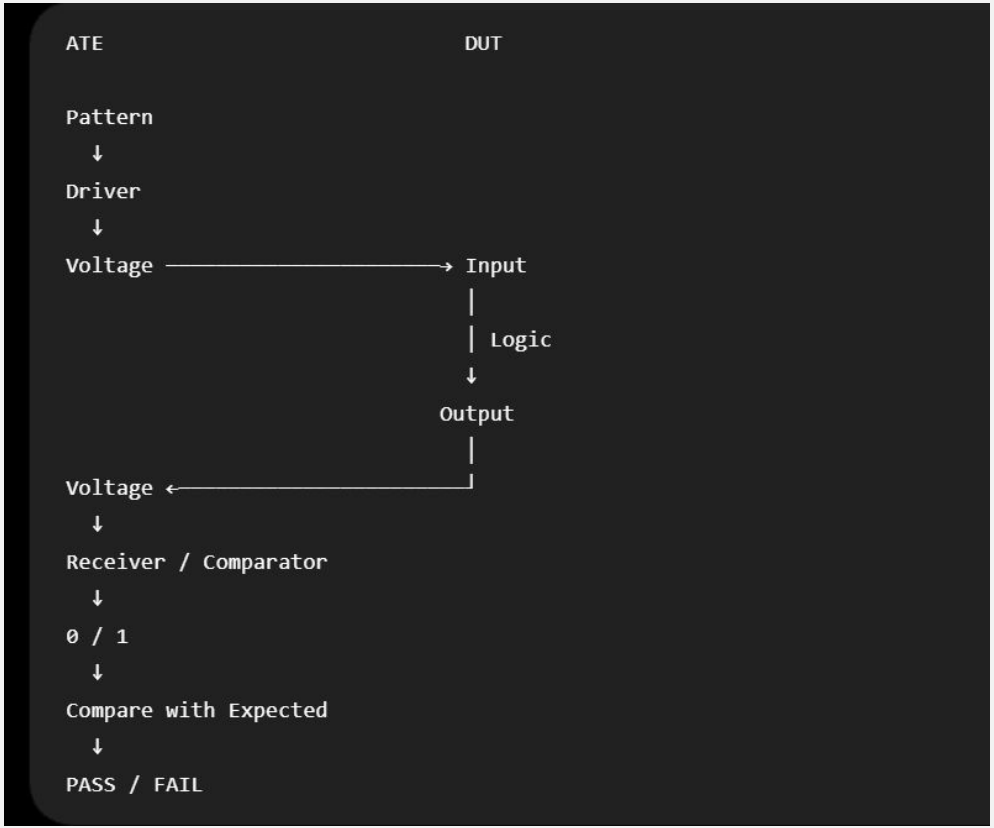
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

正常情況:

- ATE給Stimulus:A=1, B=1
- 預期結果:Y=1
- 實際讀到:Y=1
- 預期結果=實際結果 → PASS

IC壞掉的情況(假設AND gate壞掉,Y永遠輸出0):

- ATE給:A=1, B=1
- 預期結果:Y=1
- 實際讀到:Y=0
- 1≠0 → FAIL


ATE
DUT
Pattern
Driver
Voltage
Input
Logic
Output
Voltage
Receiver / Comparator
0 / 1
Compare with Expected
PASS / FAIL

1

- 1

1

1

記憶體測試 產業

2026/08/31

Derrick

産業介紹

記憶體測試 內容較 SoC 晶片標準化且重視成本

- 記憶體測試流程與 SoC／邏輯晶片大致相同，只有測試內容跟測試設備（ATE）不同。
- 兩者都要測直流參數、功能、速度、漏電、I/O 與可靠度，但「測什麼」和「如何壓低單顆成本」不一樣。

記憶體測試與非記憶體測試的概念差異

面向	記憶體：DRAM、NAND、NOR、HBM	非記憶體：SoC、CPU/GPU、MCU、PMIC、RF、類比
主要被測對象	大規模重複的memory cell array、周邊電路與高速I/O	高度異質的數位邏輯、類比、RF、電源、感測器與複雜IP
關鍵測項	Read/write pattern、cell fault、retention、refresh、速度、功耗、ECC／repair、endurance	邏輯功能、scan／ATPG、時序、類比精度、RF 性能、電源效率、協定與系統功能
典型產品特性	高量、產品組合相對低、規格化程度高	低至中量、產品／客戶／應用差異大
ATE 追求重點	**高平行度（multi-site）、高速與精密時序、每 bit 測試成本**	**多儀器整合、彈性、訊號完整性、混合訊號／RF／高功率能力**
測試成本驅動	**每顆 ASP 相對低，必須把產量拉高**	**品項差異大；高階 SoC 的單顆 test time 和單位測試價值可很高**
Probe／接觸難題	**全晶圓大量 die、高速 I/O、高 pin count；HBM 更有薄晶圓與 3D 堆疊挑戰**	**微間距、高 pin count、RF／高速訊號、先進封裝與 chiplet 的接觸**
Binning 效能測試	容量、速度 grade、功耗、良率與修復後可用容量	性能、功耗、頻率、核心數、功能fuse、應用等級
景氣敏感度	與 DRAM／NAND bit demand、ASP、capex cycle 高度連動	與手機、車用、工控、HPC、消費電子等終端組合更分散

Source：自行整理

記憶體為複雜的二維儲存陣列，測試 內容需標準化與系統化

- 記憶體元件（DRAM、NAND／NOR Flash、SRAM）是高度規則的二維儲存陣列，其故障模型與邏輯電路截然不同。記憶體專屬的故障類型包括 stuck-at fault（SAF）、transition fault（TF）、coupling fault （CF）與 address decoder fault（AF），因此需要一套系統化、可窮舉每個位址的測試方法，這正是 March 演算法存在的原因。
- 相對地，邏輯／SoC 電路是不規則的組合與序向邏輯，測試策略改以掃描鏈（scan chain）將正反器串成移位暫存器，搭配 ATPG（自動測試向量產生）產生高覆蓋率的測試向量，並透過 at-speed 測試做速度分級（binning）。
- **記憶體測試是「在極短時間 內、極低單位成本下，確認大量 cell 是否可被可靠讀寫」；非記憶體測試則更多是在驗證一個高度客製、功能複雜的電子系統是否符合規格。**

記憶體測試 vs. 邏輯／SoC 測試的流程比較

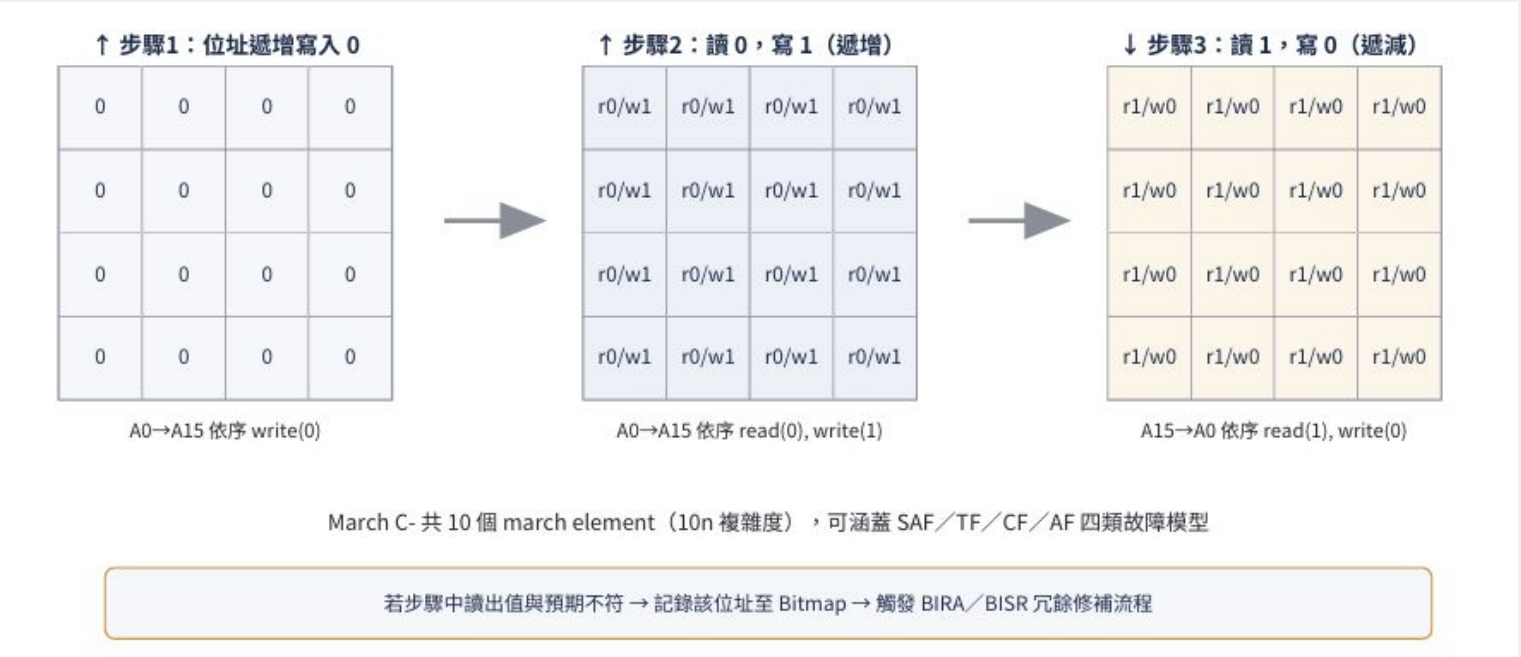
記憶體測試路線	邏輯／SoC 測試路線
晶圓測試（CP） March 演算法掃描每個位址	晶圓測試（CP） 掃描鏈（Scan Chain）載入向量
Bitmap／Wafer Map 分析 定位故障位址：單點／整列／叢集	ATPG 向量產生與擷取 偵測 stuck-at／transition／path-delay
冗餘修補（BIRA / BISR） 故障胞導向備援列／行，救回良率	MBIST（內嵌記憶體自測） SoC 內嵌記憶體就地跑 March
封裝（Packaging）	封裝（Packaging）
預燒（Burn-in）＋成品測試（FT） 高溫應力篩選早期失效，重跑 March	成品測試（FT）＋功能測試 at-speed scan 驗證最高工作頻率
出貨（含 HBM：KGSD 堆疊測試）	速度分級（Speed Binning）出貨

Source：自行整理

March 演算法為記憶體測試的核心邏輯

- March 演算法是一連串「March elements」，對每個記憶 cell 依位址順序（上行↑／下行↓）執行寫入／讀取序列。業界常用的 March C- 為 10n 複雜度（每個位址執行 10 次操作），可涵蓋 SAF、TF、CF、AF 四類故障。下圖以簡化的 4×4 記憶陣列示意 March C- 的位址掃描順序。

測試機依固定順序對每個 cell 寫入 0／1 並讀出驗證，搭配資料圖樣與定址，找出邊界性缺陷



Source：自行整理

第一階段:晶圓級測試 Wafer Sort／CP

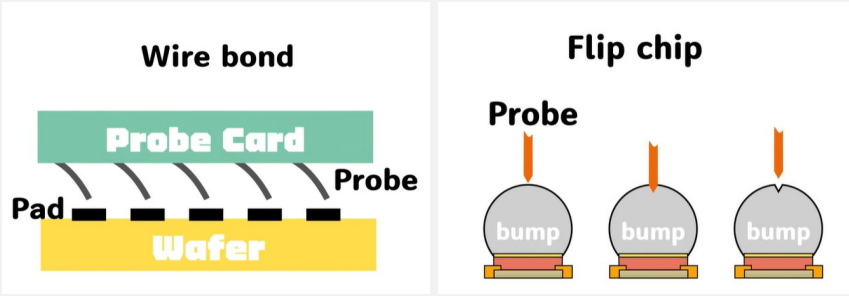
- 晶圓還沒有切割時, prober 將晶圓定位, probe card 的探針接觸每一顆 die pad 或 bump, ATE 執行 memory algorithm, 產生 wafer map 與每顆 die 的測試結果。

- 對 DRAM 而言, CP 測試通常包含:

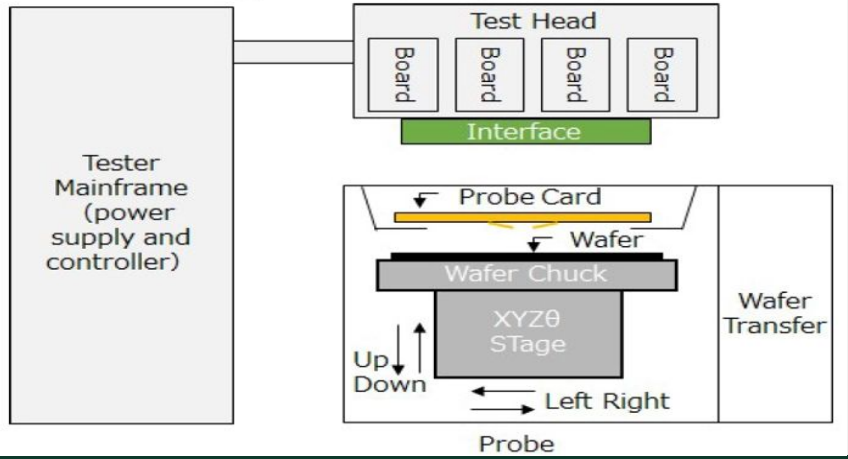
1) Cell array 的讀寫測試:利用 checkerboard、walking pattern、March test 等模式找出 stuck-at、transition、coupling 等記憶體故障。
2) Retention test:確認 cell 在一定時間內是否能維持資料。
3) Refresh test:確認 DRAM refresh 行為是否符合規格。
4) 電壓、漏電、I/O 與速度測試。
5) Redundancy／repair:透過 spare row／column 等冗餘資源修復局部缺陷, 再重測確認。
6) 良率分級與 wafer map 建立。

- 這一階段的目的不是只做 pass/fail;它同時決定哪些 die 可切割進入後段, 以及可被分配到哪一種容量、速度或功耗等級。一般 IC 也有 wafer sort, 但記憶體在 cell-array 覆蓋率、演算法、同時測試數量與測試成本上更具特殊性。

在晶圓切割前, 利用探針測試每顆裸晶(Die)



Probe testing(tester + wafer prober + probe card)

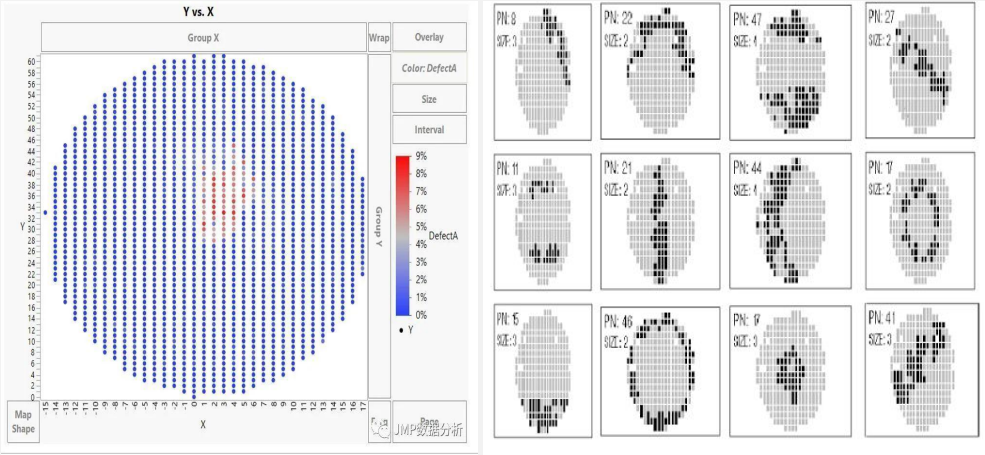


Source:自行整理、MS

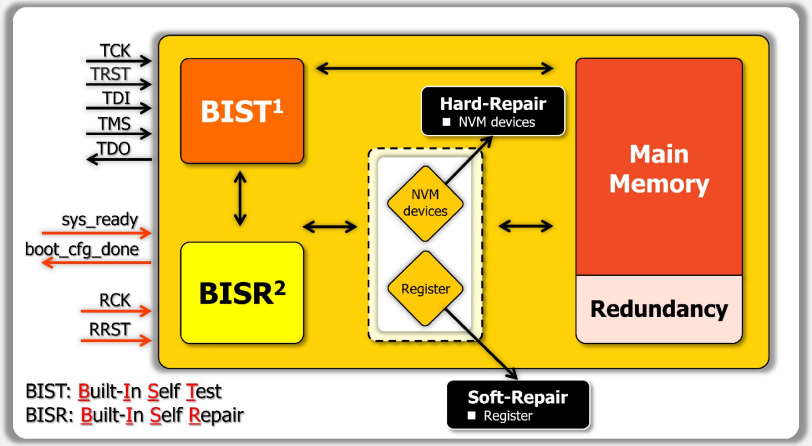
第一階段：失效位址地圖分析／冗餘修補

- 記憶體測試將每次失效的位址匯集成 bitmap，藉此判斷缺陷型態：是單點缺陷、整列／整行失效，還是製程叢集缺陷（cluster defect）。這份地圖不僅決定是否可修補，也是晶圓製程良率回饋的重要依據。
- 邏輯 IC 測試則較少使用此類空間化的失效地圖分析，而是依賴故障覆蓋率（fault coverage）指標。
- 記憶體晶片在設計時會預留備援列／行。當 bitmap 分析找出故障位址後，透過 BIRA（Built-In Redundancy Analysis，內建冗餘分析）與 BISR（Built-In Self-Repair，內建自我修復）將故障 cell 導向備援列／行，藉此挽回良率。這是邏輯 IC 測試中不存在的良率救援手段。

Bitmap／Wafer Map 分析



冗餘修補（Redundancy Repair）

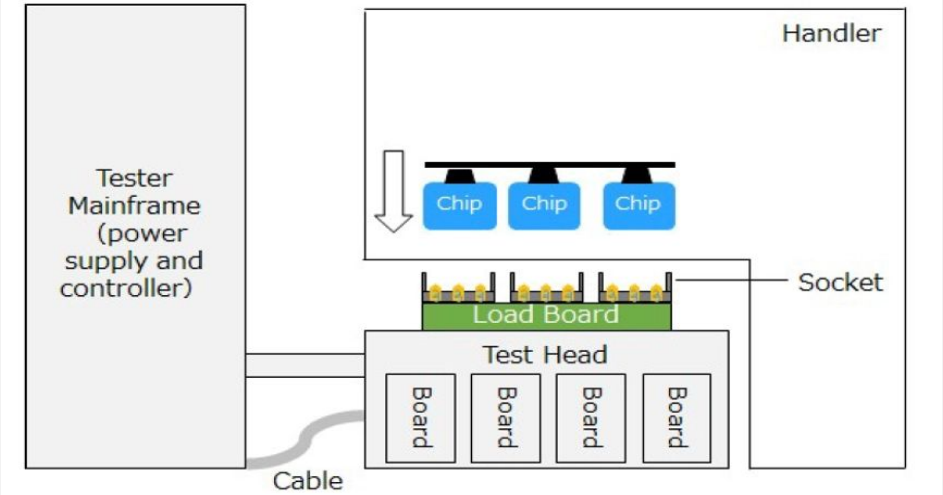


Source：自行整理、JMP、JCIIE、芯測科技

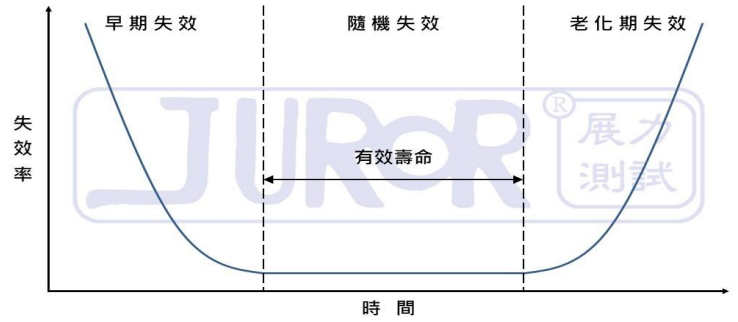
第二階段:封裝後測試 Final Test／Burn-in／可靠度篩選

- 封裝後，handler 會把 package 送進 socket／contactor，再由 ATE 以目標操作條件進行最後電性驗證。
- DRAM 在 wafer-level test 後，會在封裝完成後再進行一次接近實際操作速度的 final test，以確認資料處理與終端使用規格；這是記憶體「多次測試、逐步提高測試完整性」的典型流程。
- Burn-in 是在高溫、高電壓、長時間運作下，使早期失效元件提早暴露的篩選流程。它不是每一種記憶體產品都以相同強度執行，但 server、車用、高可靠度或先進記憶體產品的重要性會提高。
- 在 HBM 的 DRAM die 流程中，業界可在 wafer 階段先進行 burn-in，以提前排除不可靠 die，因為後面進入堆疊後的報廢成本顯著更高。

Final testing（tester + handler）



Burn-in 浴缸曲線理論



浴缸曲線常用在可靠度工程，可以描述一種由以下三部份組合的風險函數：

- 第一部份為隨時間遞減的失效率，稱為早期失效。
- 第二部份為固定的失效率，稱為隨機失效。
- 第三部份為超過產品設計的壽命後，隨時間而遞增的失效率，稱為老化期失效。

Source：自行整理、MS、展力測試

記憶體測試機台講究平行度與標準化，由國外大廠壟斷

- 測試原理的差異，直接反映在測試機的硬體架構設計上。記憶體測試機追求「極致平行、低單位成本」，SoC／邏輯測試機則追求「每 pin 功能豐富、高精度」。
- 現代 SoC 內嵌記憶體常佔晶片面積 70-80%，掃描鏈難以有效存取這些陣列。解法是在每塊嵌入式記憶體旁放置精簡的 MBIST（Memory Built-In Self-Test）控制器，由晶片內部就地執行 March 演算法，不需外部ATE 產生圖樣即可完成測試——這是記憶體測試邏輯「內建化」到 SoC 測試流程中的典型案例。

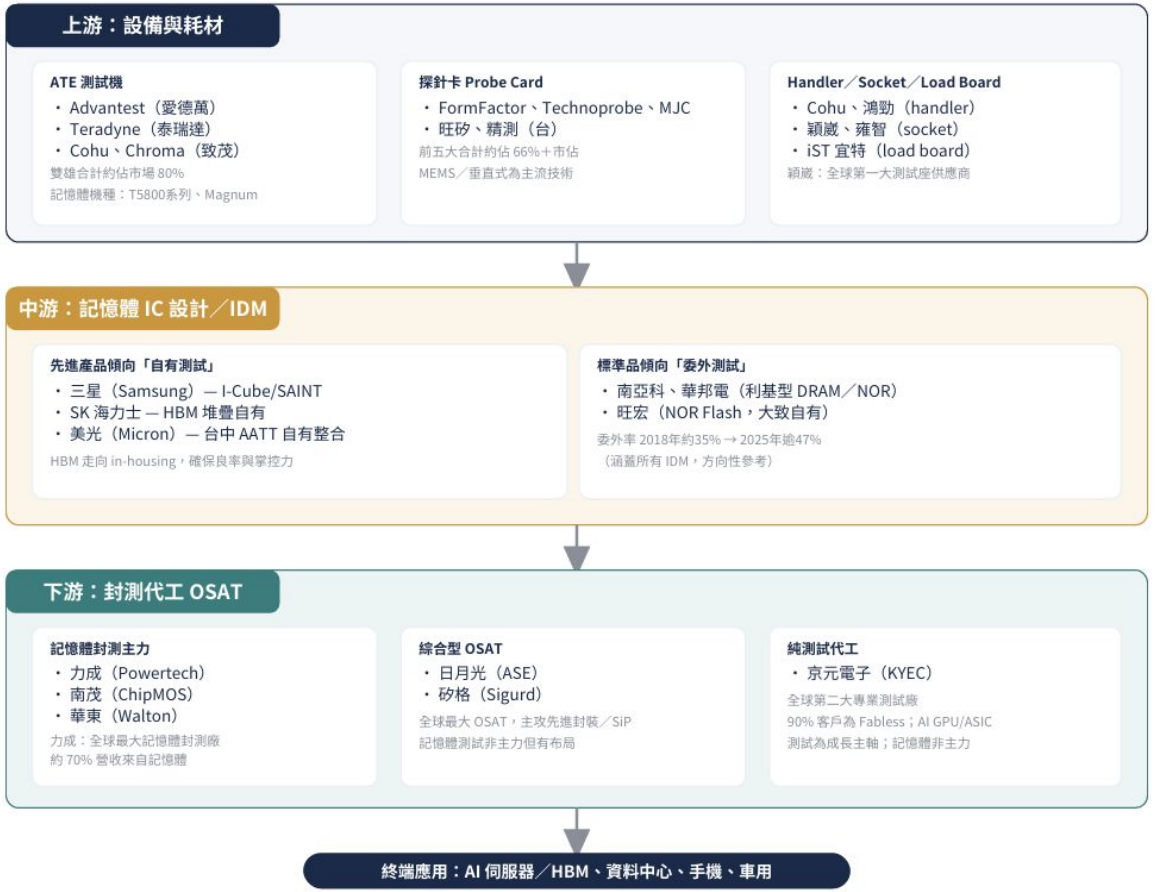
記憶體測試機與 SoC／邏輯測試機比較

面向	記憶體測試機	SoC／邏輯測試機
平行度	極高，最高數百至上千顆同測（如 Advantest T5835 封裝級可同測 768 顆）	較低，通常數十至上百 site
每 pin 成本	低，追求大量平行以降低 cost-of-test	高，每 pin 功能豐富
類比精度需求	需可程式化電源與時序精度，pin 功能相對單純	需高精度類比源、混合訊號儀器、大量高速數位 pin
圖樣產生方式	內建演算法圖樣產生器產生 March 圖樣	以向量記憶體儲存 ATPG 向量
代表機種	Advantest T5800 系列（T5835）、Teradyne Magnum 7H	Advantest V93000 EXA Scale、Teradyne UltraFLEX(plus)

Source：自行整理、Advantest

記憶體測試產業鏈總覽

- Advantest 與 Teradyne 合計約佔測試機市場 80 %市佔率，Advantest 主力機種 T5800 系列支援 DDR/LPDDR DRAM 與高速 NAND；Teradyne Magnum 7H 專為 HBM 測試設計，支援 HBM2E/3/3E/4/4E。
- 力成為全球第五大 OSAT，約 70% 營收來自記憶體。主要客戶美光（HBM 獨家）、鎧俠（NAND）、SK海力士。近年切入 AI先進封裝（FOPLP/PiFO）。
- 南茂定位為記憶體與面板驅動 IC 封測廠，2Q26 記憶體產品佔營收 51%（DRAM 21%、年增 70%；Flash 30%）；DDR4 佔記憶體銷售約 70–80%，為傳統 DRAM 回溫直接受惠者。
- 華東同為利基型記憶體封測廠，為南亞科、華邦主要委外夥伴。



Source：自行整理

產業動能

HBM 測試面臨多階段且高層數之考驗

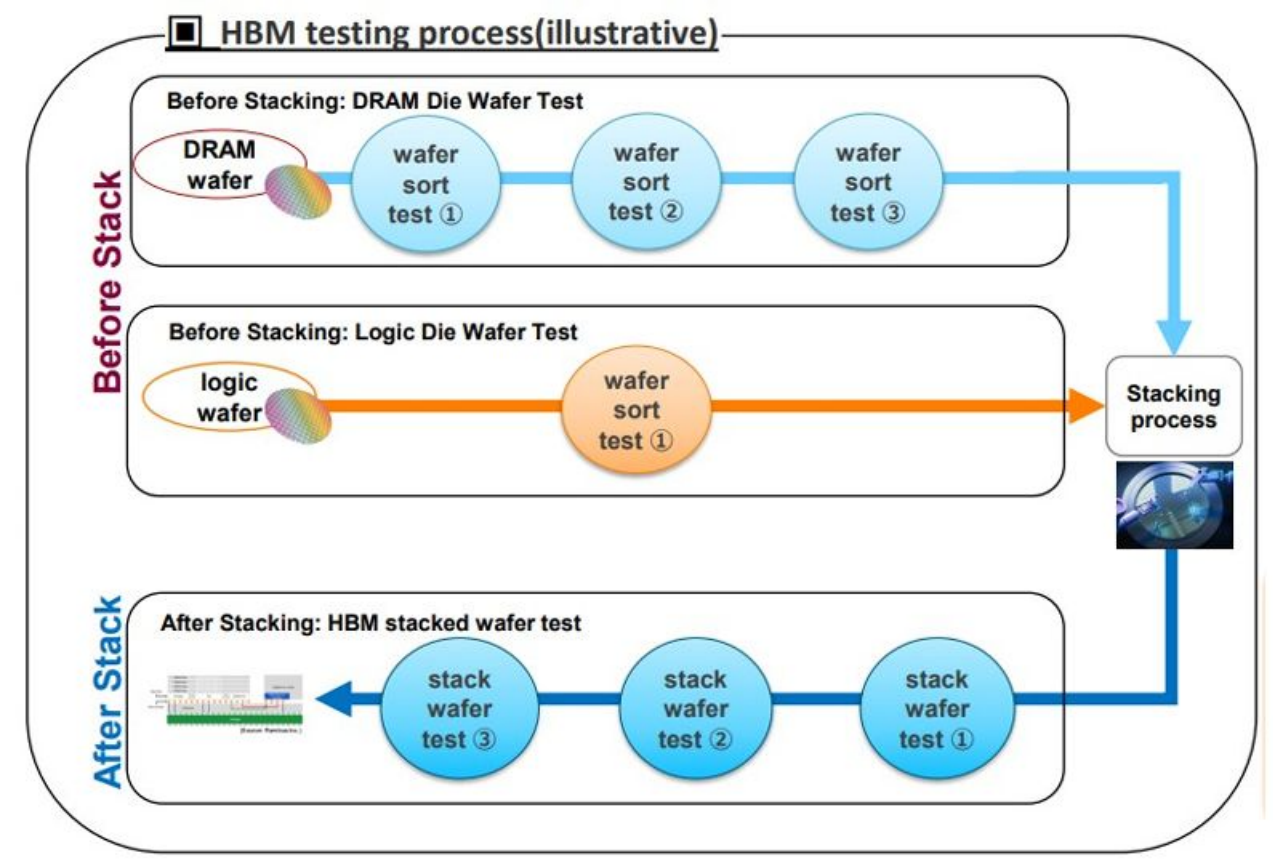
- HBM 以 TSV 技術把 8/12/16 層 DRAM 垂直堆疊在 base die 之上，微凸塊間距極細（約 25-55μm）、I/O 高度集中，傳統探針技術難以在裸晶層級精準探測，使得 HBM 測試需要一套與傳統 DRAM 截然不同的多階段品管流程。
- HBM 測試越晚發現問題，報廢成本越高。Advantest 指出，HBM 整體測試時間相較傳統手機 DRAM 高出 5-10 倍，主因是更高密度、die stacking 後新增的測試環節及更高的品質要求，堆疊後可能需要三道關卡以上、且不同溫度和參數條件的測試。
- 堆疊的架構讓 HBM stack 每一層 DRAM wafer 都要做一次 wafer sort test，假設有八層就要做八次，並且 HBM 通常搭配 AI/HPC 晶片，客戶對良率要求極高，堆疊後單次晶圓測試強度是一般晶圓測試的 5-6 倍。

HBM 堆疊測試流程示意（ KGD → KGSD → Final Test）



Source：自行整理、Advantest、MS

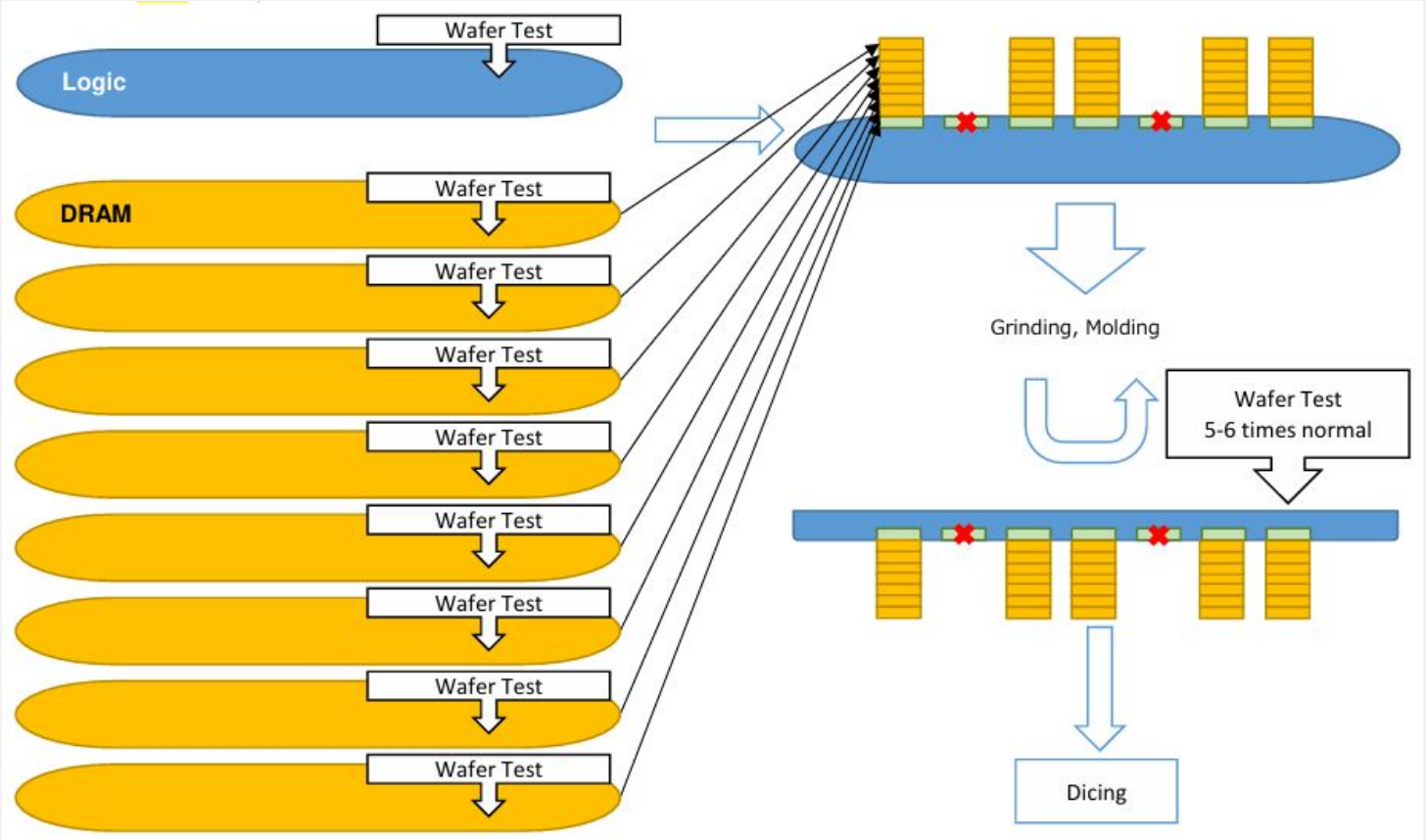
HBM 測試面臨多階段且高層數之考驗



- **上面淺藍色路徑：**DRAM wafer → 依序跑 wafer sort test①②③（三道測試站）
- **中間橘色路徑：**Logic wafer → 跑 wafer sort test①（一道測試站，邏輯裸晶測試相對單純）
- 這兩條路徑最後都匯入右邊的 Stacking process（堆疊製程）。
- **堆疊製程：**DRAM 裸晶與 Logic（base die）在這裡完成 TSV 垂直接合，堆疊成 HBM 立方體結構。
- **進入深藍色路徑：**stack wafer test①②③——對已經堆疊完成的整體結構再跑三道測試，確認堆疊後的電性與良率（這就是前面摘要提到的 KGSD 測試，Known-Good-Stacked-Die）。

Source：自行整理、Advantest、MS

HBM 測試面臨多階段且高層數之考驗



- 1 片 Logic 晶圓 + 8 片 DRAM 晶圓，每一片都要先各自跑一次 Wafer Test。
- 這 9 片晶圓測試完之後，良好的裸晶會被堆疊到 base die，過程中仍可能因接合、TSV 導通等問題產生新的缺陷。
- 接著經過研磨、封膠，再跑一次晶圓測試，佐證先前提到說HBM 相關晶圓測試次數約為一般晶圓測試 5–6 倍。
- 最後才進入切割。

Source：自行整理、Advantest、MS

HBM 測試需要更精密的 probe card 與 handler

HBM 對 probe card 的主要動能

- HBM die 的高速 I/O、更多接點與更嚴格訊號完整性需求，推升高針數、高頻、高穩定度的探針卡需求。
- HBM 的功能、速度、功耗與可靠度驗證更複雜；HBM4 相較 HBM3／HBM3E，市場資訊均指向更高測試強度與時長。
- 先測出 KGD 再堆疊，有助避免昂貴 TSV／先進封裝後才發現失效，探針卡因此從一般耗材變成良率控制工具。
- 供應不再只集中於單一 HBM 龍頭。Samsung 的 HBM3E／HBM4 貢獻回升、Micron 擴產，加上 AI ASIC 客戶擴大採用，對探針卡供應鏈有利。
- 每張探針卡都是針對特定晶片量身訂製，反映出獨特的焊墊佈局（pad layouts）、電氣要求與效能規格。
- 市場正快速轉向垂直式/微機電式探針卡（vertical／MEMS probe card），其具備更好的 electrical performance，並能處理更細的 pitch。

HBM 對 handler 的主要動能

- 高頻、高密度記憶體在測試時會有更顯著發熱，因此必須在不同溫度條件下維持穩定、精準的測試環境。
- HBM 測試時間長、產品價值高，記憶體廠需要提高平行測試數量與設備稼動率，以避免測試成為產能瓶頸。
- 客戶採購決策愈來愈以 tester、handler、interface、load board 與 probe card 的整合效能來看，而不只是單一設備報價。
- Advantest 的 M5241 可視為明確的產業訊號：該機種定位在 AI 高效能記憶體，支援 DRAM、NAND、HBM 量產測試，強調微型腔體溫控、因應高自熱元件，最多可做 512-site 平行測試、最高 46,000 UPH，並搭配其高速 DRAM tester。
- 目前 HBM3E 仍是主流出貨與需求核心，但 HBM4 開始導入並進行認證／量產爬坡。HBM4 的速度、頻寬、堆疊與整合複雜度提升，對 probe card 的影響通常先反映在測試規格升級、接觸可靠度與測試時間；對 handler 則反映在溫控、平行測試、設備稼動率與 test-cell 整合能力。

Source：自行整理、Trendforce、CMoney

附錄

附錄

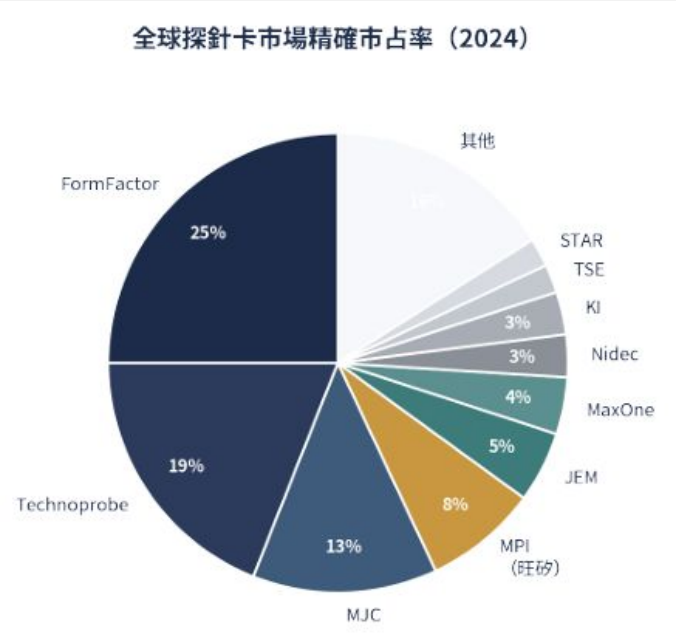
主要設備業者

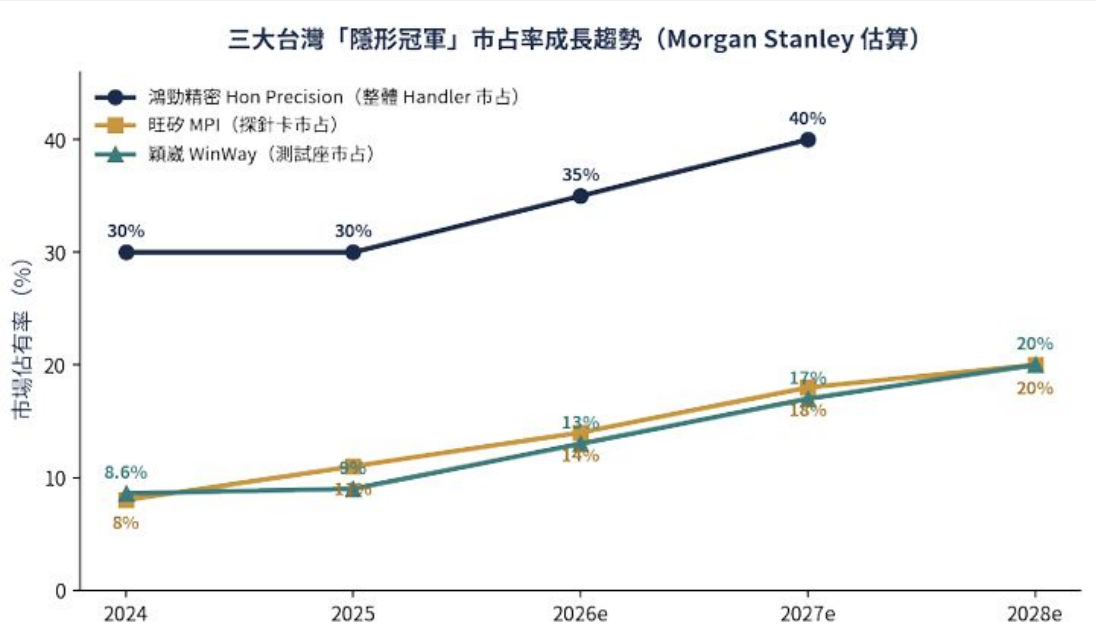
- **Advantest（日本，6857）**：記憶體 ATE 的關鍵業者，產品涵蓋 DRAM、NAND、HBM 與下一代 GDDR / LPDDR / DDR。T5801 針對 GDDR7、LPDDR6、DDR6 等超高速 DRAM；T5503HS2 則主打 DDR / LPDDR / HBM 高並測量產。 marklapedus.substack +1
- **Teradyne（美國，TER）**：Magnum 系列布局 NOR、NAND、SRAM、DRAM 與 HBM；其主張是縮短 tester instrument 到 DUT 的距離，以改善高速記憶體的訊號與測試效能。 advantest +1
- **Cohu（美國，COHU）**：以 handler、test interface、inspection / metrology 與測試自動化為主。其價值更靠近「讓 ATE 真正跑出產能」的一端，特別是 package handling、接觸與溫控。

台灣公司	定位	記憶體測試相關性
力成（PTI，6239）	記憶體導向 OSAT，提供 probe、封裝、final test、burn-in 等	官方列示 DRAM、NOR Flash、NAND Flash、MCP 與 Logic 的 final test，為台灣記憶體後段重要觀察標的。 teradyne
南茂（ChipMOS，8150）	記憶體、mixed-signal、LCD driver 的封測 / 測試服務	公司明確指出提供高密度記憶體的後段測試服務，並兼具封裝能力。 cohu
京元電子（KYEC，2449）	專業測試服務商，產品線涵蓋記憶體至邏輯與 SoC	提供 wafer probing、final test 與 burn-in 等後段服務；記憶體為其服務範圍之一，但整體定位更偏多元化專業測試。 cohu +1

Source: 自行整理

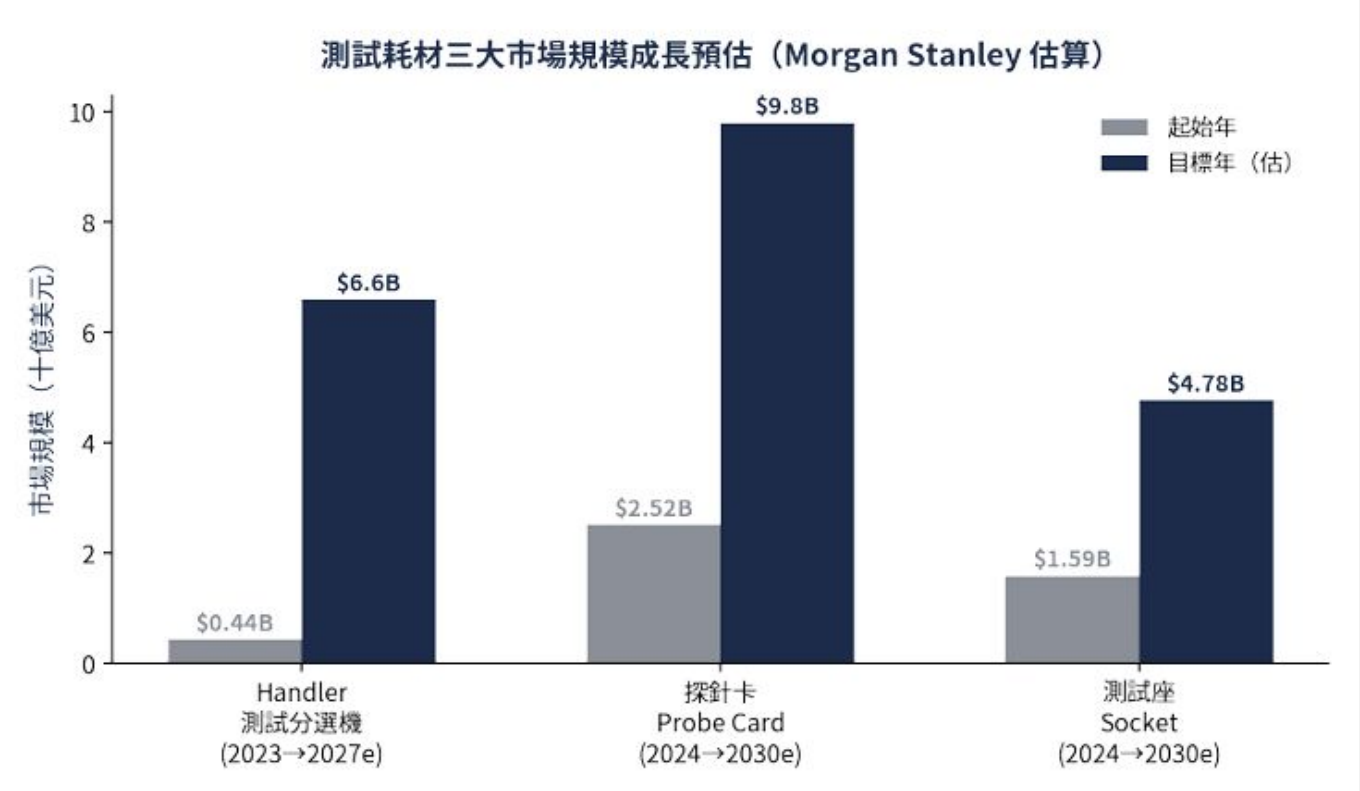
附錄





Source：自行整理、MS

附錄



Source：自行整理、MS

附錄

廠商	角色定位	Morgan Stanley 核心論點
鴻勁精密 Hon Precision	AI/HPC 成品測試 Handler 龍頭	AI/HPC 分選機市占逾 70%，整體 handler 市占預估由 2024–25 年的 30% 提升至 2027 年的 40%。受惠晶片功耗與測試時間同步提升，主動熱控制（ATC）技術帶動 ASP 上揚；預估 2025–28 年營收 CAGR 達 61%。
旺矽 MPI Corporation	探針卡技術領導者	受惠 MEMS 與高密度 VPC 探針卡升級週期，市占預估由 2024 年 8% 提升至 2028 年 20%；同時卡位 CPO（共同封裝光學）晶圓級測試設備，提供長期成長期權。預估 2025–28 年營收 CAGR 達 66%。
穎崴 WinWay	測試座（Socket）領導者	受惠 AI 晶片封裝尺寸、接腳數與測試複雜度提升，帶動同軸測試座（coaxial socket）與 Hypersocket 等高階產品滲透率提升。測試座市占預估由 2024 年 11% 升至 2028 年 22%。預估 2025–28 年營收 CAGR 達 71%，2028 年毛利率有望上看 61%。

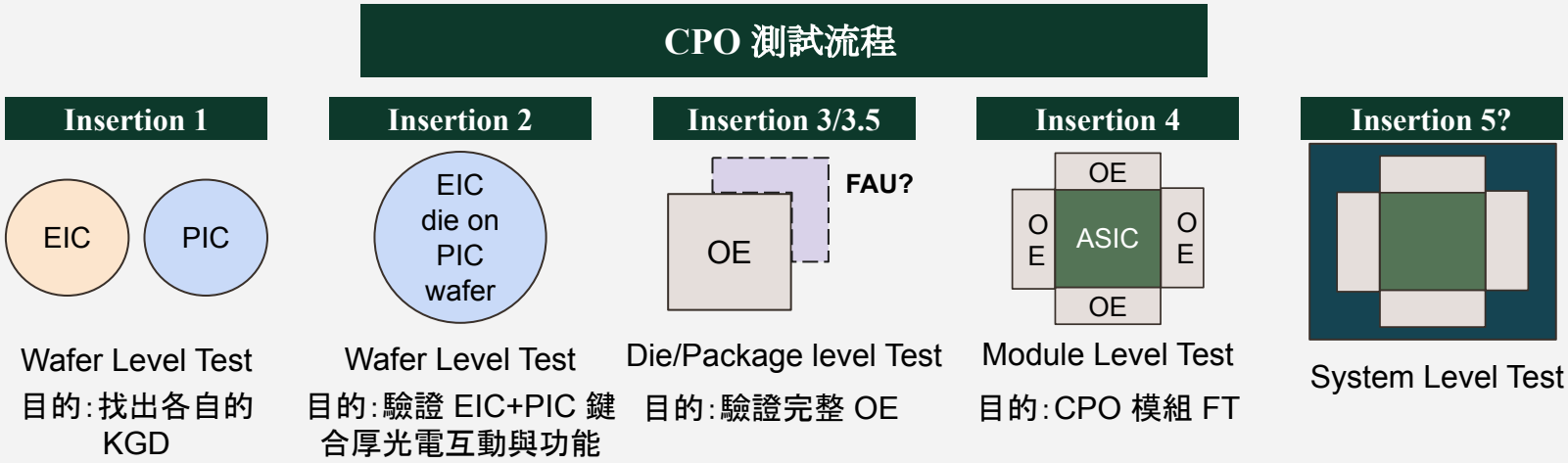
Source: 自行整理、MS

02-1

CPO 測試

CPO 測試共分四到五個插入點, 各自對應不同的目的

- 會使用 Insertion 做為 CPO 測試節點的代稱, 邏輯上可以想像是 說在製造流程中為了攔截某一類缺陷而設置的插入點, 同一個 Insertion 內可能包含多重步驟, 加上測試本身對 CPO 來說是剛性需求, 因此 Insertion 可以視為一種製造的節點, 而非單純的測一次。
- 雖測試流程無標準化流程, 但大致上可以分為 Insertion 1~5, 各自對應不同的 DUT 狀態與核心目的, 如果面對到針對 Insertion 不同的定義, 則觀察 DUT (Device Under Test)本身的狀態比起數字更為重要, 以下會介紹 CPO 每一個測試流程。



02-1-1

Insertion 1

Insertion 1 是 EIC/PIC 的單面晶圓級測試

- Insertion 1 是在 EIC 與 PIC 尚未切割、尚未互相鍵合之前，分別對兩片 wafer 執行 wafer-level test，建立 EIC wafer map 與 PIC wafer map，篩選出可以進入後續異質整合的 Known Good Die。
- 完整的 EIC 測試與一般的晶片無異，都是 ATE→Test Head→Probe Card→Probe Needles→EIC Pads，主要設備包括 ATE、Prober、Probe card、test program、wafer-map system。完整的 PIC 測試則需要 ATE、外部光源、光學探針來測試，TRITON 是一種結合了 Advantest ATE + TEL prober + FormFactor 光電 probing 的 PIC wafer testing solution。

What is EIC & PIC?

項目	EIC	PIC
全名	電子積體電路（電子訊號形式）	光子積體電路（光子訊號形式）
功能	負責用電處理資料的晶片	負責用光發送資料的晶片
元件	Driver、DSP、TIA、SerDes、控制電路	Laser、Modulator、波導、耦合器、Photodetector
測試重點	電壓電流、BER、頻寬、功耗	光功率、波長、插入損耗、調變耦合效率、光電轉換效率

TRITON for SiPh Testing

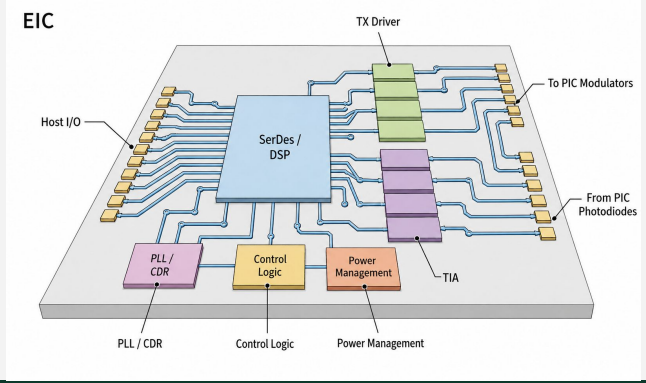


資料來源：FormFactor

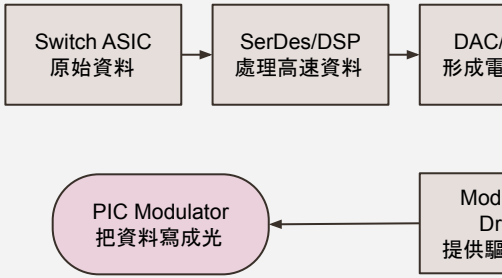
EIC Wafer 是成熟的電子 IC CP，典型測試順序包含五種 test

- CPO 所需 OE 的 EIC 大多包含以下配件：Modulator Driver、TIA 、CDR、SerDes、DSP or Control logic、DAC/ADC、heater controller、photodiode bias、電源管理晶片。
- 典型測試順序為：1. Structural／contact test、2. Power test、3. DC parametric test、4. Digital Structural test、5. Limited functional test。
- Insertion 1 通常不能完全證明良好的 EIC 就能夠抵達最終的 line rate，因為此時 EIC 跟 PIC 尚未鍵合，有許多潛在的節點都還不存在，因此需要 Insertion 2 針對鍵合後的晶圓進行測試。

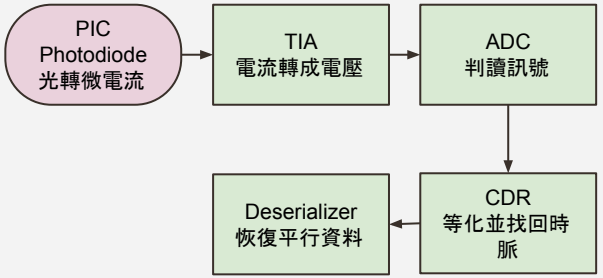
EIC 示意圖



EIC (發射端) 的運作原理



EIC (接收端) 的運作原理

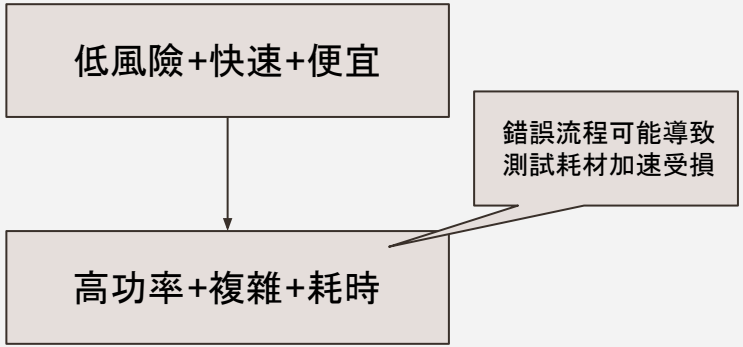


資料來源：imec

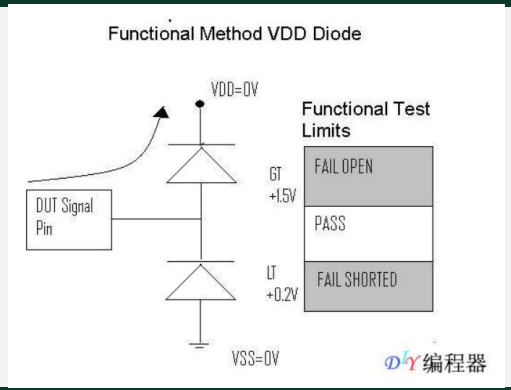
1. Structural/Contact Test (外部接腳與基本結構測試)

- Insertion 1 的 Wafer level test 流程遵照【低風險且快速】排到【高功率且耗時】, 邏輯上也很簡單, 如果一個 EIC 已經短路了, 那你高功率 pin 給他插下去會燒針, 浪費錢。
- 第一個要測的是外部接 腳與基本結構測試, 此階段是 Insertion 1 的第一個測試流, 主要觀察 EIC 最基本的對外 pin 有沒有最基本的 open、short、leakage。首先將 EIC 放上 Tester, 確認 pad contact, 以保證後續任何不良狀況並非探針接觸不穩所導致, 接著 ATE 會放低電壓並逐步提高, 觀察晶片是否有短路狀況, 若晶片給的阻抗始終落在有效窗口 內, 則表示沒有短路。再來測 pin open, 看晶片接腳運作是否正常, 最後透過 ATE 給小電流測晶片漏電。

Insertion 1 測試流



晶片 Open short Test 透過容忍上限判斷開短路



資料來源: Iamprogrammer、imec

2. Power Test 正式上電測 EIC 在正常狀況下能否執行

- 首先依照 I/O rail → Analog rail → Core rail 上電, 觀察啟動過程是否出現過大電流、電壓是否穩定等, 簡單來說就是透過 ATE 把 EIC 正式開機, 看開機過程有沒有問題。接著晶片進入指定工作模式後, 看電流是否過大過小, 過大可能表示短路, 過小可能是某個 block 沒有啟動。接著把 EIC 關機, 測試電流是否幾乎歸零, 否則表示某些零件存在漏電。接著開其中一個 rail 關閉其他的, 看是否 rail 之間具有異常導通。最後一切正常後進入較高負載測試 threshold。
- 概念上就像在測一台新買的筆電是否正常, 包括開機、使用、關機、部分使用與全力使用, 若沒有問題則可以說明筆電本身沒有問題, 但是如果今天筆電要外接超強顯卡 +HDMI 線等配件 (PIC) 則不保證。

3. DC Parametric test 測試每個類比或 I/O 靜態數值是否合理

- 首先會做 Input 跟 Output 的測試，ATE 會緩慢輸入電壓，判斷 EIC 是否能夠正確判斷 0 跟 1，同時命令 EIC 輸出 0 跟 1，主要量測高低電位是否合理。接著會做 Bias current，由於 Driver、TIA、DAC/ADC 等配件本身都需要穩定的 bias，ATE 會透過某些方法測出這些零組件的 bias 是否合理。再來測 Reference voltage，大致上跟 bias current 是連在一起的步驟，確保 bias 的工作點就是 reference voltage。最後會分別針對 Driver、TIA、DAC/ADC 分別做靜態的測試。
- 所有步驟都會由 ATE 發號施令，然後結果回傳到 ATE，找出 KGD。

4. Digital Structural Test 找出晶片 內部邏輯是否總是正確

- 第一個做 Scan test, ATE 設定一個 Scan mode, 把晶片邏輯全部串成一整條 chian, 讓 ATE 去進一步針對內部節點出考題, 比對答案後確認晶片是否有節點 stuck-at-0/1。第二個做 Logic BIST, 晶片在設計之初會有一個 pattern generator, ATE 透過外部啟動 generator 後他會自動產生大量 random pattern, ATE 再評估晶片針對這些 pattern 的處理能力是否達標。第三個做 Memory BIST, 同樣的操作但是針對的是 SRAM, 確保每一個位置都能存取 0 跟 1, 並且每一個位置都能 啟動存取。第四個做 Fuse/OTP test, 確定晶片金鑰一切正常。第五個做 Register Access, 這個步驟單純是確認每一個 register 顯示的跟執行的一致。最後做 Basic control function, 主要檢查所有基本流程操作沒有問題, 概念上像是一種全方位的 double check。

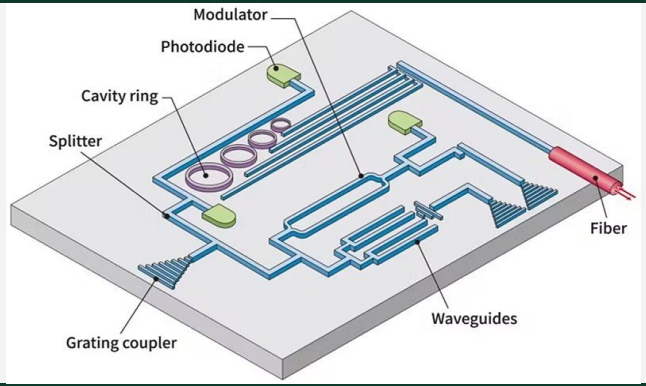
5. Limited Functional Test 為有限度的全方位功能測試

- 前面四個步驟大抵上是在檢 查是否有 open-short、leakage、零組件運作情況與 內部邏輯測試, 最後一個步驟有限功能測試則是在一定程度上讓系統跑過一次, 會從 PLL (倍頻器) 開始, 進一步測 Driver、Receiver、SerDes、Control, 在獨立的 EIC 上測試不同模組之間能不能同時協作完成 ATE 出的考題。
- Insertion 1 針對 EIC 的 Wafer test 在順序編排上, 遵照【每個步驟都是為下一個步驟排除風險】的原則去執行。總結來說, 當一個 EIC 通過 Insertion 1, 至少要同時滿足 : 1. 探針接觸無誤、2. No open-short or leakage、3. 每條 power rail 啟動、靜態、工作電流合格、4. 類比參數落在合格範圍 內、5. Scan、Logic BIST、Memory BIST 達到規定的範圍、6. fuse、register、control 與監控功能正常、7. 所有基本功能通過、8. 不同測試結果之間沒有矛盾。
- 通過 Insertion 1 本身不代表 EIC 必然能夠處理真實的狀況, 以及 EIC 與 PIC 之間是否會有寄生效應, 但可以說明這些 EIC 具有異質整合的資格, 同時也是為什麼我們需要 Insertion 2 的原因。

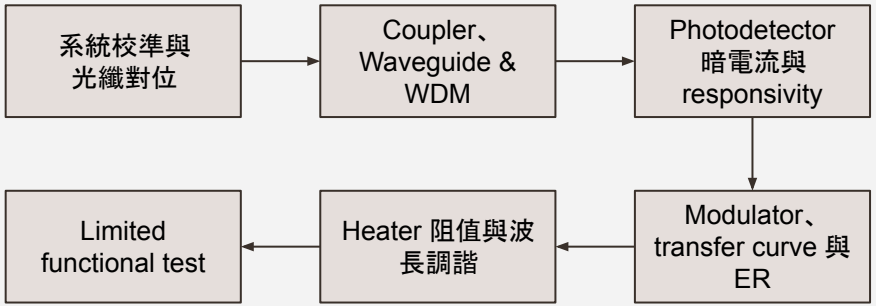
PIC 是光子積體電路，負責處理光，測試上涵蓋六步驟

- 如果說 EIC 是讓電子在金屬體與電晶體之間移動，那 PIC 就是透過在晶片上製作細小的光波導，讓光能夠在晶片裡面移動，值得注意的是 PIC 仍須用電，當中的 modulator、photodetector、heater 等元件就是電性元件，因此 PIC Wafer test 通常是光電同測。
- 用於製作 CPO OE 的 PIC 當中有幾個關鍵的組件，而後續的測試便如同 EIC 測試一樣，由淺入深的從各個角度去測單一晶片的功能是否正常？是否有信心可以進入異質整合階段。
- 六個測試步驟分別是：1. 校準、接觸與光學對位、2. 被動光路測試、3. Photodetector 測試、4. Modulator 測試、5. Heater 與 wavelength tuning 測試、6. Limited funtional test

PIC 示意圖



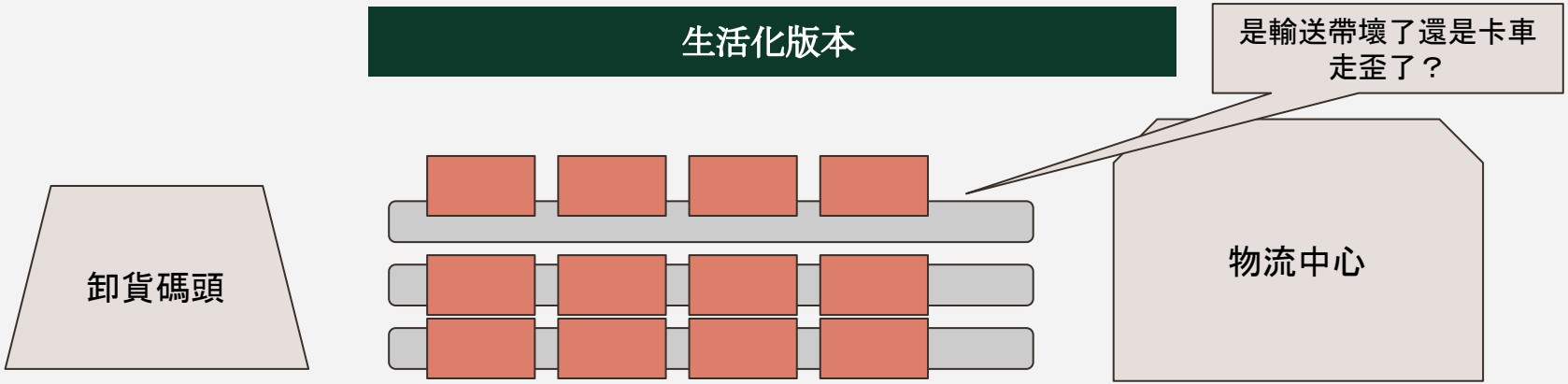
PIC 測試流



資料來源：Winway、Nomura

1. 如 EIC 一般，PIC Insertion 1 先確保量測系統正確接上 PIC

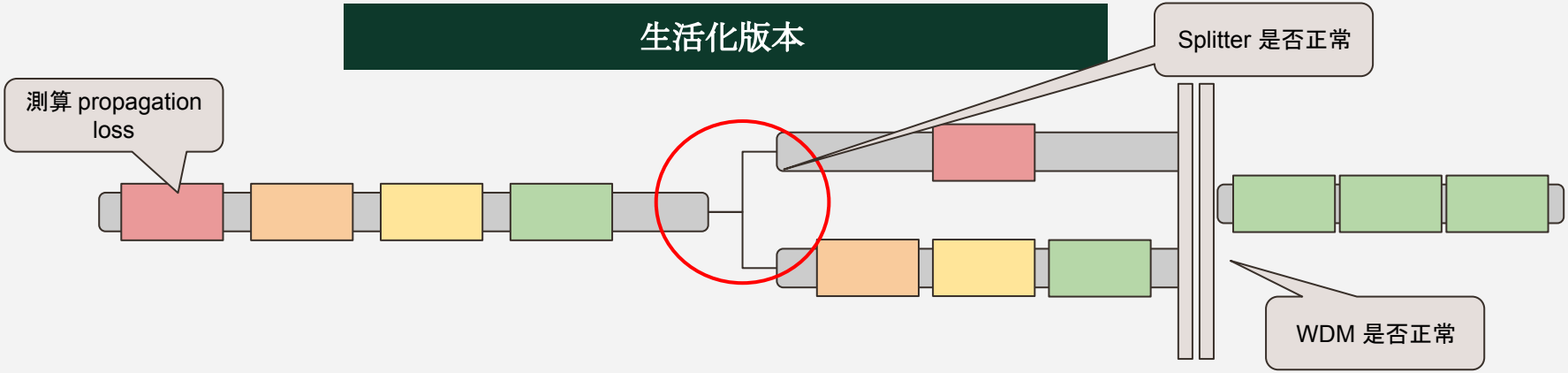
- 相對 EIC，PIC 本身同時具有電性與光學部分，因此在所有測試開始之前，必須確保探針與相關量測系統是否正確與 PIC 連接，確保後續任何 failure 都不是系統的問題，而是 PIC 本身的問題。
- 電性部分要確認探針有正確壓在 eletrical pads 上，光學部分確保外部光源能精準打到次微米量級的 PIC waveguide，在這裡系統會進行一次對準，透過將光纖移動到 coupler 的預估位置，分別在 X、Y、Z 軸附近找尋功率最大的座標，鎖定最佳位置後才開始測試，過程類似 active alignment。



資料來源：Imec、Winway、Nomura、TRITON

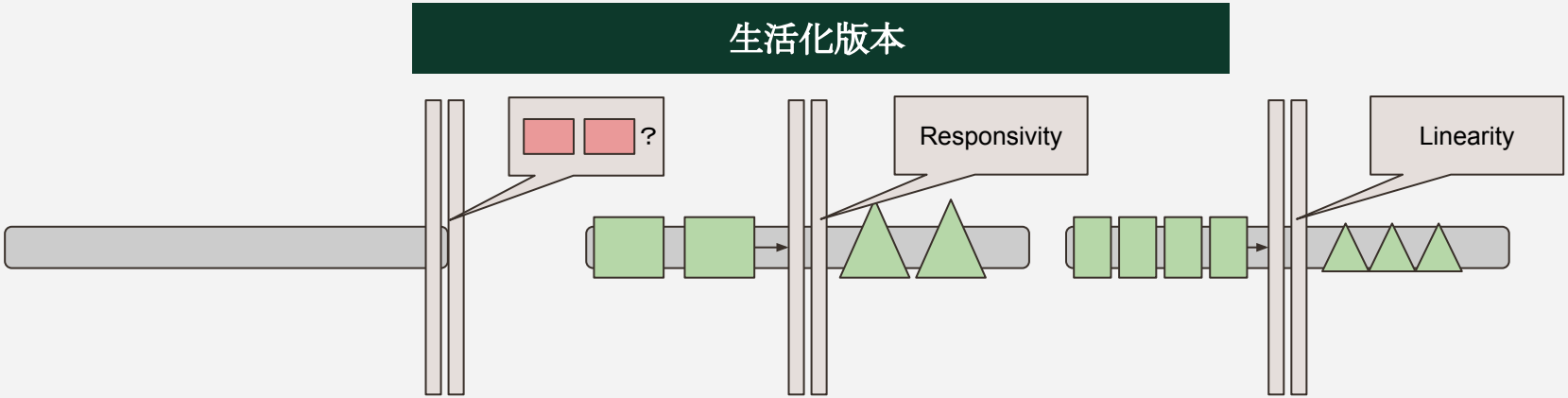
2. 被動光路測試主要檢 查 PIC 內部被動光學元件是否良好

- 此階段並不要求 modulator 或是 photodetector 主動運作，主要檢 查 coupler、waveguide、Splitter、WDM 等結構是否有問題。
- 針對 coupler，我們會想知道光能不能順利進出晶片，會使用外部雷射輸入已知功率， power meter 量測輸出功率，得到整條路徑的功率耗損，而這些功率耗損是所有 PIC 元件共同產生。針對波導，我們會去測算 propagation loss 是多少來判斷波導是否合格，簡單的去測算光走 1cm 的波導跟 0.5cm 的波導耗損差多少，就可以知道此晶片的波導是否合格，針對 Splitter，測算分光是否正常。針對 WDM，外部雷射會掃過 c-band 的一段頻譜，若沒有辦法正確選到 1,310/1,550nm，則表示 WDM 不合格。



3. Photodetector 測試　觀察 PIC 光電轉換功能是否正常

- Photodetector 通常是 Ge-on-Si 元件，負責進光功率轉微電流的功能，轉出來的微電流稱之為 photocurrent，這個階段的測試就是觀察 PIC 光電轉換的狀況如何，主要觀察指標包括暗電流、Responsivity、Linearity 與 saturation。
- 針對暗電流部分，先關閉外部雷射，施加反向偏壓，讓 photodetector 在沒有光的情況下模擬正常電壓環境下是否產生暗電流，這些暗電流必須在特定數 值以下，否則將會造成無法接受的背景雜訊。針對 Responsivity，輸入已知光功率後量測 photocurrent，算出 R=A/W，R 必須在特定數值以上。針對 Linearity，則是調整光功率算線性變化，通常會針對各波導、不同 bias 去做測試。



4. Modulator 測試，測試 PIC 電轉光能力

- Modulator 在 PIC 當中負責把來自 EIC 的電訊號寫到光上，本質上是一個快速開關閘門，透過控制光的明暗來代替 0 跟 1，路徑上是 EIC Driver to Modulator to Fiber to Photodetector to TIA。
- 第一步先測 open-short+leakage。第二步測固定功率電轉光，確認轉光能力是否符合標準，針對 MZM 或 MRM 有不同的測算方式。第三步測高低功率電轉光差異是否達標，此步驟會順便測 Insertion loss，差異不達標會使 TIA BER 拉高，insertion loss 過高則會導致元件有無法接受的熱。

MZM、MRM、EAM 比較

項目	MZM	MRM	EAM
全名	Mach-Zander Modulator	Micro-Ring Modulator	Electro-Absorption Modulator
運作原理	相位差+光干涉	移動微環共振峰	改變材料吸收係數
典型尺寸大小	最大，常為數百 μm 級別	小，常見數十 μm 級別	小，常見小於數十 μm
主要優勢	對熱敏感低、穩健訊號品質佳	WDM 整合度最佳、體積小	體積小、較不依賴共振
主要劣勢	面積大、Driver 功耗高	對熱不穩定、PAM4 難度高	材料整合、插入損耗高
典型適用方向	Coherent、長距離、可插拔	CPO、超高密度 Optical I/O	CPO、400G/lane

資料來源：Imec、Winway、Nomura、Nvidia、TRITON、Nature

5. Heater 與波長 tuning 測試主要針對 WDM

- 溫度會改變材料的折射率, 使得 ring resonator 或 WDM filter 的中心波長偏移, 因此 PIC 裡常整合微型 heater。
- 針對 Heater 部分, 會先做 heater resistance 來觀察 heater 是否 short, 再做 tuning efficient 來去觀察是否可以用正確當量的電去做 tuning, 否則就是不合格, 最後做 Thermal crosstalk, 針對每一條 channel/lane 去測試某 channel 的 heater 會不會影響到其他 channel。
- 補充: What is WDM？WDM（Wavelength Division Multiplexing, 波分多工）就是讓不同顏色／波長的光, 各自載著不同資料, 最後一起走進同一條光纖。主流有 CWDM、LWDM、DWDM、SWDM, 目前主流上偏好採用 DWDM 架構

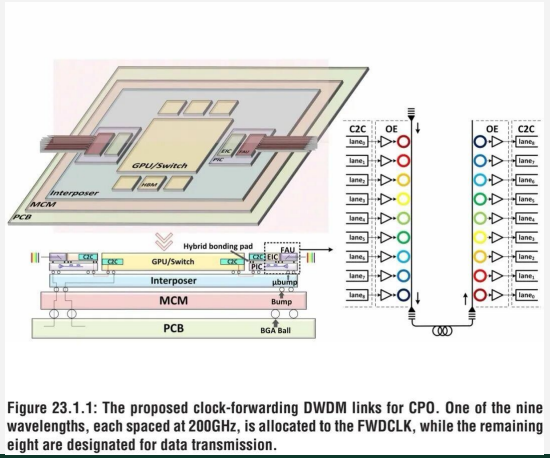


Figure 23.1.1: The proposed clock-forwarding DWDM links for CPO. One of the nine wavelengths, each spaced at 200GHz, is allocated to the FWDCLK, while the remaining eight are designated for data transmission.

資料來源:

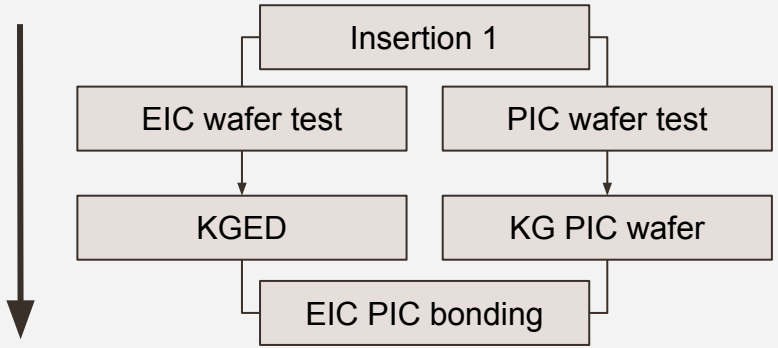
6. Limited functional test 作為收尾，確保 PIC 個體夠格進入整合階段

- 完成 PIC 單一元件的個別測試後，ATE 會將部分元件串起來去驗證一條低速的 optical path 去有限的模擬真實狀況，遵循：Laser→Coupler→Waveguide→WDM→Modulator→Output coupler，測試 channel loss 是否一致、Modulator 是否能控制正確的 channel，每個元件在指定考題下能否交出正確的答案。
- 就像 EIC 的結論一般，通過 Insertion 1 的 PIC die 只能證明他是一個適合拿去做異質整合的 die，而不代表他是一個會成功的 OE。

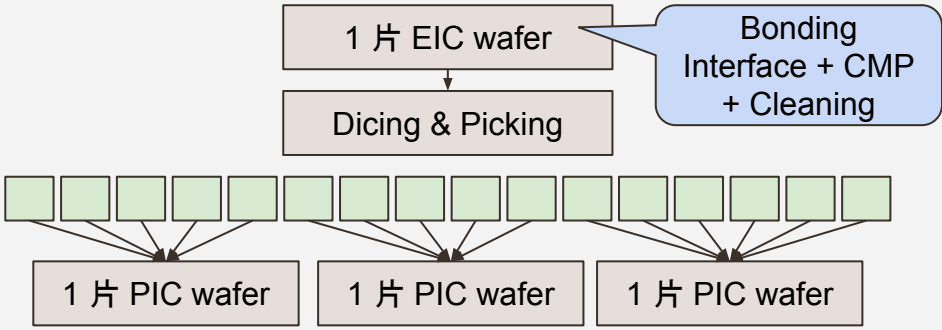
EIC 與 PIC 分開測, 通常會切割 EIC wafer 成 die 鍵合在 PIC Wafer 上

- 在測試耗時方面, EIC 屬於傳統的電晶片測試, 流程簡單, 用以下公式便一目了然: EIC wafer time ≒ (Die 數/並測數)* touchdown time + Wafer handling 時間。假設使用 12 吋晶圓, die 約 8mm*8mm, 一片約對應 1,020 顆, 4 site probe card 每四顆 die 需耗時 45 秒, Wafer handling 5 秒, 則 EIC wafer time 每片大約是 12,750 秒, 大約是 3.5 小時。
- PIC 方面就較為耗時, 我們假設主動對準需要耗時 15 秒, 電測 1 秒, 波導波長 + multi channel 需耗時等等較 EIC 耗時久, 暫且抓 60 秒, 但 PIC 本身會因為光學元件結構被動拉大, 假設 die 約 15mm*15mm, 一片對應 270 顆 (EIC:PIC=3.7:1), PIC wafer time 是 20,520 秒, 大約是 5.7 小時。

EIC 與 PIC 擁有各自的 prober 與 probe card



OE 的組成是 die to wafer bonding



資料來源: Nomura、FormFactor

EIC 測試歸屬傳統電晶片測試，PIC 測試部分價值轉移到光學對準

- 誠如前述，EIC 靠 probe card 跟 ATE 就可以全部測完了，但是 PIC 多了光學部分，一是 tunable laser，二是 Optical power meter，三是能夠進行主動對準的特製 prober，四是中間步驟繁瑣且多，對光學部分測試精準度與損耗要求更高，另一方面，ATE 本身就存在於每一個測試流當中，可以 說是不可或缺的部分，但是特製 prober 與光學測試元件才是真正的增量來源。

不同玩家在 Insertion 1 當中取得的價值

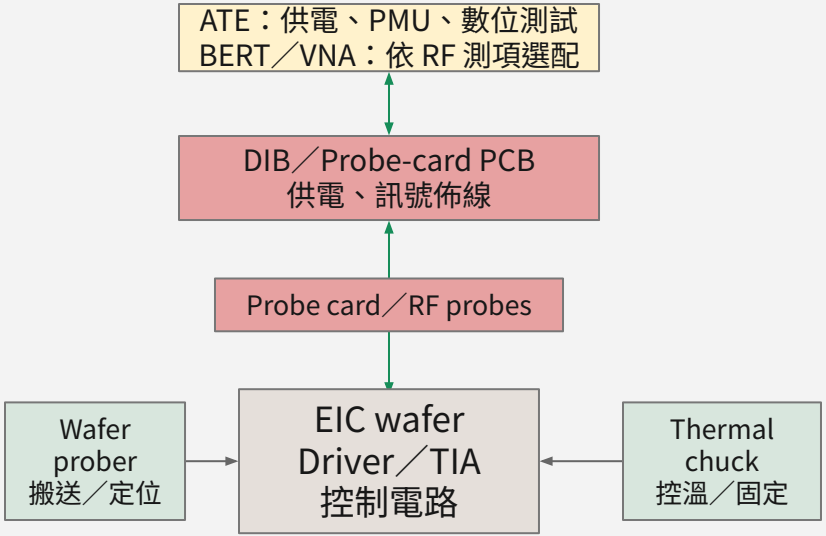
玩家	對應價值
Advantest	V93000 platform、instrument cards、SmarTest 軟體與 test orchestration
Teradyne	EIC wafer test
FormFactor	Prober、electrical probe card、optical probe、alignment、校準與整合
TEL	300 mm wafer handling 與量產 prober
Keysight/Viavi	Laser、高頻及光學量測儀器
Chroma	整合型 optical／electrical tester 的潛在替代方案

資料來源：Nomura、FormFactor

Insertion 1 測試設備地圖

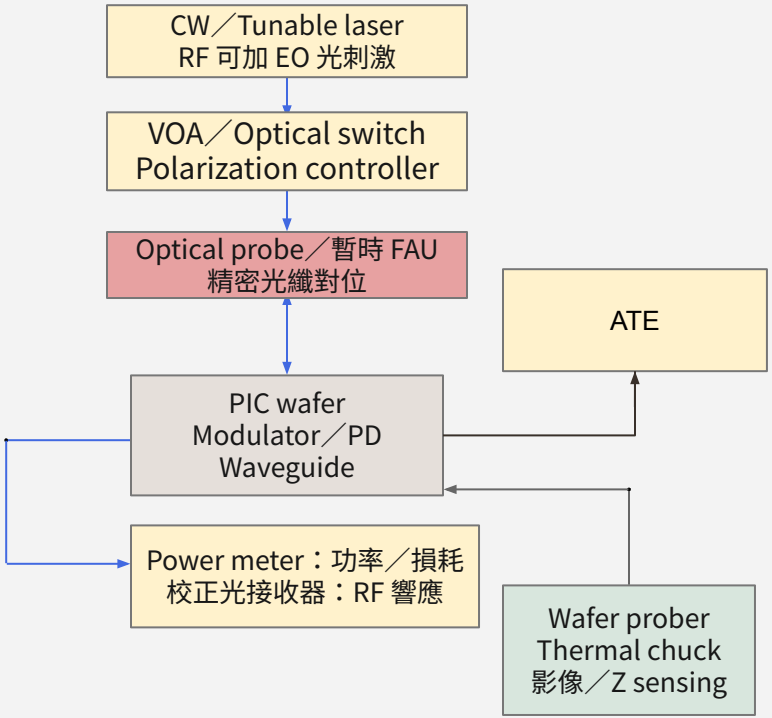
DUT：兩片不同的晶圓；圖為兩套配置示意，並非 EIC 與 PIC 在同一時間綁定測試。

EIC：電性功能／DC／高速介面



無 PIC 時：以電性負載與刺激模擬介面
此站不直接驗證完整光電鏈路 BER

PIC：光損耗／光電轉換／RF 特性



藍線：光路　綠線：電路（可雙向）　灰線：機械／溫控　虛線：選配路徑

資料來源：Nomura、自行整理

02-1-2

Insertion 2

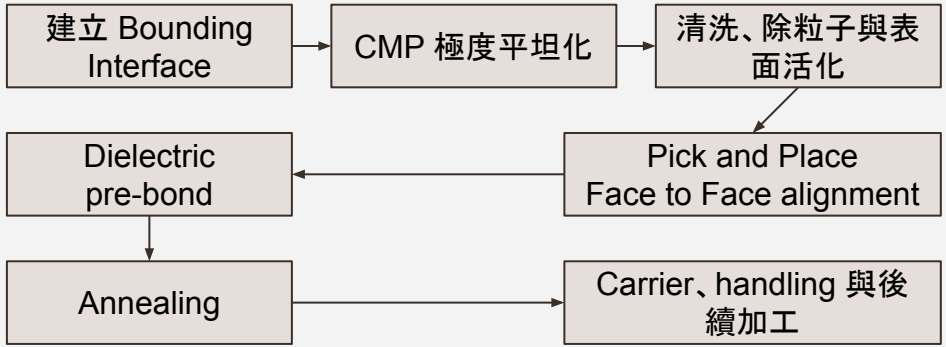
在 Insertion 2 之前，Hybrid bonding 將 EIC 鍵合到 PIC 上形成 EPIC

- 在 Insertion 1 結束之後，我們手上有兩份 Wafer map，我們透過切割 EIC wafer 的方式將 Known-good EIC die 經由 die-to-wafer bonding 的方式去做 SoIC，相比於傳統的 bonding 透過 solder microbump 來鍵結，hybrid bonding 直接讓 Cu-Cu、SiO_2 -SiO_2 鍵結，無須 bump，這樣做的目的是為了降低 EIC-PIC 的 coupling loss，並且同時支援 GC & EC 架構。
- 鍵合後我們不會得到一個一個獨立的晶片，而是看到 EIC 鍵合在 PIC 上，兩者一起在 Wafer 上 (稱之為 EPIC Wafer)，Insertion 2 就是針對這樣未被切割的 OE 前身進行測試的節點。

EPIC Wafer 示意圖



Hybrid Bonding 合理的具體步驟



資料來源：Applied Materials、Die-to-Wafer-bonding、Wikipedia、Nomura

Hybrid Bonding

Hybrid Bonding 可以做到更高互連密度

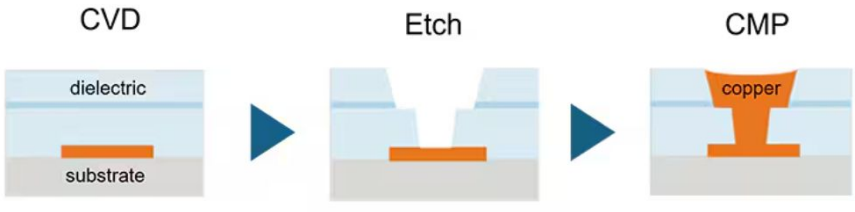


Microbumps
< 1,000 I/O / mm²
> 0.5 pJ / bit



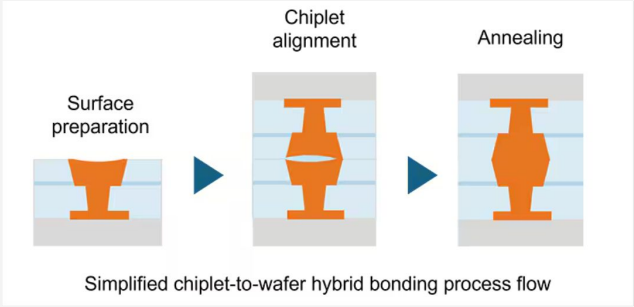
Hybrid Bonds
10,000 to ~1M I/O / mm²
Power: <0.05 pJ / bit

CMP 後略為凹陷的銅接點



Simplified copper and dielectric bonding structure process flow

透過電漿處理、熱脹冷縮、退火使凹陷銅完整鍵合



Simplified chiplet-to-wafer hybrid bonding process flow

- Hybrid Bonding 的效能與可靠度取決於許多因素，包括 dielectric（介電材料）與 metal（金屬）的化學及物理特性、表面狀態，以及極為精準的 alignment（對準精度）。
- 此外，適合鍵合的表面活性並不能持續很長時間，因此 Serface Activation to Bonding 的 queue time 變成重要的製程控制參數。

資料來源：Applied Materials

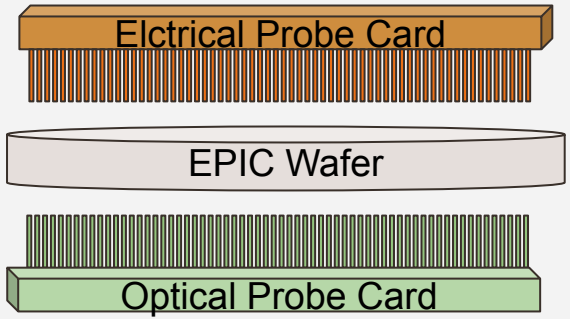
Insertion 2 存在的意義在於同時檢 查光電共工與混和鍵合

- 已知光電共工尚未被測試 + 混合鍵合是一個複雜且精密的步驟, 因此 Insertion 2 便是在 EPIC 當中排除潛在的問題, 包括 Cu pad 連通問題、Interface 存在寄生電容、EIC 與 PIC bias 不匹配等問題。
- 我們預期會參與到 Insertion 2 的設備包括 Double-side prober、Eletrical/Optical probe card、ATE、Tunable laser、Power meter 等等。
- 舉例而言, 作為 Foundry 在執行 Insertion 2 時, 可能會搭配 Advantest 的 ATE+MPI 的光電同測 Prober + Viavi 的 tunable laser 與相關光學配件來做測試

測試類型與其對應的典型元件

測試類型	對應元件
O-O	waveguide、coupler、filter、splitter
E-O	Modulator、laser driver + modulator
O-E	Photodetector、receiver、TIA chain
E-E	Driver、TIA、CDR、控制電路、RF結構

雙面測試示意圖

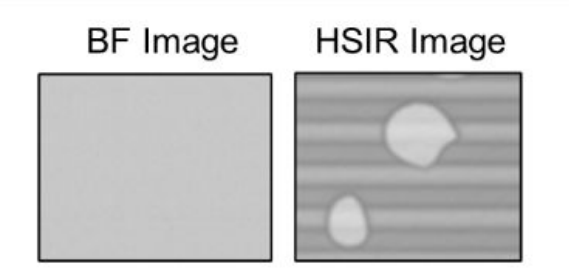


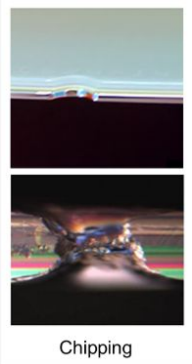
資料來源: MPI Prober、

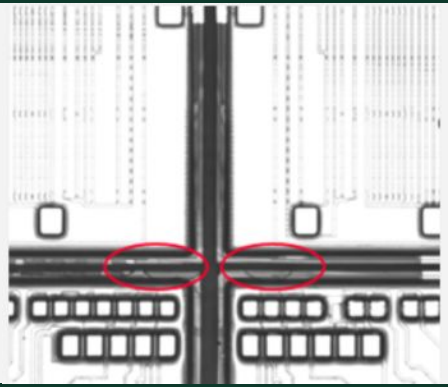
Insertion 2 具體測試步驟分五大類，目的是找出 KGEPIC

- 接下來將執行 O/O、E/O、O/E、S-parameter、High-speed test 五大測試類別，分別針對 EPIC 各種不同的功能進行測試，並且從中找出 KGEPIC，來進行後續的步驟。
- 但是在五大類步驟開始進行之前，按照慣例需要有一個 step 0 來做基礎 Functional test 跟 DC test。
- KLA 與 Onto 明確將 particles、cracks、voids、topography、pad alignment 與 wafer shape 列為關鍵監控項目，同時針對 EPIC 做 open/short test + DC test，把 Insertion 1 擔憂兩者結合仍可能發生的問題重測一次。

退火後的空洞檢測	鍵合晶圓的量測與檢 查	晶粒裂紋檢 查



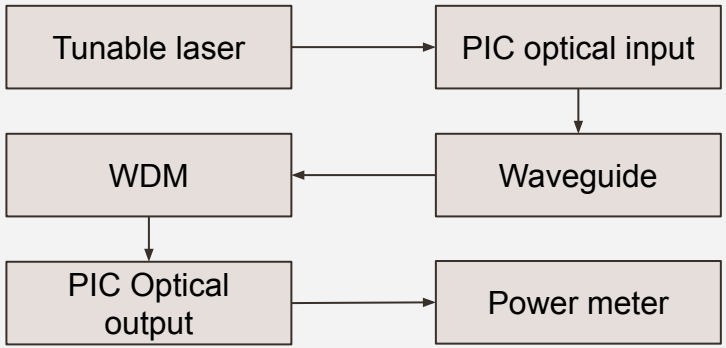




O/O Testing flow 像是重測一次 PIC

- O/O 是 Optical to Optical 測試, 架構上因為輸入是光, 輸出也是光, 因此是 O/O, 主要量測項目諸多, 包括但不限於 Insertion loss、Wavelength response、Center wavelength、Passband width、Crosstalk、PDL 等。
- 想像 O/O 測試就好像我派遣紅橙黃綠四台火車進入四個月台, 確認紅色火車可以從紅色月台出來, 橙色火車可以從橙色月台出來, 確保沒有火車半路會出軌, 也沒有火車會從不屬於他的月台跑出來, 月台跟月台之間也不會互相搶火車, 由於進去跟出來都是火車, 所以是火車火車測試。

O/O 測試架構



具體測量指標 (族繁不及備載)

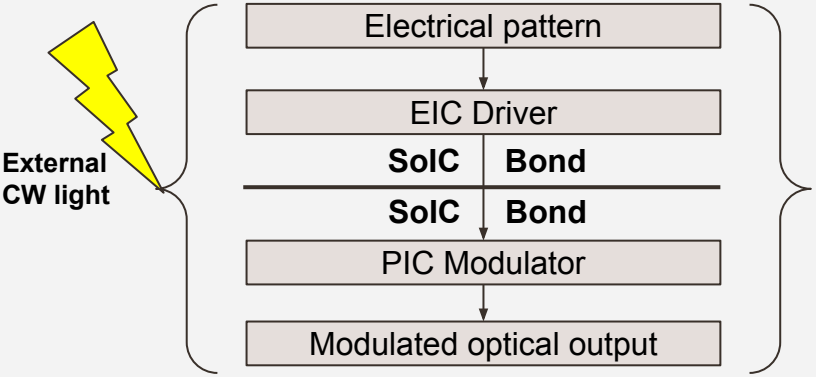
指標	意義	好的方向
Insertion loss	光通過 PIC 後損失多少？	越低越好
Wavelength response	不同波長通過多少？	符合目標頻譜
Centerwavelength	MRM 中心波長	符合設計
Passband width	可通過的波長範圍	符合設計
Cross talk	Channel 之間光洩漏問題	越低越好
PDL	不同偏振下的損耗差異	越小越好

資料來源: Keysight

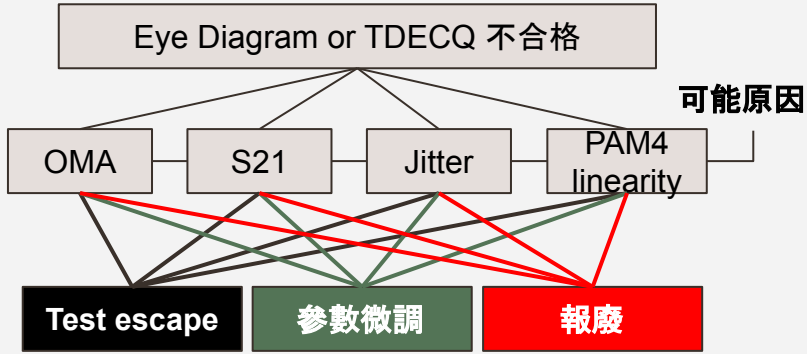
E/O 分靜態/低速、高速測量，關注 EIC 與 PIC 之間的偕同

- 在原理上，E/O 透過外部雷射打 CW light (不分 0 跟 1 的連續光束) 進入 EPIC，此時 EIC 的 Driver 會驅動 PIC 的 modulator，modulator 改變矽波導的折射率或吸收，進一步改變光的強度或相位，成功輸出亮 (1) 暗 (0) 具有意義的光波，如果是 MZM，則會將光分為兩路，電壓改變其中一條電路形成同相或反相，如果是 MRM，則透過電壓改變耦合規則，使光在通過跟不通過之間來回切換。
- 在測量上，也有很多參數需要被測試，在靜態 /低速狀態測量 Optical output power、Modulator insertion loss、ER、Modulator leakage 等；高速狀態下 (歸屬於 High speed)測 E/O S21、Group delay、Jitter、OMA、PAM4 level linearity，依照 Eye diagram 跟 TDECQ 為依歸。

E/O 測試架構



Insertion 2 E/O 測試決策樹

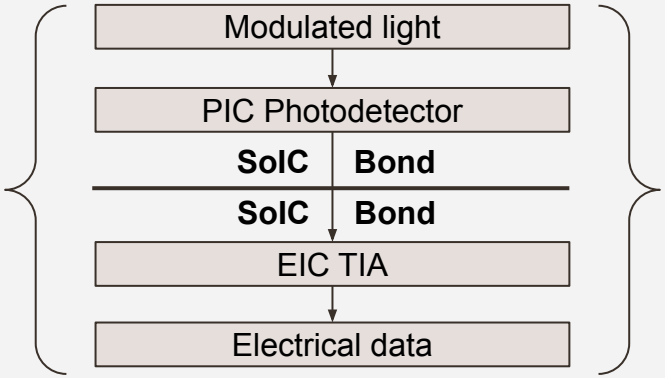


資料來源：Researchgate、

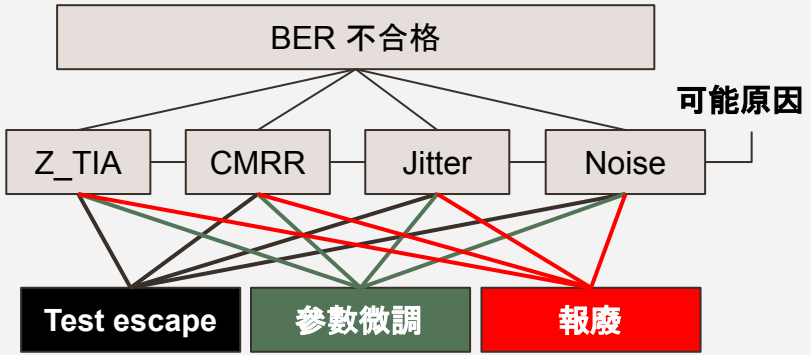
O/E 測試為從光輸入到電輸出的接收鏈驗證

- 在原理上，我們會輸入 modulated light 進入 PIC 的 photodetector，經過 SoIC bond 之後進入 EIC 的 TIA，將傳遞進去的 photocurrent 放大成可處理的電壓：V_out ≈ I_photo×Z_TIA (Z_TIA 是 TIA 轉化電流的能力，稱為跨組增益)。
- 在測量上，我們通常測量的標準包括暗電流、Responsivity、Z_TIA、O/E bandwidth、Receiver sensitivity、Saturation power、CMRR、Jitter、Noise 等 (部分歸屬於 HIgh speed 測試下參考的指標)，並且以 BER (Bit error rate) 作為部分測試項目的審核標準建立決策樹，流程上與 E/O 測試相同。

O/E 測試架構



Insertion 2 O/E 測試決策樹



資料來源：Keysight

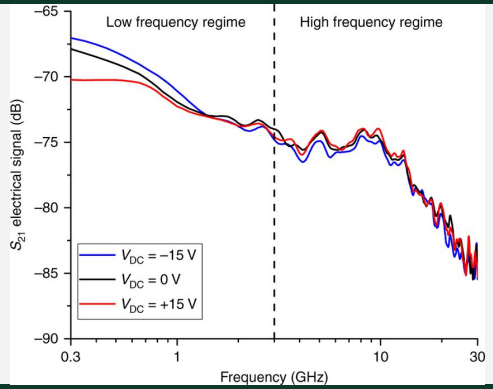
S-parameter 是一套描述高頻訊號如何進入、反射與通過 DUT 的方法

- S 參數是一套工程語言 (S for Scattering；散射)，當能量進入 DUT 時，部分會通過 DUT，部分會反射回來，我們在乎通過與反射的能量占比。在命名規則上，遵照 S_ij，j 是進入，i 是出來。S11 跟 S21 並非自由度為 1 的組合，因為除了輸出與反彈的能量外，也要考慮行經路線與各類元件的 loss。
- Insertion 2 裡面可以有很多種 S21，包括純電 S21、O/E S21、E/O S21，但是邏輯上 O/E S21 跟 E/O S21 在做 O/E test 跟 E/O test 的時候就會做了，純電 S21 的價值更像是幫助前述兩者的整體失敗找到更根本的原因。S 參數通常是小訊號、大範圍量測，眼圖或 BER 測的是大訊號、真實範圍，可能存在 S 參數合格但是眼圖不合格的狀況，反之亦然。

命名規則與其代表意義

參數	訊號方向	代表意義
S11	Port 1 → Port 1	從入口進去，又彈回入口多少
S21	Port 1 → Port 2	從入口進去，抵達出口的有多少
S12	Port 2 → Port 1	倒過來傳輸，多少抵達入口
S22	Port 2 → Port 2	倒過來傳輸，多少返回出口

E/O S21 test 示意圖



資料來源：Keysight

高速測試是給 EPIC 在 Insertion 2 的最終考試

- 高速測試主要模擬 EPIC 在真實世界下會應對的資料流，並且以：PRBS、眼圖、ER + OMA、TDECQ、BER 等五種最終指標來判斷該 EPIC 是否合格。
- 事實上除了前述幾種測試以外，也有一些針對不同規格的 EPIC 的測試，比如 heater 測試針對對溫度特別敏感的 MRM-base EPIC，multichannel simultaneous 測試針對 4/8 channel 全開的特殊場景，部分測試因為耗時過長，因此會根據不同客 戶、不同型號的 EPIC 進行抽測或選測，不歸類在普遍認知當中的 Insertion 2 SOP。

高速測試的工具與量化指標

測試/工具	全名	意義
PRBS	偽隨機二進位序列	一種測試工具，產生看似隨機但可重現的高速資料，模擬真實傳輸並刻意刺激通道使其犯錯
眼圖	Eye Diagram	將大量波形重疊形成眼睛，眼睛越大則表示訊號越清楚
ER+OMA	消光比+光調變振幅	觀察亮暗程度
TDECQ	PAM4 發射器與色散眼圖閉合代價	將實際 PAM4 發射訊號與指標對比，量化其為達到相同錯誤率需要增加多少光功率，越低越好
BER	位元錯誤率	直接衡量資料是否能 夠正確傳輸

資料來源：Keysight、400G 光模塊測試影片參考 、

Insertion 2 普遍被認為是 CPO 測試中最困難的測試節點

- Insertion 2 是上下光電同測，上方透過 eletrical probe 接觸 EIC，下方透過 optical probe 接觸 PIC，同時 wafer chuck 必須保留光學開口，同時又不能讓上方的接觸力使下方的高精度 alignment 跑掉，另一方面光學上的誤差容易被當成產品的缺陷，比如 alignment 跑掉 1dB 卻沒有在最一開始找到，那麼後續 ATE 將會直接判定為 PIC total loss 1dB，type I error 將導致測試成本上升，除此之外，如果因為要確保準確而對所有 EPIC 的所有 channel 採用所有步驟將會讓測試時間直接裂開，無法接受。
- 測試設備商的技術護城河就體現在設備在測試的過程中誰對準最快 (對準通常最花時間)、誰測試最精準、以及在眾多測試參數當中如何挑選出哪些是 must、哪些可以用 proxy、哪些可以抽測，透過一套獨家的 HVM recipe to minimize test escape

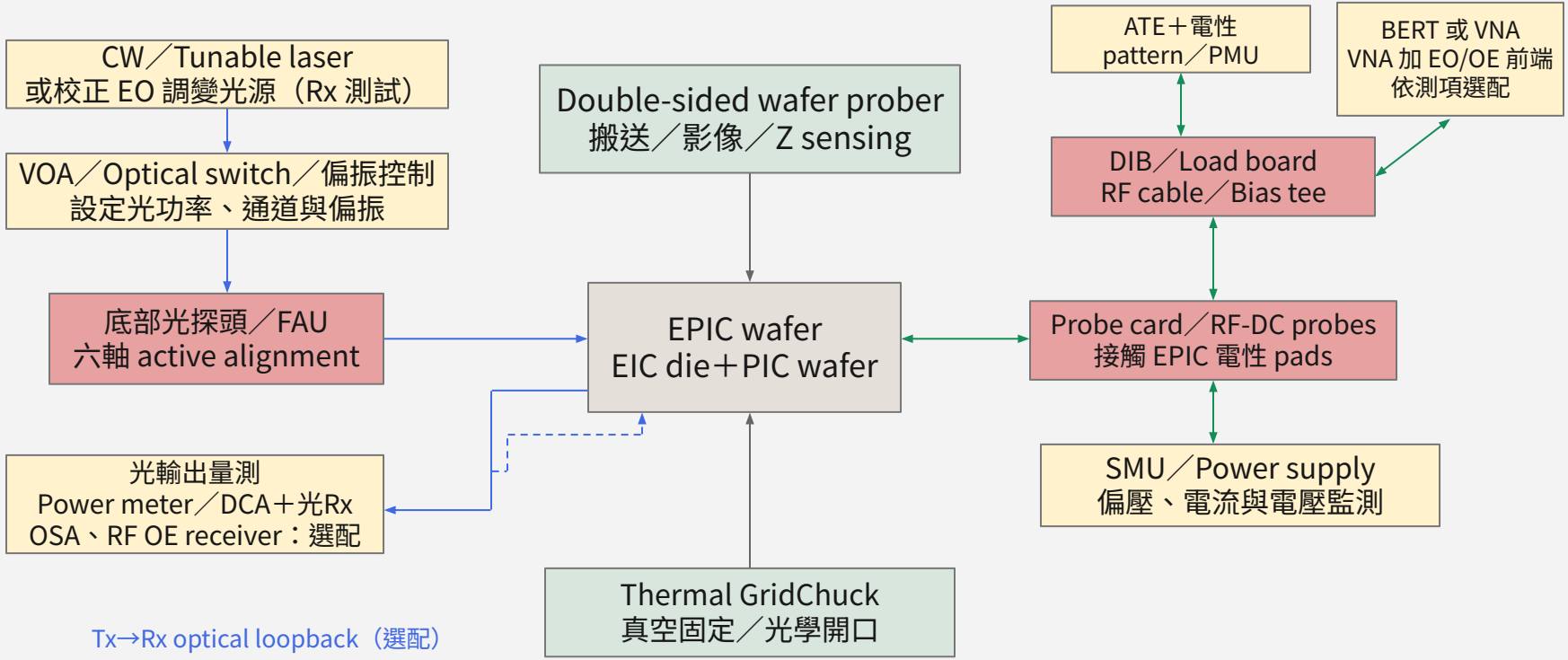
測試的最佳化目標

1. min T_test
2. Subject to
   - Test escape ≤ β_max (客戶可以接受最大的壞品被誤認為良品的機率)
   - False reject ≤ α_max (客戶可以接受最大的良品被誤認為壞品的機率)
   - Coverage ≥ C_min (現行測試步驟可以涵蓋多少已知的潛在故障)

資料來源:自行整理

Insertion 2 測試設備地圖

DUT：EIC die 已 bonding 到 PIC wafer；採 COUPE 類上電下光架構，驗證整合後 DC／E/O／O/E／高速性能。



E/O：電入光出；O/E：調變光入電出；BERT 測 BER，VNA＋EO/OE 測頻域響應。

藍線：光路　綠線：電路（可雙向）　灰線：機械／溫控　虛線：選配路徑

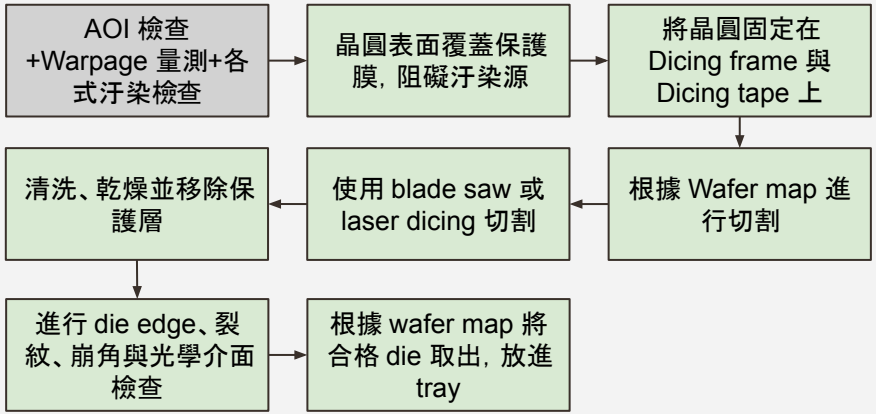
02-1-3

Insertion 3

EPIC 在完成 Insertion 後，透過 Singulation 切成 OE die

- 透過 Insertion 2 掌握 EPIC Wafer map 之後，會將 wafer 送往 OSAT 廠進行切割，經過典型的七步流程之後得到一個 Optical Engine die，切割步驟對於 OE 來說相比普通 IC 而言難度更高，因為切割時早成的碎屑、裂縫和應力隨時都有可能致使精密的波導或 coupler 壞掉。
- 得到 Singulated OE die 之後執行 Insertion 3 (Die level)，測試的項目上與 Insertion 2 類似，但是因為一個是切割前，一個是切割後，因此中間過程創造了可能的缺陷，加上後續正式封裝的成本也很高，所以必須在切割後封裝前給予一次完整的光電測試，找出 KGOE 後進一步封裝，接受 Insertion 3.5。另一方面 Insertion 3 也是在攔截 Insertion 2 的 test escape，對於 CPO 測試環節又上了一層保險。

EPIC wafer 切割典型七加一步驟



Insertion 3 的必要性隨以下條件提高

Insertion 3 的預期淨收益

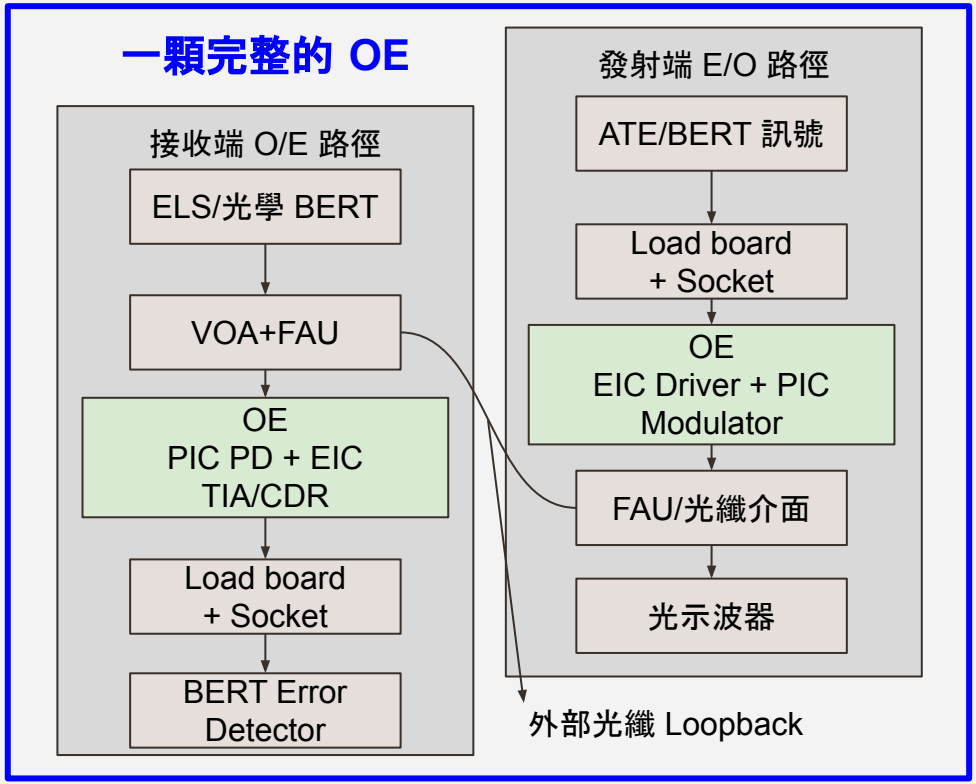
$$\Delta EV_{I3} = P_{AI2} \times S_{I3} \left[\begin{array}{c} (1 - R_{OE})(C_{FAU} + C_{Align} + C_{OEPKG} + C_{I3.5}) \\ + P_{E3.5} \times (1 - R_{CPO}) C_{CPO} \end{array} \right] - [C_{I3} + C_{cap} + (1 - P_{AI2})(1 - S_{pi3}) C_{falsereject}]$$

If delta EV_I3>0, do insertion 3. Else, do not.

將 Insertion 3 理解為 OE 的 FT, 模擬一切極端狀況

- 在一切開始之前, 會有 Step 0 去做歸零校準, 確保後續一切測量皆不是儀器問題
- Step 1 是抓取、定位與建立電氣接觸, 透過 Handler 把 DUT 抓取放到 Optical-Electrical socket 裡確定 open-short, 直到確定所有 pin 都有導通
- 接下來正式開始 Insertion 3 的三加一測試項目, 我們會在後續簡報一一詳細介紹 :Full calibration／DC test、High-speed functional test、Optical loopback test、Alternativly: S-parameters

測試設備與訊號路徑示意圖



永遠都要做的 DC Test 做為 Insertion 3 的開門步驟

- 在這個步驟當中, 將會檢 查 OE 的基本電氣狀態、元件是否能正常 啟動、每一條 lane 對應的通道正確等等, 在這裡檢 查出的 failure 屬於硬性的失敗, 因為沒有辦法透過後續參數調整拯救, 只能報廢。
- 而後會進行發射端跟接收端的校準, 針對發射端， EIC Driver 必須提供適當的電壓驅動 PIC 內部的 MZM/MRM, 由於製程、溫度與波長差異, 每一個發射器的 modulator 所需的 bias 不盡相同, ATE 會在這個階段找到 Modulator 的最佳工作點。針對接收端, 透過外部光源向 PIC 輸入已知光功率, 去測量 Dark Current 等一系列指標, 確保接收端的轉換無異。
- 最後進行靜態光學檢 查, 透過 CW Laser 去測量先前在 Insertion 2 提及過的指標。

高速 functional test 終於可以完整回答 OE 的真實可行性

- 事實上高速測試的具體內容已經已經在 Insertion 2 完整介紹過了，這邊再進行簡單的介紹，會針對發射端跟接收端分別去做測試。在發射端，透過 BERT/ATE 產生 PRBS 經由 Socket 進入 EIC Driver，由 Driver 驅動 PIC Modulator 把 CW light 調變成高速 PAM4 光訊號，再由光示波器或 optical error detector 接收，針對各種測試項目進行檢 查。在接收端，由光學 BERT Tx 先產生已知 PAM4 訊號，透過 VOA 控制輸入光功率，再送入 OE 的 photodiode。PIC 將光轉成電流，EIC 的 TIA、equalizer、CDR 將其還原成高速電訊號，最後由 BERT error detector 比對。
- 在 Insertion 3 的高速測試無非就是針對切割後的 OE 再做一次，其一是抓捕因為切割這個動作本身而導致的瑕疵品，其二是抓捕 Insertion 2 的逃逸瑕疵品。

Tx E/O 端檢查項目一覽表

項目	意義
Line Rate	是否達到目標 lane 速率
AOP	平均光功率
OMAouter	PAM4 最高與最低光位準的有效差距
ER	消光比
TDECQ	發射端與色散造成的 PAM4 眼圖損失
RLM	PAM4 四個位準的線性度
Rise/fall time	上升、下降時間 (不能太快或太慢)
Jitter	訊號邊緣的時間抖動
Optical crosstalk	鄰近 lane 對本 lane 的干擾

在 95% 信心水準下 BER 所需測試時間公式

$$Time\ (seconds) = \frac{2.996}{bitrate * BER}$$

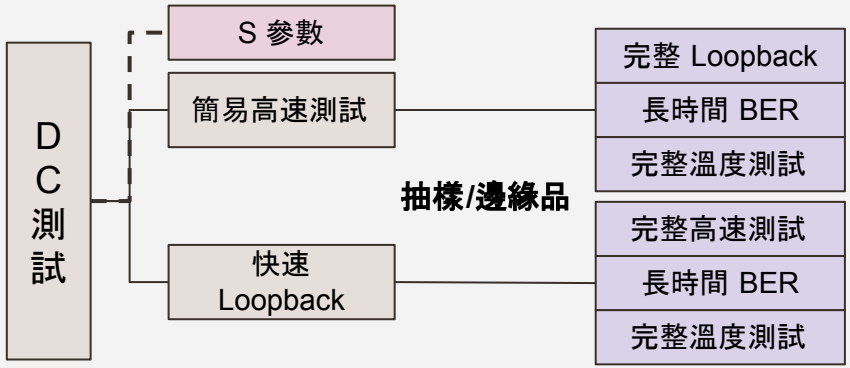
假設客戶要求 BER = 10^-12，我的 bit rate 是 100G/lane，也就是 100*10^9，對應的測試時間就是 30 秒，以此類推每通道不同速率與不同 BER 要求所需測試時間

資料來源：Tektronix、Keysight BER、

Optical Loopback 測試

- 這個測試同樣面向 OE 在真實世界的運作狀況，但是更專注在整套系統的閉環運作，前者是 Tx 跟 Rx 分開測試，這次是同時啟動同時運作同時面對一筆資料，檢查 crosstalk 與 end to end BER。
- 我們模擬兩種情況來說明 Optical loopback 跟 High speed 為什麼即使都是模擬真實情況下 OE 的運作情況沒有辦法總是互相取代：一、假設某 OE Tx 端特別強，但是 Rx 端接光能力很弱，當今天做 optical loopback Tx 端發出的光即使經過 loopback loss 抵達 Rx 端，仍可能通過測試，因為 Tx 端補償了 Rx 端的弱勢，因此這個 OE 通過了 optical loopback，卻不是一個良好的 OE。二、Tx lane 1 錯接到 Rx lane 2 的狀況、FAU 光纖排列錯誤、Tx Rx 端全線運轉時會壞掉的狀況都沒有辦法透過 High-speed 測試測出來，只能透過 optical loopback 來達成以上條件進而除錯。

針對量產配置的合理測試流程猜想



Optical Loopback Tester for pluggable



Type-C port for easy access to device.

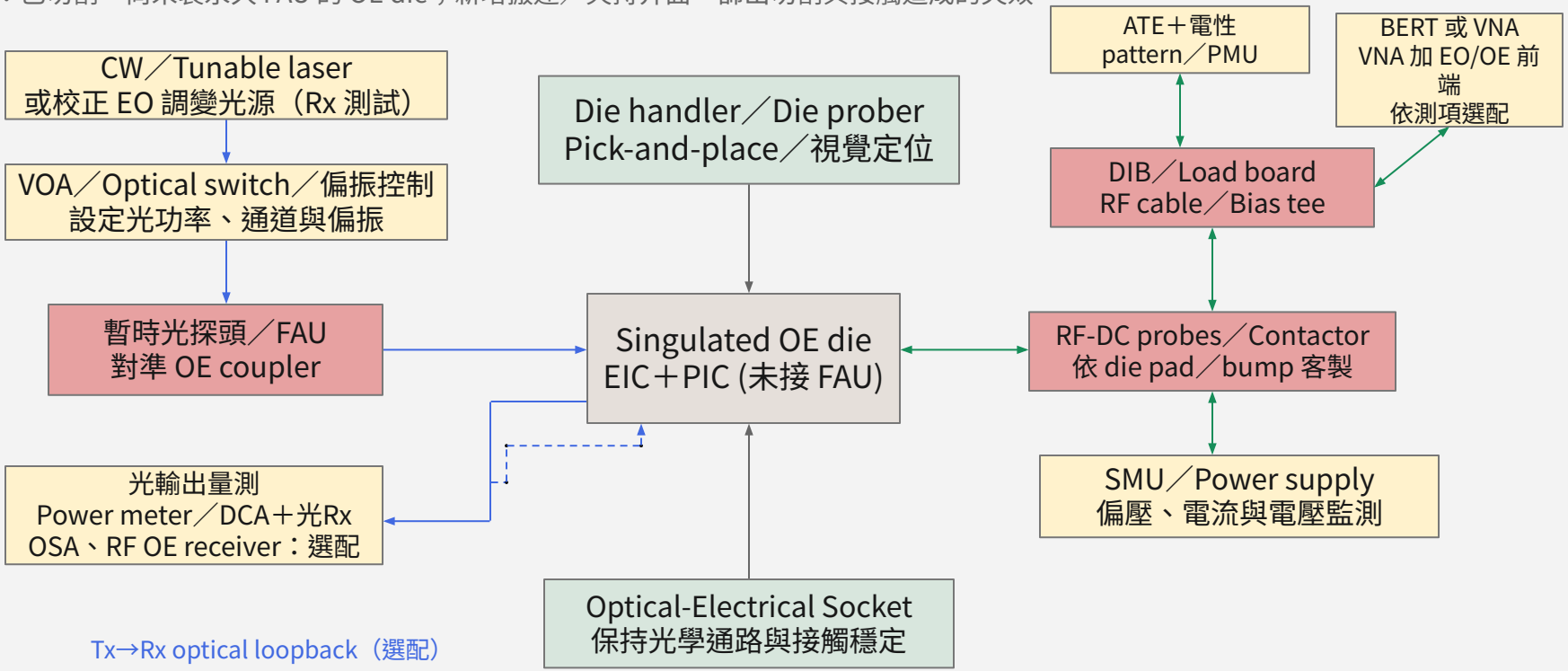
Support loop-back test

Support 125M/1.25G/2.5G/3.125G/5G/
8.5G/10.3125G/
11.3G/14.5G

資料來源：Morgan Stanley、Teradyne、

Insertion 3 測試設備地圖

DUT：已切割、尚未裝永久 FAU 的 OE die；新增搬運／夾持介面，篩出切割與接觸造成的失效。



E/O：電入光出；O/E：調變光入電出；BERT 測 BER，VNA＋EO/OE 測頻域響應。

藍線：光路　綠線：電路（可雙向）　灰線：機械／溫控　虛線：選配路徑

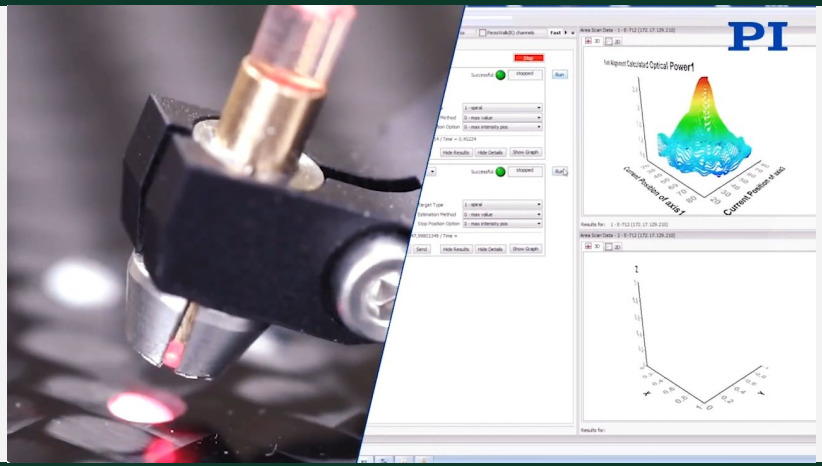
02-1-4

Insertion 3.5

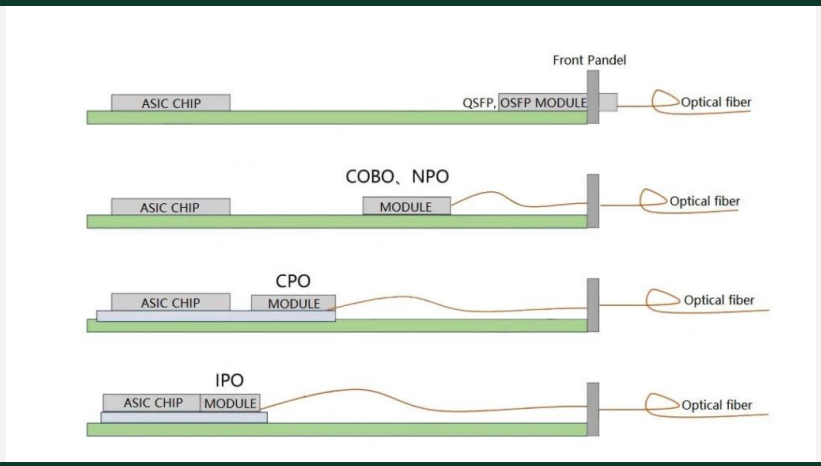
OE die 經過層層組裝建立光與電的對外通道形成　OE Pacakge

- 依照製程難度、OSAT 擁有的技術與設備有不同的封裝方式，但是目前最主流的方式就是將　OE die 透過先進封裝裝到有機載板上，確立電性介面之後，開始針對較為棘手的光學介面。
- 外部光路的光學元件包括 FAU、Fiber ferrule、V-groove、Micro-lens 等，經由主動對準 (Active Alignment) 確認後永久固定光學元件，接著進一步固定光纖，對其施加應力保護，避免後續光纖的移動連帶到　FAU 使其離開最佳位置，最後貼上 Lid + TIM + Stiffener 協助散熱，僅可能的不讓 FAU 因為 OE 裡面各種 CTE 不同的材質熱漲冷縮擠壓到 FAU 的位置。

主動對準幫助找到光功率最大的位置



OE 的承載結構決定了這是　NPO or CPO

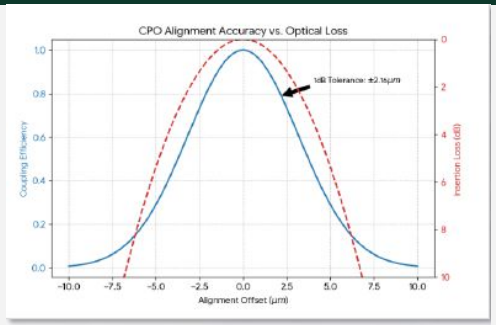


資料來源：ASE、IBM、

Insertion 3.5 用於捕捉可能會在組裝環節出現的瑕疵

- 在光引擎的封裝過程中，最主要的風險包括：FAU 對位偏移、膠材固化導致的收縮、封裝的機械應力、光學表面遭汙染或受損等。
- Insertion 3.5 主要就是針對這些可能出現的風險進一步挑出通過測驗的 OE Package，選出真正的 KGOE 送入最後的 CPO Package。
- Insertion 3.5 的測試流程未有標準流程，可能會更多的專注在 O/O test，但其他大多與 Insertion 3 沒有太大差異，包括 DC Test、Tx 端 + Rx 端的高速測試、Optical loopback。

FAU 主動對準造成的潛在偏移具有疊加性



Tolerance Stack-up: 3.8μm | 42% of core diameter.

測試時間由許多因素共同決定

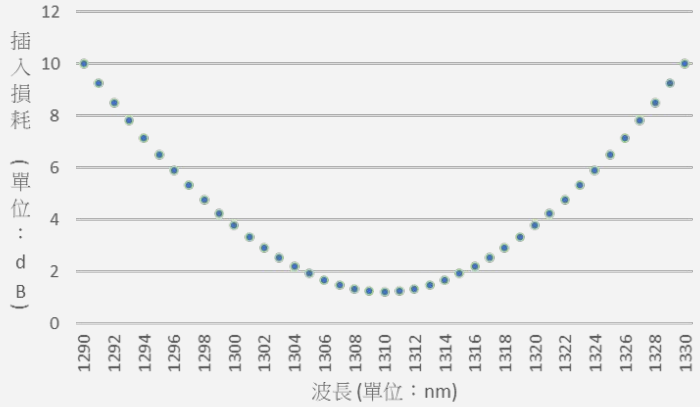
$$T_{3.5} = T_{handling} + T_{contact} + T_{Alignment} + T_{O/O} + T_{DC} + T_{HighSpeed} + T_{loopback} + T_{temp}$$

資料來源：Winway CPO forum、

O/O Optical test 是 Insertion 3.5 最具差異化的測試

- 由於封裝過程中最容易出現 failure 的地方就在於 FAU, 因此針對 O/O 部分 Insertion 3.5 設計了七道關卡, 針對光學連續性、Insertion loss、Optical return loss、Wavelength response、PDL、Channel Uniformity 分別去做檢驗。
- 光學連續性觀察是否有 Fiber 斷裂、FAU 錯位、Lane mapping 錯誤等問題、插入損耗同時觀察封裝後 絕對損耗與封裝前後損耗差異判斷封裝過程中可能的狀況、顯著的光回波損耗可能來自異常的不連續表面, 進一步破壞 PAM4 訊號、波長響應則透過可調變雷射量測 OE 面對不同波長是否有異常表現;每一個測試都是合理且可能的測試項目, 但是實際上 OSAT 未必會全測, 具體如何即測試方的 Know-how

波長響應觀察插入損耗與波長的關係



資料來源: Winway CPO forum

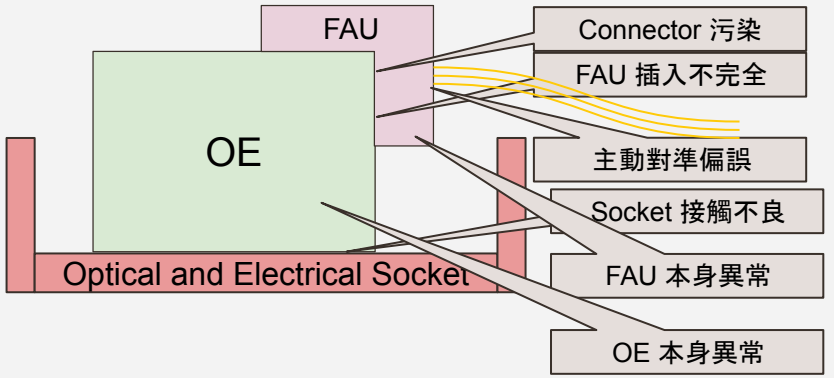
High speed test 與 Optical loopback 同樣出現在 Insertion 3.5

- Insertion 3.5 在加入 FAU 等光學元件之後仍需要針對其真實使用情境進行測試，而高速測試與光 Optical loopback 的測試邏輯在 Insertion 3 已經介紹過，此處不過多贅述，總而言之就是針對組裝階段可能出現的瑕疵與 Insertion 3 出現的 test escape 去捕捉。
- S 參數的測試與否取決於每一個客戶不同，我們認為比較合理的狀況是針對邊緣品或抽樣品會進行進一步的測試。
- 針對溫度與機械可靠性方面的測試，應分為 100% 量產測試項目與抽樣品測試項目。
- Insertion 3.5 的可維修性要較 Insertion 3 高，因為故障原因大多來自外掛元件，而非難以維修的 OE

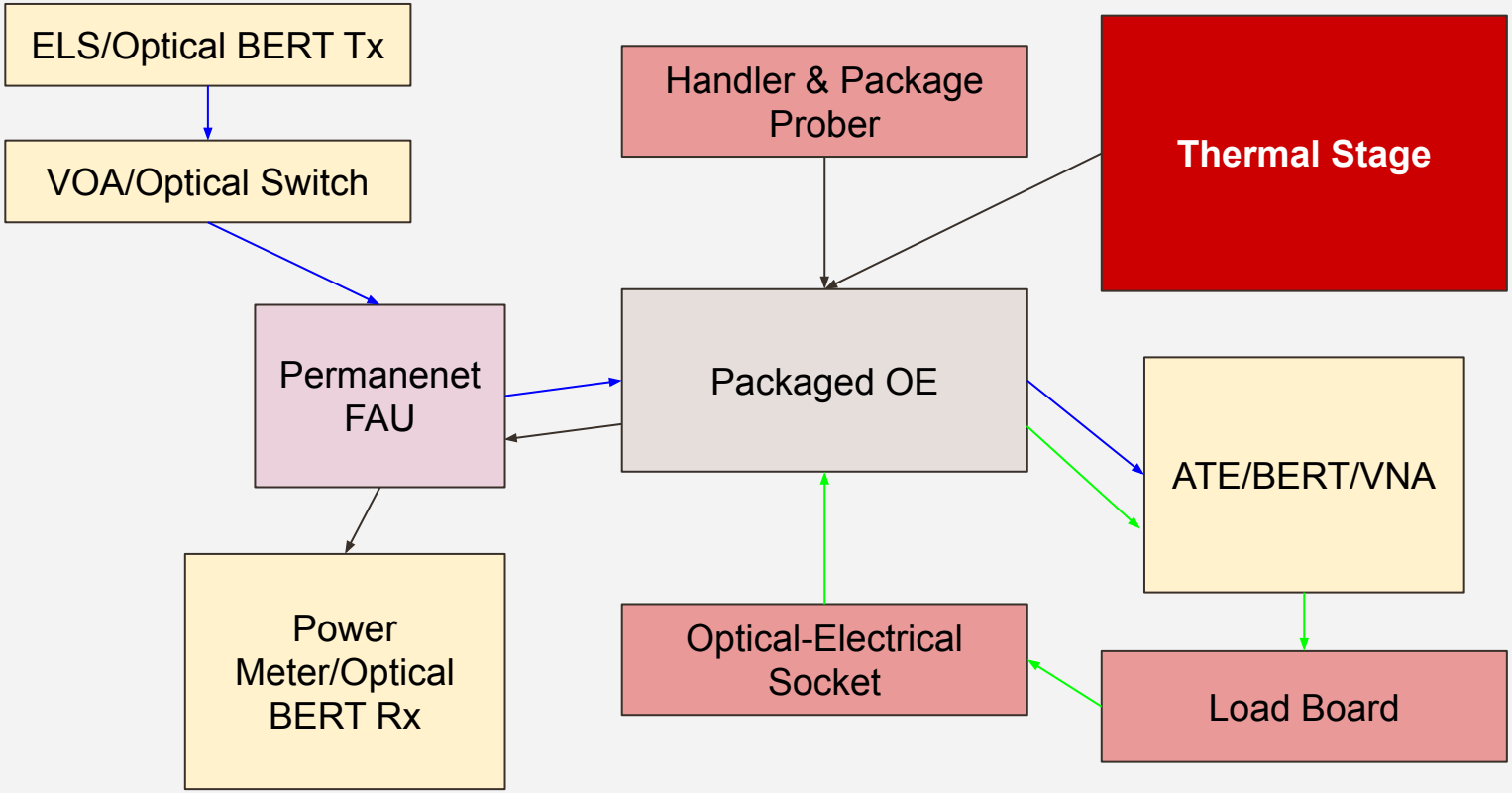
溫度與機械可靠性測試項目

100% 量產項目	抽測項目
室溫下 DC、O/O、高速	長時間高溫高濕
短時間 Hot/Cold test	機械撞擊與振動測試
短時間全 lane loopback	光纖拉力
-	長時間 BER
-	反覆開關機

Insertion 3.5 的故障大多來自外掛元件



Insertion 3.5 測試設備連結關係地圖



資料來源:自行整理

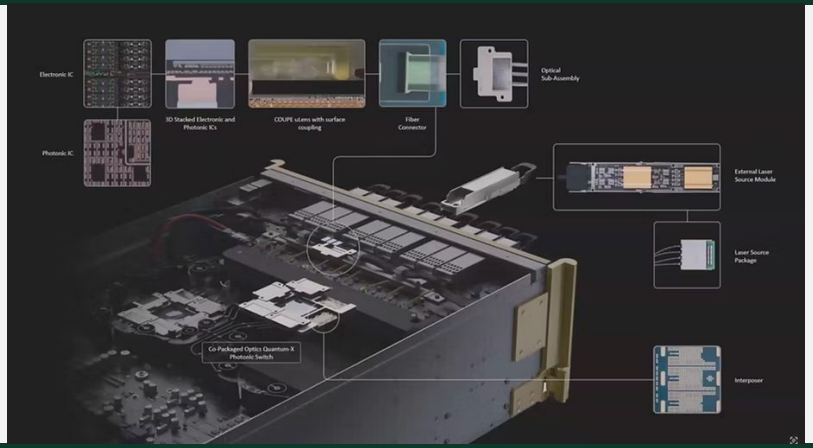
02-1-5

Insertion 4

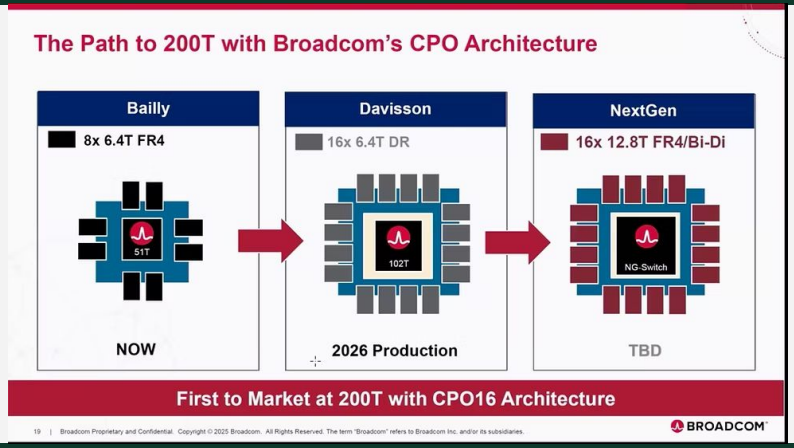
Insertion 4 的典型 DUT 為 Switch ASIC 搭配多顆 OE 與外部雷射

- 我們以 Nvidia 基於 Infiniband 網路協定的 Quantum-X800 CPO Switch 為例, 看在 Insertion 4 階段時的 DUT 是什麼型態。此交換機外部具有 Switch Management 與液冷系統的配備, 協助帶走大量的熱能。一個 Switch Tray 裡面有四個 CPO ASIC, 每一個 ASIC 都有六個 Optical Sub-Assemblies, 裡面有三個 OE, 對應每一個 ASIC 都有 18 個 OE;每一個 ASIC 也會對應 324 個 Optical Connections, 144 個 MPO Fiber Cables, 總共有 1152 條單模光纖;整個交換機模組共有 18 個 ELS (每個 ELS 由 8 顆雷射組成), 對外有 Tx/Rx 各 576 lanes。

Nvidia CPO 交換機



博通同時也是 CPO 交換機的重點供應商



資料來源: Nvidia、Simple Tech Trend

Insertion 4 的必要性從 CPO module 良率公式可見一斑

- 如前頁所述，CPO 模組由多個獨立的組件共同封裝而成，而每一個零組件的瑕疵都會使整個模組報廢，因此即使前面所有的 Insertion 可以確保 OE 能夠達到 99% 的良率，但是當我們在組裝 Quantum-X800 (具有 32 個 OE) 時，我們只能確保他的良率不大於 72.5%。
- 在 72.5% 的良率基準下，我們還有可能面對到 Package to Module 程序當中所產生的額外瑕疵發生的可能性，包括 ASIC to OE 的電性介面如何、FAU 是否在組裝中有位移、32 顆 OE 同時啟動是否有 crosstalk、ASIC 與 OE 的 lane mapping、training、CDR 與 timing 是否正確、外部雷射是否能 夠正確分光等一系列問題。

CPO Module 良率公式

$$Y_{CPO} \approx Y_{ASIC} \times \prod_{i=1}^{n} Y_{OE_i} \times Y_{attach} \times Y_{Substrate} \times Y_{Alignment} \times Y_{thermal}$$

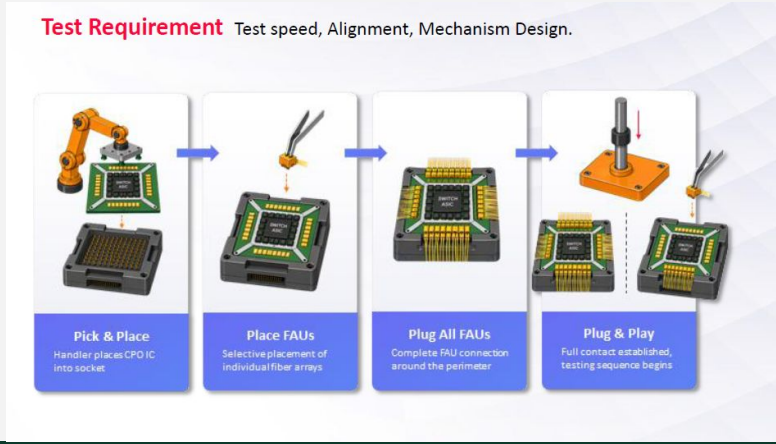
即使假設所有的環節良率都達 99%，CPO Yield 也會只剩下約當 68.94%，若將 OE 良率拉至 99.5%，則良率可以較接近可正常出貨的 81%。

資料來源：Nvidia、自行整理

Insertion 4 分為 4E 與 4O, 分別做高速電性測試與光傳輸測試

- 我們已經對於電性測試的流程很了解了, 因此這邊並不過多贅述細節, 僅以大致可能的流程進行 說明, 4E 的部分是透過 ATE/BERT 產生 PRBS 或特定的 pattern 透過 load board + Hypersocket 抵達 CPO substrate 送入 ASIC, ASIC 再透過封裝內 SerDes 送往 EIC, 觀察 ASIC-OE eletrical lane mapping 是否正確, 以及一些相關的電性指標。
- 在 4O 部分, 針對 Tx 部分從 ASIC 到 EIC driver 到 PIC modulator 搭配外部光源將光經過 FAU 打到光功率計當中進行測試, 觀察多種指標包括 TDECQ、OMAouter、Power 等, 針對 Rx 部分則是從 VOA 出發將光透過 FAU 傳輸到 OE 裡面再經過 PIC pd to TIA/CDR 到 ASIC 裡面確認 BER。

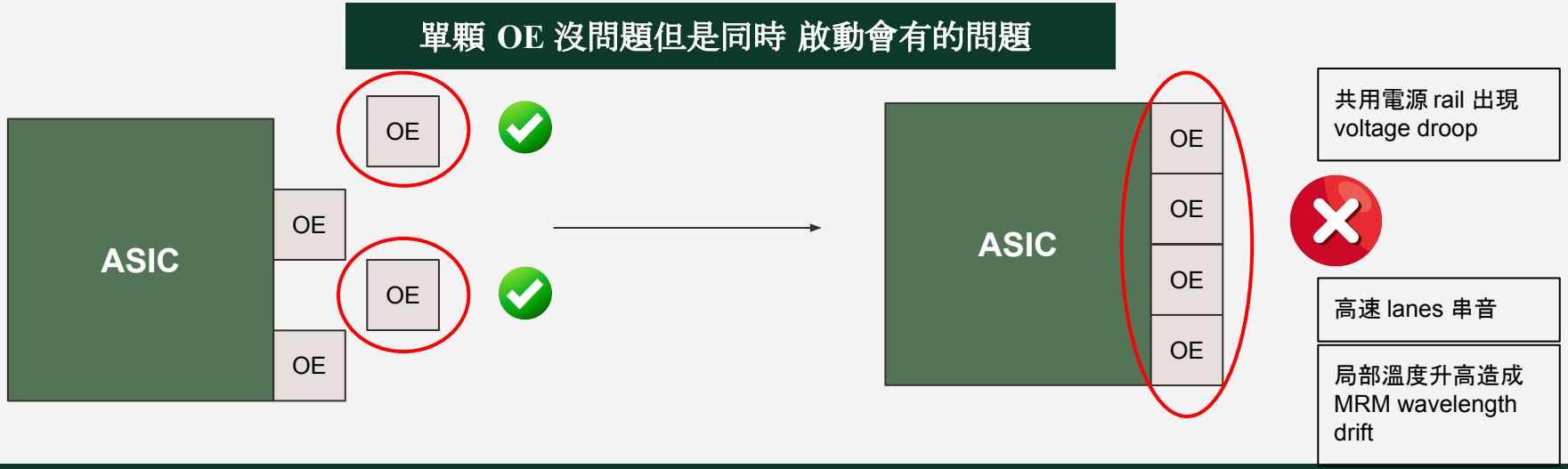
在 4E 與 4O 之前的一些步驟



資料來源: Winway CPO forum

除了 4E 與 4O，Insertion 4 也會做 Optical loopback

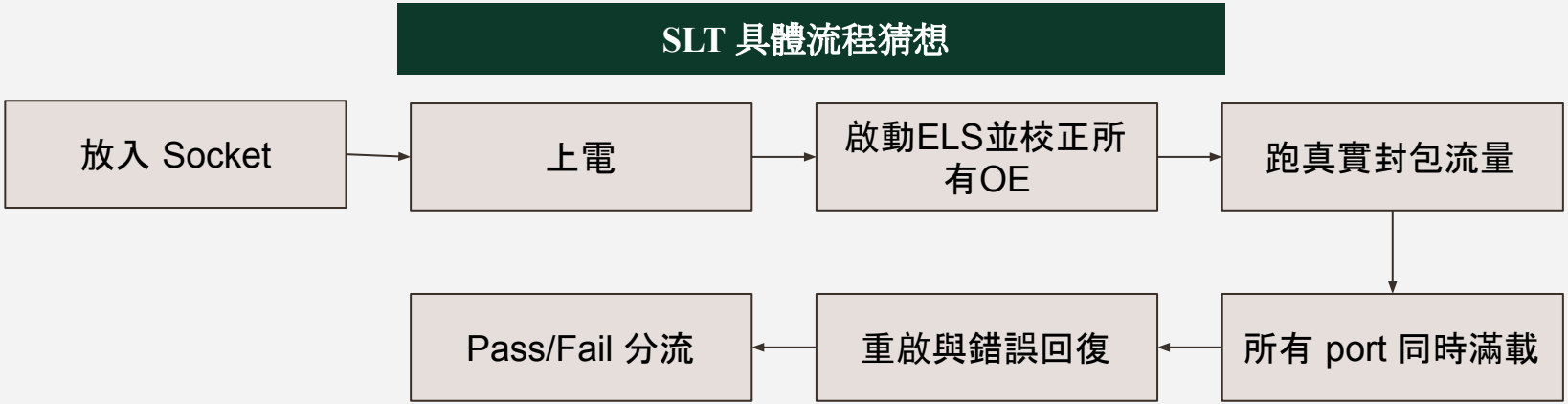
- 與 Insertion 3 相同，CPO module 也會做 Optical loopback，具體路徑從 ASIC Tx 端出發，經過 EIC→ PIC Tx→ FAU→ PIC Rx→ EIC→ ASIC Rx，驗證一個系統的 pre-FEC BER、Post-FEC error 等。
- 這裡的 Optical loopback 與 Insertion 3 的本質差異在於 CPO module 多了 ASIC、ASIC-OE 間的電性通道、CPO Substrate、Acutal Permanent FAU、Multiple OE 的 lane mapping 等，相對 Insertion 3 單顆 OE 的情境來說更加的複雜。
- 測試流程上，我們認為最後仍會執行 32 OE 全開的測試，觀察 CPO module 滿載狀況，能夠找到單一 OE 沒問題但實際使用上會出現的問題。



資料來源：

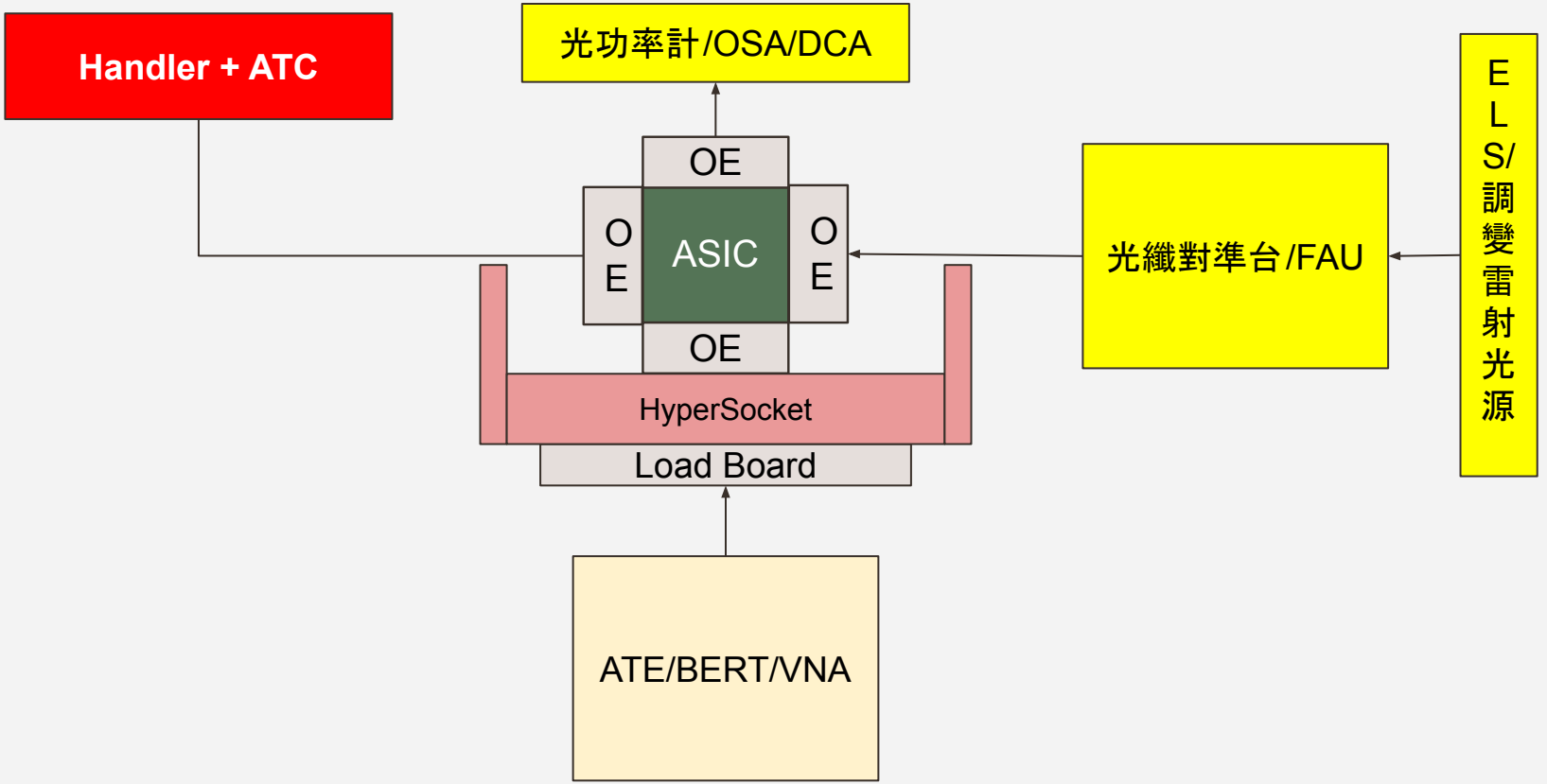
CPO SLT 的猜想

- 採用 Nomura 對一般 SLT 的定義, 我們透過 System test board 取代 ATE, 讓 DUT 在接近商用主機板的環境下執行真實軟體工作負載, 因為事實上 server 在運作時也會有 orchestration 方面的最佳化。
- 我們可以根據先前的經驗提出 CPO SLT 的合理流程猜想, 但是實際上是採用什麼方法什麼流程都尚未有定數, 因此此環節僅供參考與試想。



資料來源: 自行猜想

Insertion 4 測試設備連結關係地圖



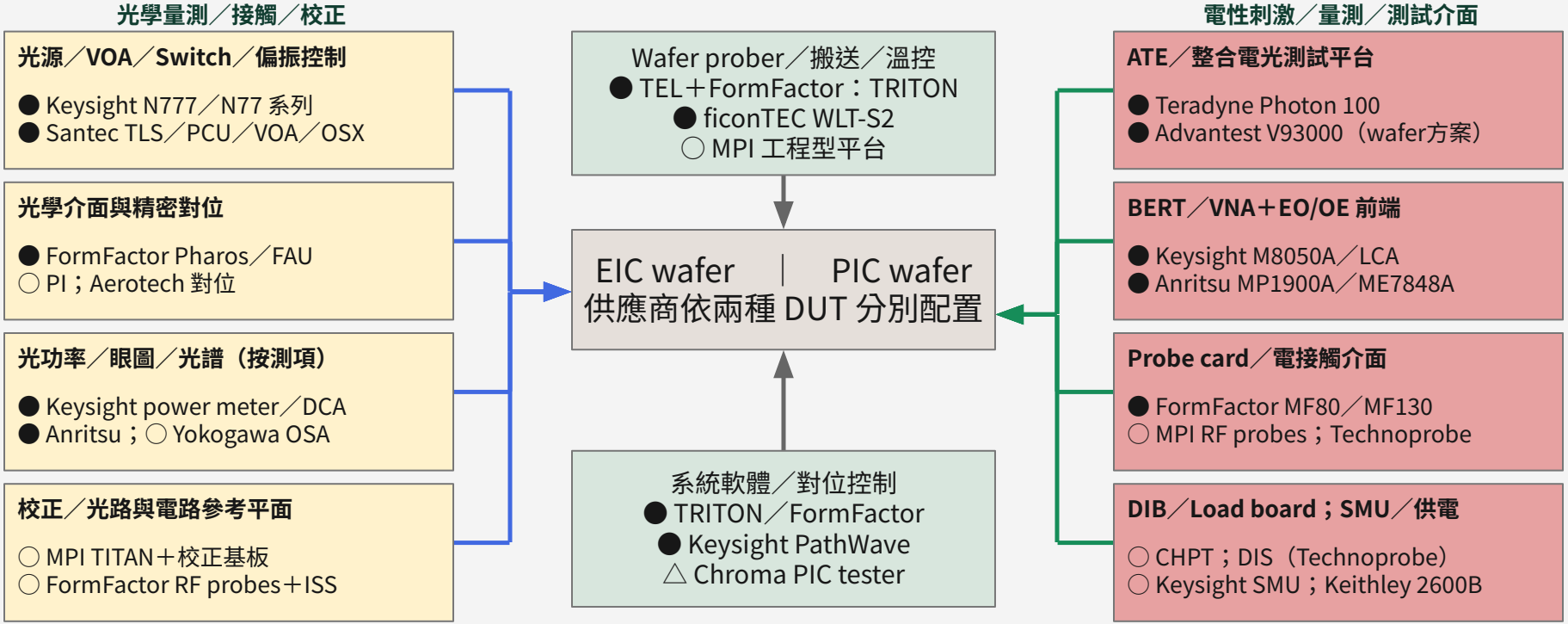
資料來源:自行整理

02-1-6

CPO 測試供應鏈

Insertion 1｜CPO 測試主要供應商地圖

EIC 與 PIC wafer 分開測；EIC 偏電性 ATE，PIC 需加入光源、光功率量測與光學對位。



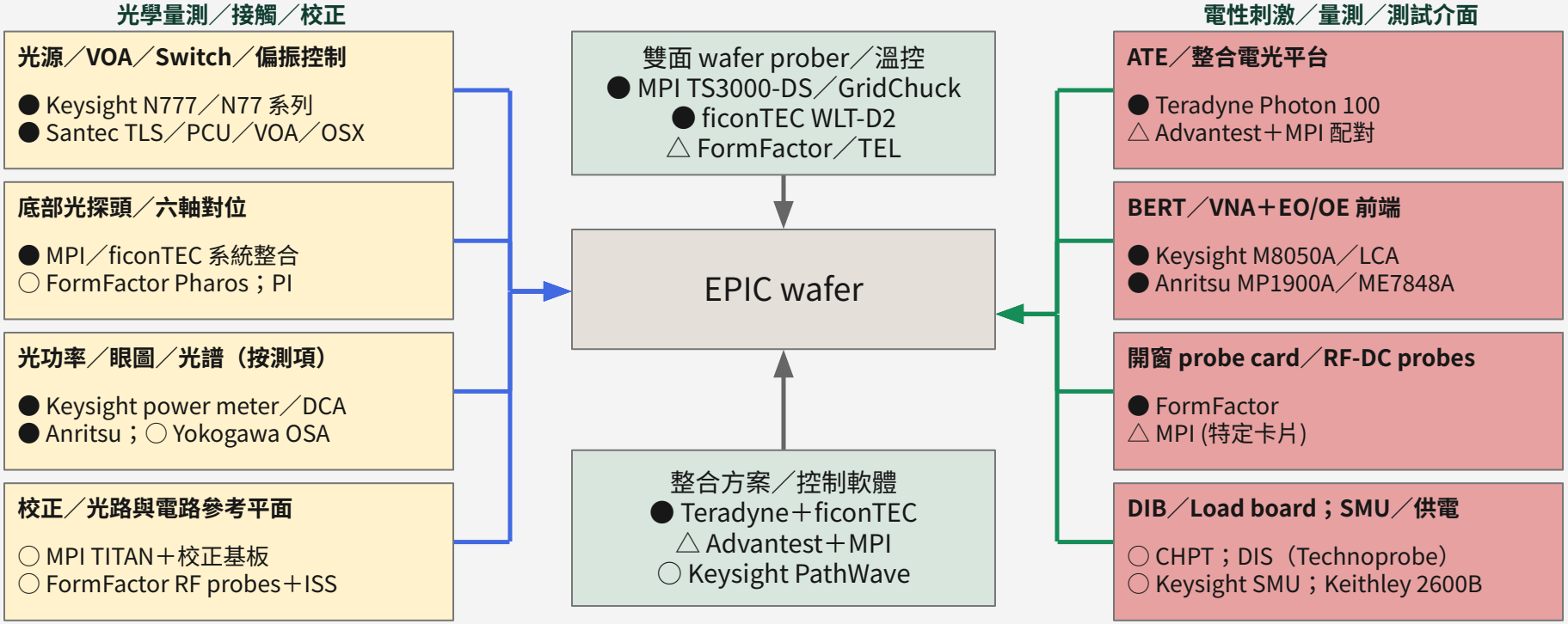
● 官方已有 CPO／SiPh 對應方案　○ 通用能力可證、站點採用待確認　△ 券商候選／驗證中

供應商為替代或整合選項；連線表示功能歸屬，不表示每家都串接，也不代表特定客戶量產份額。

資料來源：見附錄

Insertion 2｜CPO 測試主要供應商地圖

EPIC wafer 的關鍵在雙面接觸、開窗 chuck 與高精度對位；公開整合方案與券商配對分開標示。



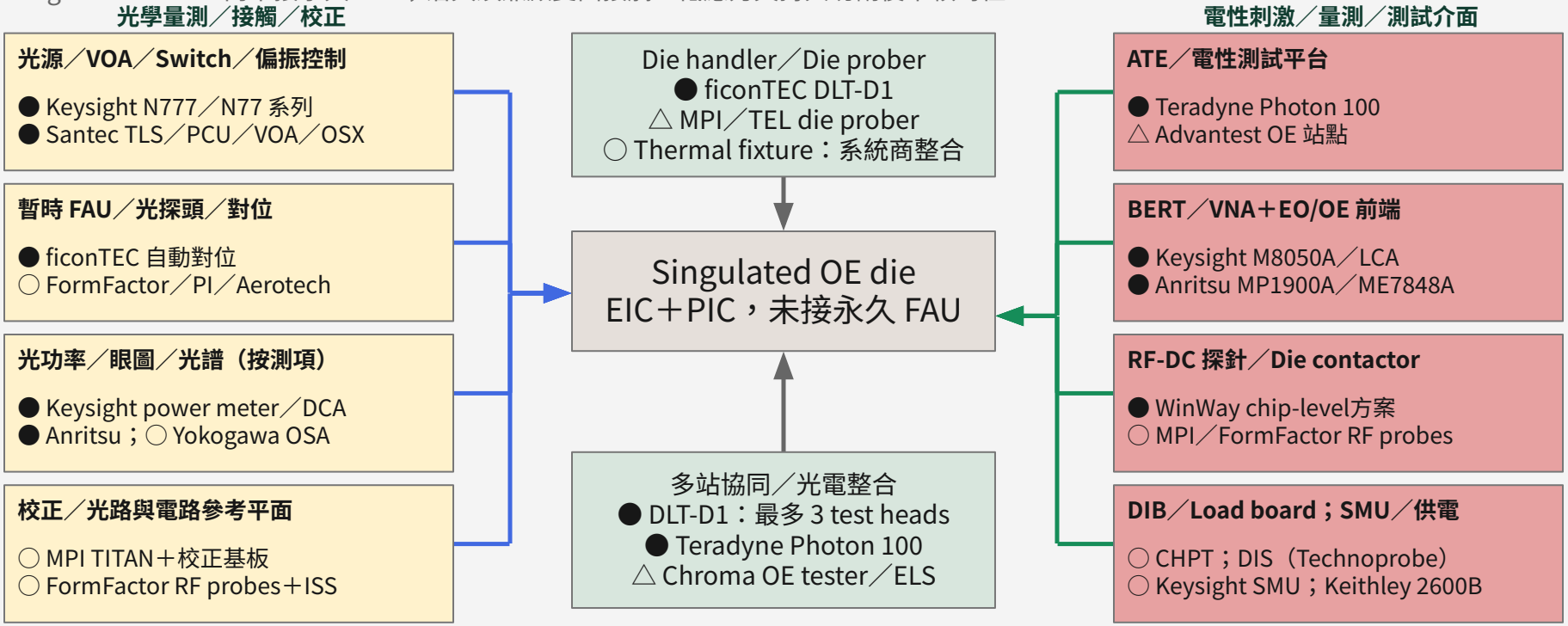
● 官方已有 CPO／SiPh 對應方案　○ 通用能力可證、站點採用待確認　△ 券商候選／驗證中

供應商為替代或整合選項；連線表示功能歸屬，不表示每家都串接，也不代表特定客戶量產份額。

資料來源：見附錄

Insertion 3｜CPO 測試主要供應商地圖

Singulated OE die 尚未接永久 FAU；治具須兼顧雙面接觸、低應力夾持與切割後單顆對位。



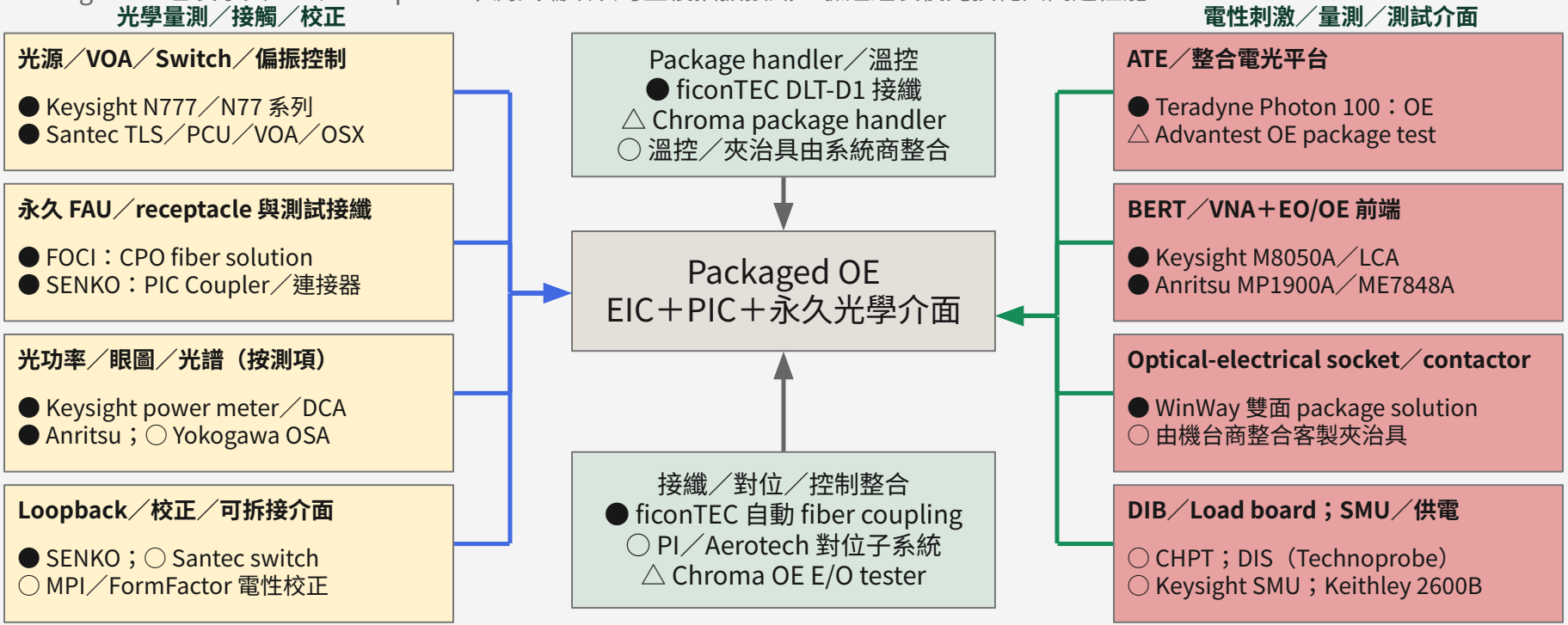
● 官方已有 CPO／SiPh 對應方案　○ 通用能力可證、站點採用待確認　△ 券商候選／驗證中

供應商為替代或整合選項；連線表示功能歸屬，不表示每家都串接，也不代表特定客戶量產份額。

資料來源：見附錄

Insertion 3.5｜CPO 測試主要供應商地圖

Packaged OE 已裝永久 FAU／receptacle；測試端改以可重複插拔接纖，驗證組裝後光損耗與高速性能。



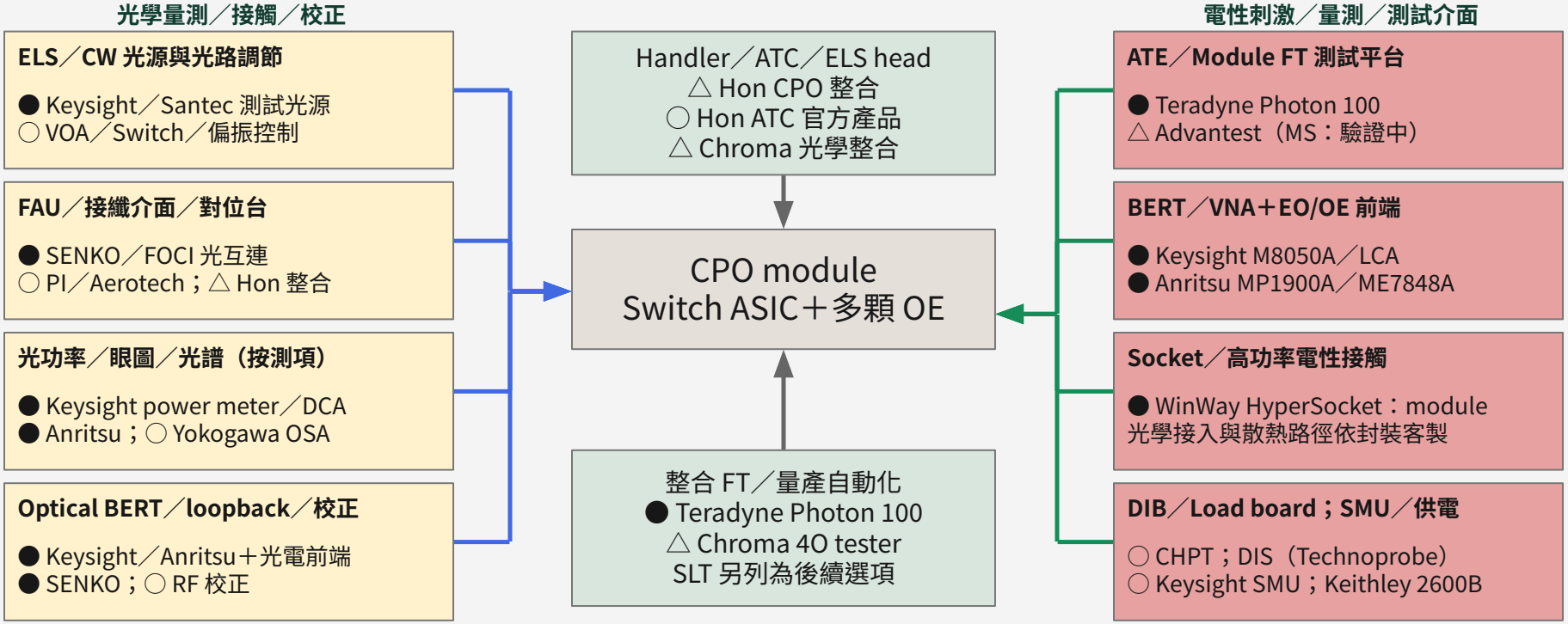
● 官方已有 CPO／SiPh 對應方案　○ 通用能力可證、站點採用待確認　△ 券商候選／驗證中

供應商為替代或整合選項；連線表示功能歸屬，不表示每家都串接，也不代表特定客戶量產份額。

資料來源：見附錄

Insertion 4｜CPO 測試主要供應商地圖

CPO module＝ASIC＋多顆 OE；分別看光學 4O 與電性／整合 4E，Handler／ATC／Socket／ATE 須共同設計。



● 官方已有 CPO／SiPh 對應方案　○ 通用能力可證、站點採用待確認　△ 券商候選／驗證中

HyperSocket 是 WinWay 特定產品，並非所有 CPO module 的通用必選；逐站點市占與客戶 BOM 未公開。

03

產業動能

產業動能與未來賽道

最大動能：測試時間拉長

- 測試廠(京元電)：Rubin 世代測試時間較 Blackwell 增加超過 50%；新款 ASIC 功耗突破 1,000W 後，Burn-in + SLT 導入使 ASIC 整體測試時間倍增

- 探針卡：美系券商預估 TAM 2026-2030e CAGR 25%，MPI 市占率 2024-2028e 由 8%→20%

測試站點	Hopper	Blackwell	Rubin
最終測試 FT	1	4×	約 7×
系統級測試 SLT	1	1.5×	2.5×
老化測試 BIT	—	1	約 2×

測試時間拉長，加上□階機台的機時費率更□，兩者相乘讓測試內容成本（FT＋BIT＋SLT 合計）占晶片總成本比重由 1.9% 升到 3.3%。占比看似不□，但分□（晶片本□成本）在同□期間也□幅上升，實際□額是倍數成長。

資料來源：Teradyne, Nomura, Morgan Stanley

產業各賽道

類別	代表公司	收益機制	成長	毛利率	估值位階
ATE	Advantest、Teradyne	機台銷售呈現隨 OSAT 擴產成長	偏線性，寡占格局下成長貼近產業 beta	~60-62%	已高度反映（Advantest P/E 一度達 ~45x，本益比甚至高於客戶 NVIDIA）
Handler / ATC	鴻勁、致茂	訂單量隨測試產能需求擴大上升，且單機 ASP 隨瓦數規格墊高而上升	量價同時上漲，規格迭代帶動 ASP 跳升	~56-57%	相對中性（鴻勁 2027F P/E ~29x，低於同業平均 39x） 鴻勁1H26 eps = 56.14
測試介面耗材（探針卡 / 測試座）	旺矽、穎崴、精測、雍智	重複性採購（依觸點 / 插拔次數消耗），加技術溢價	增量增價+ 重複購買韌性，需求跟著「晶圓片數×觸點次數」與「晶片出貨量×插拔次數」走	~55-60%，五層中最高（旺矽 2026Q1 GM 59.45%）	已開始明顯反映（旺矽股價與外資評等調升後多次漲停，2024 年一度逾百倍 P/E）
測試代工服務	京元電、日月光 ATM	綜合承接以上產能，賣機時給終端客戶	營收成長最直接反映終端需求，但重資產、稼動率敏感	相對偏低（服務商業模式）	京元電 AI 營收占比持續墊高，估值消化程度中等

04

個股推薦

日月光/致茂

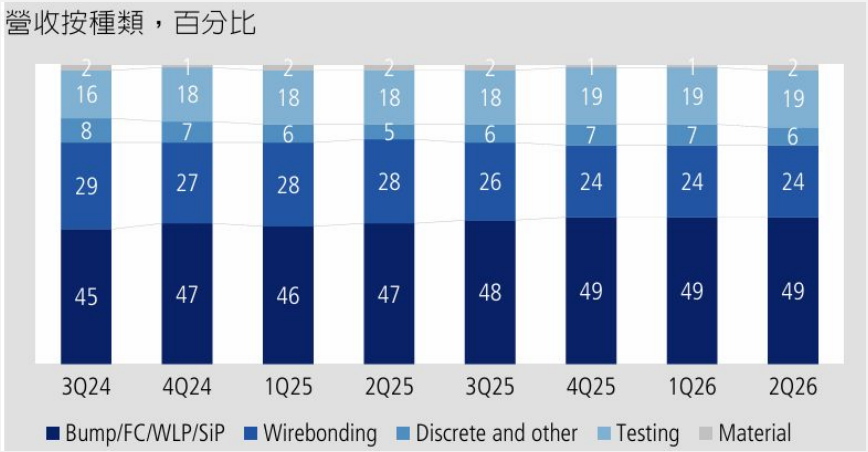
Derrick

推薦個股一:日月光

公司簡介

- 日月光投控成立於 1984 年，業務涵蓋晶圓前段測試、晶圓針測，到後段封裝、材料與成品測試，是全球封測產業（OSAT）市占率最高的廠商。公司主要分為兩大事業體：其一為半導體封測本業（IC ATM），涵蓋前段測試、凸塊製程（Bumping）、封裝與成品測試，約占合併營收 60%-70%；其二為電子代工（EMS）事業，提供系統與模組封裝服務，約占 30%-40%。
- 客戶陣容涵蓋 Apple、Broadcom、Infineon、STMicro、Renesas、NXP、聯發科、高通等全球主要 IC 設計與系統廠商；同業則包括美系 Amkor、中國長電科技與華天科技，以及台灣力成。

過往營收組成



業務內容

IC ATM（封測本業，約占營收 66%）

- 前段測試（CP／晶圓針測）
- 凸塊製程（Bumping）
- 封裝（Wire Bond／Flip-Chip／Fan-out／2.5D-3D）
- 成品測試（Final Test／SLT）

EMS（電子代工，約占營收 34%）

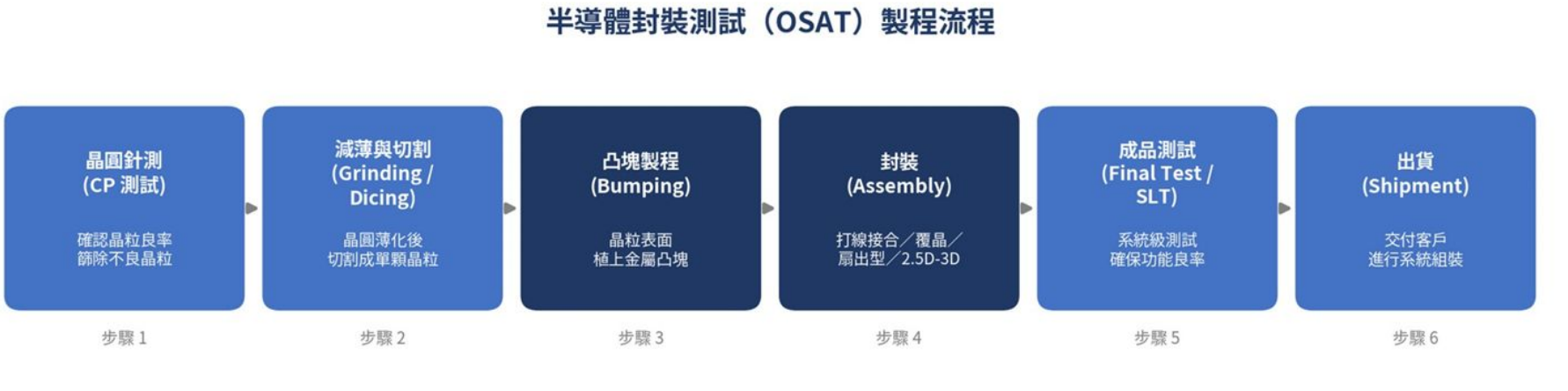
- 系統與模組封裝（SiP／模組代工）
- PCBA 組裝與整機製造
- 由環旭電子（USI）主要負責執行
- 客戶多元化，含通訊、車用、消費性電子

Source：凱基投顧、元大投顧

產業介紹

- 封裝測試(OSAT)位於半導體產業鏈的下游，晶圓廠將電路製作完成後，仍須經過針測、切割、封裝與測試等多道工序，才能成為可供系統廠商組裝使用的成品晶片。
- 隨著製程微縮物理限制，產業往 Chiplet、2.5D/3D 等推疊架構的先進封裝技術來做為提升算力的新解方，日月光也積極佈署覆晶、扇出型、2.5D/3D IC 等先進封裝技術。
- 透過 Chiplet 概念，不同製程節點的晶片得以整合封裝於單一模組中，在提升系統效能的同時，大幅縮短產品上市時程並改善良率表現。

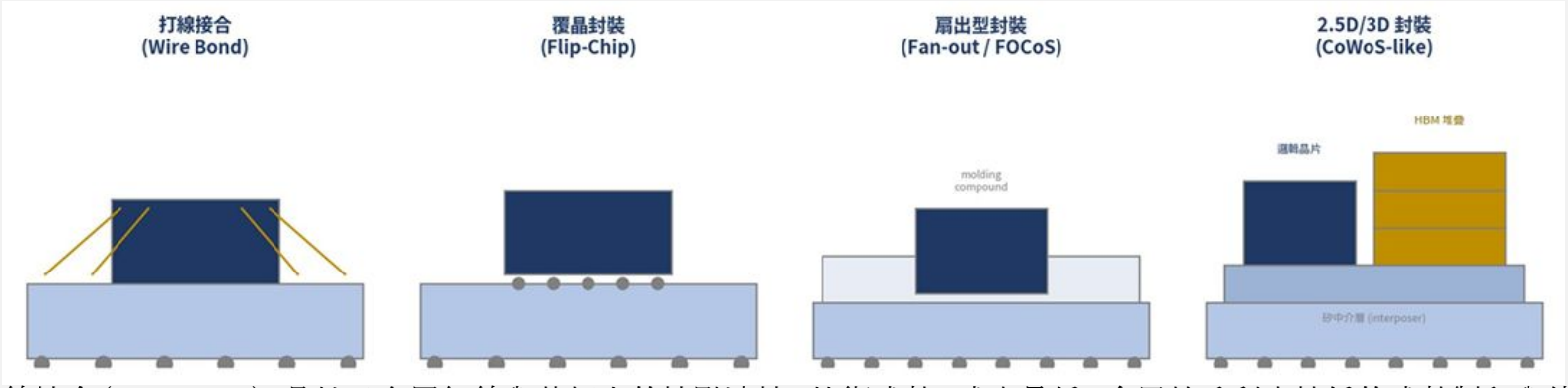
半導體封裝測試流程



Source：凱基投顧、元大投顧

由傳統封測廠轉向先進封裝

從打線接合到 2.5D/3D 先進封裝



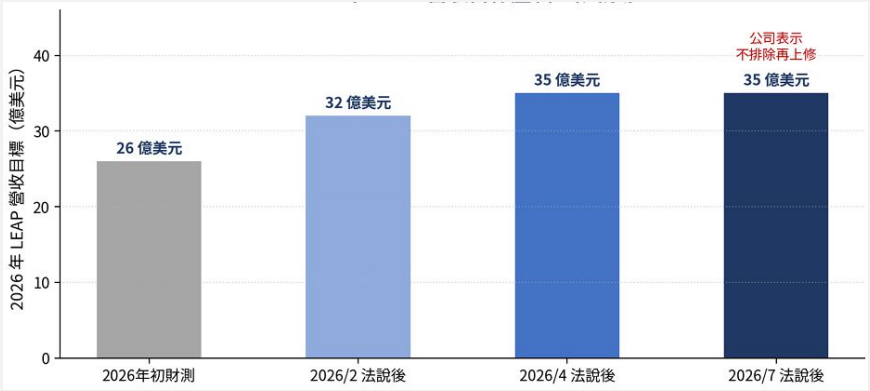
- 打線接合(Wire Bond):晶粒以金屬細線與基板上的接點連接，技術成熟、成本最低，多用於毛利率較低的成熟製程與傳統消費性電子產品。
- 覆晶封裝(Flip-Chip):晶粒翻轉並以錫球(凸塊)直接與基板連接，訊號路徑更短、電性表現更佳，是中高階應用的主流封裝方式。
- 扇出型封裝(Fan-out／FOCoS):晶粒包覆於模封材料中，透過重佈線層(RDL)向外擴展接點佈局，可在不使用矽中介層的情況下達到類似 2.5D 封裝的訊號密度，是日月光自研先進封裝方案 FOCoS 的核心技術。
- 2.5D/3D 封裝(CoWoS-like):將邏輯運算晶片與 HBM 等多顆晶粒，透過矽中介層或橋接結構整合於同一封裝內，大幅提升頻寬與整合密度，是目前 AI GPU/CPU 不可或缺的關鍵封裝技術。

Source:凱基投顧、元大投顧

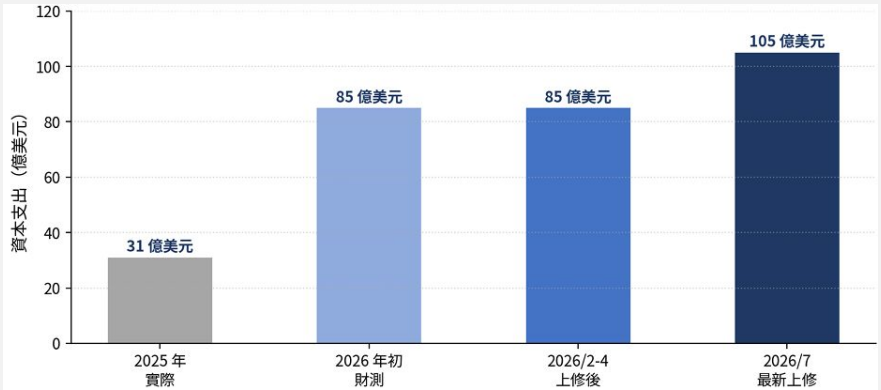
受惠台積電 oS 端與 CP 測試轉單，主要聚焦於 CPU 之訂單

- 目前 2.5D/3D 先進封裝仍以台積電與 Intel 為技術領導者，但法人調 查指出，台積電 CoWoS-S 產能長期受限於每月約 1.8 萬片的上限，且並無進一步擴充 CoWoS-S／R 產能的計畫，資源將轉往 CoWoS-L 集中，日月光承接其外溢訂單。
- Marvell（代工 AWS Trainium 3／Trainium 3 Lite）已確認採用日月光 CoWoS-R 產線量產；聯發科 TPU 亦被視為潛在新客戶，主因博通 TPU v8i（AVGO）仍占用台積電有限的 CoWoS-S 產能。
- 法人調查顯示 Nvidia 新一代 Vera CPU 及 AMD Venice CPU 的多數訂單，可望採用日月光的 full process 2.5D 封裝方案；日月光 2.5D 封裝月產能預估將由 **2026 年底約 1.8 萬片**，於 **2027 年底大幅擴增至 4.0–4.5 萬片**。
- 在廠房空間有限之下，台積電傾向將主力 GPU 客戶前一代**晶圓測試 CP** 及 **CoWoS 後段的 oS 業務**外包給日月光。
- 預估日月光在新增 FT／SLT（成品測試／系統級測試）專案的市占率，將於 2027 年提升至 40% 以上。

2026 LEAP 營收目標逐季上修



資本資出上修，56% 投入封裝、40% 投入測試



Source：凱基投顧、元大投顧

LEAP 營收連續兩年翻倍，目標價 800 元，Upside 31%

- 公司自主研發的 Full Process LEAP（FOCoS，扇出型 CoWoS-like 封裝）預計於 4Q26 開始貢獻營收，屆時封測業務毛利率可望突破 30% 的結構性上緣，預估 FOCoS 於 2026 年貢獻營收約 3 億美元，2027 年則翻 8 倍至 25 億美元。
- 整體 LEAP 需求優於預期，2026 年 LEAP 營收目標維持 35 億美元、YoY +119%，約佔封測營收 22%，預期 FOCoS 自 4Q26 開始貢獻、2027 年開始放量後，2027 年 LEAP 營收有望倍增到 75–80 億美元，佔公司總營收 22%-25%。
- 受惠於資本支出指引上修及 LEAP 展望優於預期，將 2026/2027 年預估 EPS 分別上調 13%/20%。反映獲利預估上修，將目標價調升至 800 元，隱含 26 倍 2027 年本益比。

LEAP 營收拆解（紅字為增量點，可能再上修）

Rev (US$mn)	2023	2024	2025	2026E	2027E
Leading edge adv packaging	250	550	1,200	2,720	5,971
Non CoWoS	250	250	275	303	333
CoWoS		350	925	2,417	5,639
- TSMC's outsourced WoS		311	886	2,098	3,119
Units (/)		432	923	1,165	1,529
Unit service revenue (US$/)		60	80	150	170
- CoWoS S outsourcing (kwpm, /)		14	15	10	10
- Units per interposer (/)		30	30	30	30
- CoWoS L outsourcing (kwpm, /)			32	87	137
- Units per interposer (/)			15	10	9
- ASE's own CoWoS		39	39	320	2,520
Units (kwpm)		0.5	0.5	4.1	30
Unit revenue (US$)		6,500	6,500	6,500	7,000
Testing		50	400	950	1,500
LEAP & testing revenue (US$mn)	250	600	1,600	3,670	7,471
YoY		*140%*	*167%*	*129%*	*104%*
% of IC ATM sales	*2%*	*6%*	*13%*	*22%*	*34%*
% of whole company's sales	*1%*	*3%*	*8%*	*14%*	*22%*

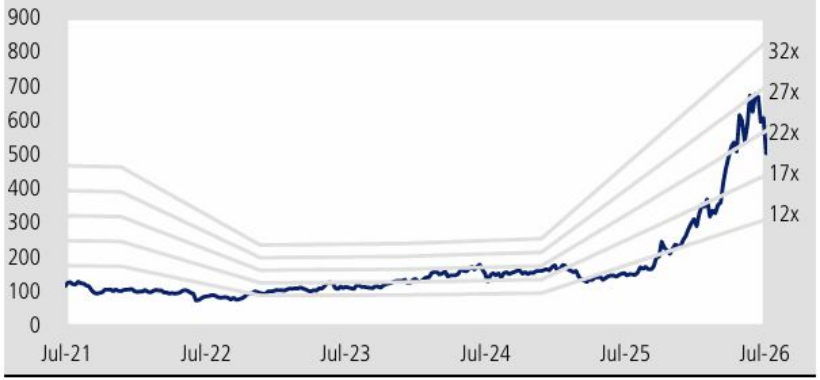
簡明損益表（5 家券商平均共識）

(NTD$mn)	2025	2026	2027E	2028E
營業收入	645,388	839,777	1,056,828	1,308,122
營業毛利	114,193	179,375	260,147	343,944
營業利益	50,756	101,302	169,778	232,757
EPS	9.3	19.0	30.0	40.8
毛利率%	17.7	21.4	24.6	26.3
營利率%	7.9	12.1	16.1	17.8

Source：凱基投顧、元大投顧、 UBS、MS、JPM

補充

圖 11：未來 12 個月預估本益比



	2024	2025	2026E	2027E	2028E
ATM ex LEAP	**9,540**	**10,898**	**13,030**	**15,264**	**17,007**
yoy		14%	20%	17%	11%
Packaging ex LEAP	**7,963**	**8,957**	**10,736**	**12,569**	**13,908**
yoy		12%	20%	17%	11%
Test ex LEAP Test	**1,578**	**1,941**	**2,294**	**2,695**	**3,098**
yoy		23%	18%	17%	15%

						% Revision vs prior			CAGR
	2024	2025	2026E	2027E	2028E	2026E	2027E	2028E	2025-2028
ASE LEAP and Test revenues (US$mn)	**601**	**1,606**	**3,859**	**8,110**	**11,866**	**1%**	**5%**	**7%**	**95%**
Growth (y-y)		167%	140%	110%	46%				
Packaging	**501**	**1,237**	**2,885**	**6,344**	**9,232**	**0%**	**3%**	**7%**	**95%**
Growth (y-y)		147%	133%	120%	46%				
		43%	52%						
oS	**81**	**697**	**2,019**	**3,809**	**5,437**	0%	6%	13%	**98%**
Growth (y-y)		762%	190%	89%	43%				
Total AI accelerator units (using CoWoS)	7.4	10.1	16.3	25.2	30.9	0%	8%	15%	
oS Content ($)	$130	$150	$165	$178	$196	0%	-2%	-2%	
% outsourced from TSMC	8%	46%	75%	85%	90%	*0bps*	*0bps*	*0bps*	
Full Stack 2.5D / CoWoS	**70**	**140**	**416**	**2,040**	**3,250**	0%	0%	0%	**185%**
Growth (y-y)		100%	197%	390%	59%				
wafer shipment (K wafers per year)	10	20	65	300	500	0%	0%	0%	
ASP per wafer ($)	7000	7000	6400	6800	6500	0%	0%	0%	
Others	**350**	**400**	**450**	**495**	**545**	0%	0%	0%	
Testing revenue	**100**	**369**	**974**	**1,766**	**2,635**	**3%**	**9%**	**6%**	**93%**
Growth (y-y)		269%	164%	81%	49%				
Average Tester Capacity	23,181	27,379	33,097	41,292	49,067	3%	4%	3%	
% of teserters used for advanced testing	5%	14%	27%	35%	42%	*0bps*	*0bps*	*0bps*	
Testers for adavanced testing	1,159	3,833	9,069	14,452	20,608	3%	4%	3%	
Total testing utilisation	80%	85%	87%	90%	88%	*0bps*	*200bps*	*0bps*	
Total utilised testers	927	3,258	7,890	13,007	18,135	3%	6%	3%	
Growth (y-y)		251%	142%	65%	39%				
Blended ASP ($ per tester)	107,847	113,239	123,431	135,774	145,278	0%	3%	3%	
Change (y-y)		5%	9%	10%	7%				
LEAP breakdown %									
Packaging	83%	77%	75%	78%	78%				
oS	*13%*	*43%*	*52%*	*47%*	*46%*				
Full stacking	*12%*	*9%*	*11%*	*25%*	*27%*				
Others	*58%*	*25%*	*12%*	*6%*	*5%*				
Testing	17%	23%	25%	22%	22%				
vs. IC ATM									
ASE IC ATM revenue (US$mn)	10,141	12,504	16,889	23,374	28,873				
Revenue growth ex LEAP		14%	20%	17%	11%				
LEAP % of total ATM	6%	13%	23%	35%	41%				

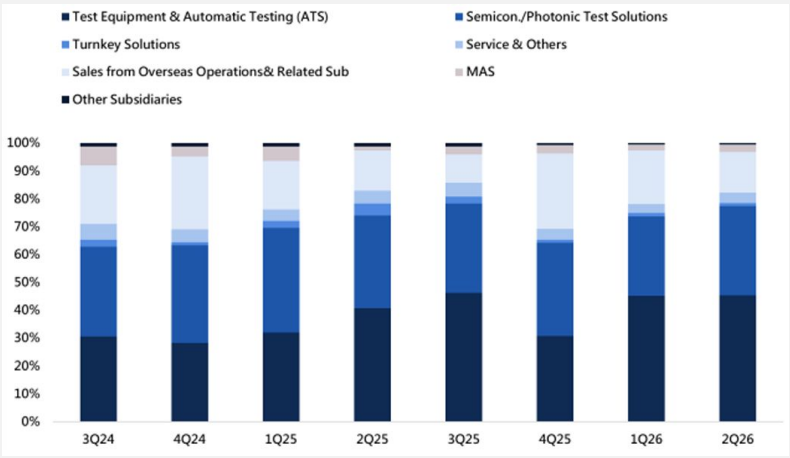
Source：JPM、凱基投顧

推薦個股二:致茂

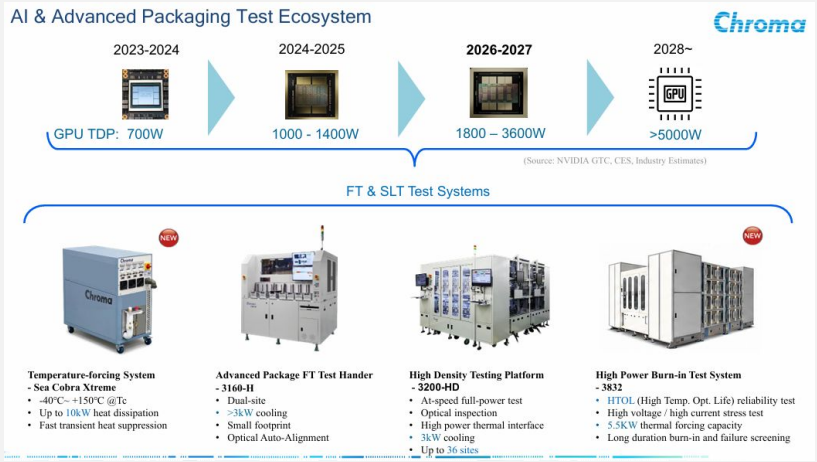
公司簡介

- 致茂成立於 1984 年，是自動化測試設備製造廠，產品線橫跨 IC 測試、被動元件、面板模組、汽車電子，近年也拓展至太陽能光電、LED、鋰電池及電動車測試方案，主要廠區位於桃園、高雄與中國深圳。
- 致茂本身是設備整合商，向上採購機台零件、記憶體及被動元件等組件。
- ATS 電源測試業務客戶為台達電、光寶科、Flex 等電源供應商，致茂在此市佔率超過 60%。
- Semi/Photo 業務客戶涵蓋 AI GPU 晶片客戶（SLT 拉貨）及光通訊模組廠（Burn-in 燒機需求）。
- 同業競爭者為 Advantest、Teradyne（半導體測試設備）及均豪、志聖（LCM 檢測設備）。

過往營收組成



致茂布局 AI 先進封裝測試生態系



Source：元大投顧

半導體測試設備（ATE）類型

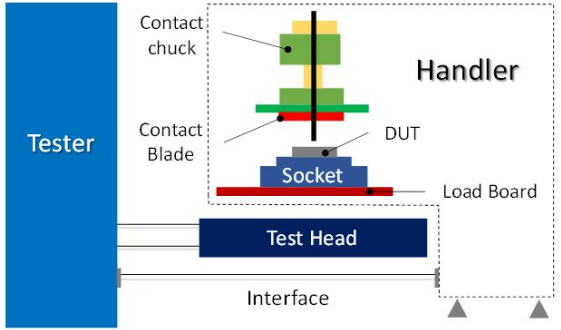
依測試階段細分：

- CP（Chip Probing）：在晶圓切割前，用探針卡 ＋Tester 量測基本電性，剔除不良 die、監控代工良率，典型設備為 Prober＋Tester，主要廠商 Advantest、Teradyne 等。
- FT（Final Test）：封裝後做 DC/AC 及功能測試，確保晶片在標準規格下工作正常，設備組合是 Tester＋Handler（分選機），需要嚴格溫控，主要在 OSAT 或 IDM 後段產線完成。
- Burn-in（預機/老化測試）：把晶片丟進 Burn-in Oven，在 -40℃～150℃、1W～1500W 的不同功率條件做數日老化，以抓出早期失效品。AI/HPC 高功耗晶片讓 Burn-in 再度變成資本支出重點。
- SLT（System Level Test）：在接近實際系統環境下跑軟體 /韌體，強調功能與相容性，測試時間是 FT 的 20–30 倍，可高平行測試多顆 晶片。設備組合是 SLT Handler＋Load Board＆Socket＋Host（主機）。

半導體設備依訊號型態區分之三大類型

- **SoC (65-70%)**：測試數位晶片如 CPU、ASIC、GPU、DDIC、RF 晶片等，預估 2023-2026 年銷售 CAGR 達 **18%**，難度亦最高，Advantest、Teradyne、Cohu 為領導業者。
- **線性及分離元件(Linear and Discrete；5-10%)**：測試 PMIC、IGBT、MOSFET 等，預估 2023-2026 年銷售 CAGR 達 **9%**，難度較低，長川、華峰等多家中國業者已推出相關機台。
- **記憶體(Memory；15-20%)**：測試 DRAM、NAND 等主記憶體，預估 2023-2026 年銷售 CAGR 達 **10%**，市場仍由 Advantest、Teradyne 掌握。

晶片測試示意圖

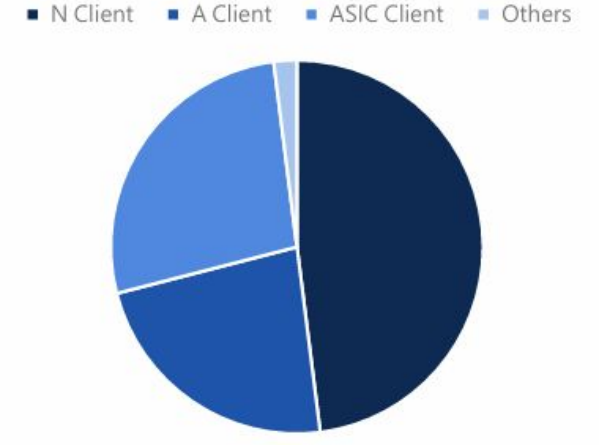


Source：XXX

晶片世代升級帶動 SLT 換機潮

- Rubin 晶片功耗達 1.8~2.3kw（為 Blackwell B200 的 1.3-1.6 倍），帶動 SLT 測試機台在散熱系統、模擬真實環境、新增測試站點等規格全面升級，換機週期維持穩定的 1-2 年。
- 2.5D/3D 先進封裝下，整合更多待測物會增加整體測試過程的複雜度，因此測試時長也會進一步提升。
- 預估 Rubin 系列 SLT 機台 TAM 將較 Blackwell 成長 1 倍，ASP 約為 Blackwell B200 的 1.3 倍。
- AMD MI400 系列（TDP 將與 Rubin 同步）、以及新的 CPU/LPU 需求也將在 2026 年小量挹注、2027 年放量。
- 將 2026 年 SLT 業務營收 YoY 由 +65% 上修至 +105%，2027 年 YoY +63%，2026 年貢獻總營收 26%。

2026 年 SLT 客戶營收占比預估



Rubin TDP 提升至 2.3kw，帶動測試設備升級與時長更久

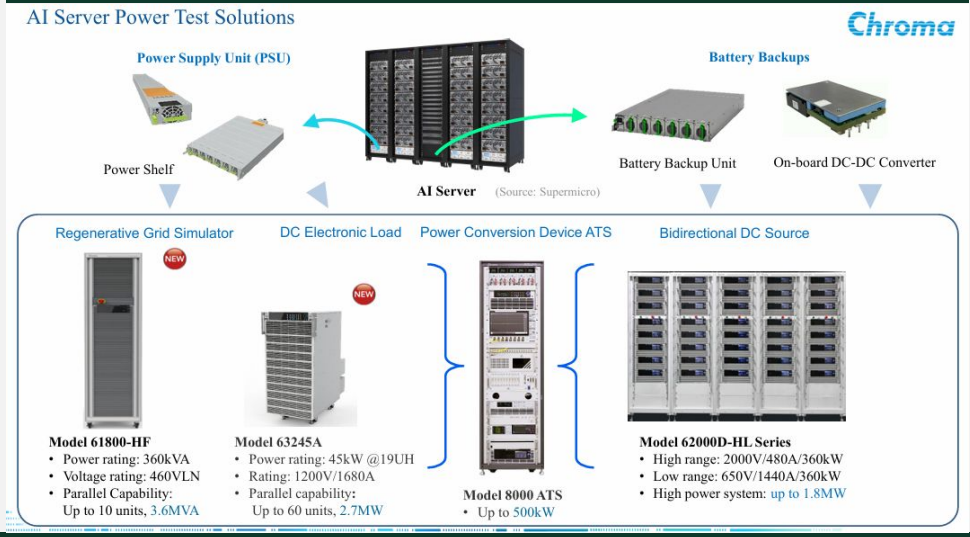
	2020	2022	2024	2025	2026	2027
Nvidia GPU Architecture	Hopper		Blackwell	Blackwell/Ultra	Rubin	Rubin Ultra
CPU+GPU Superchip	GH100	GH200	GB100/GB200	GB200/GB300	GB300/VR200	VR300
GPU	H100	H200	B100/ B200	B300	R200	R300
GPU Power Consumption (TDP)	**400W**	**700W**	**1000W**	**1400W**	**2300W**	**4200-4500W**
Testing Time	0.8x	1x	1.5x	2x	2.5x	4x

Source：元大投顧

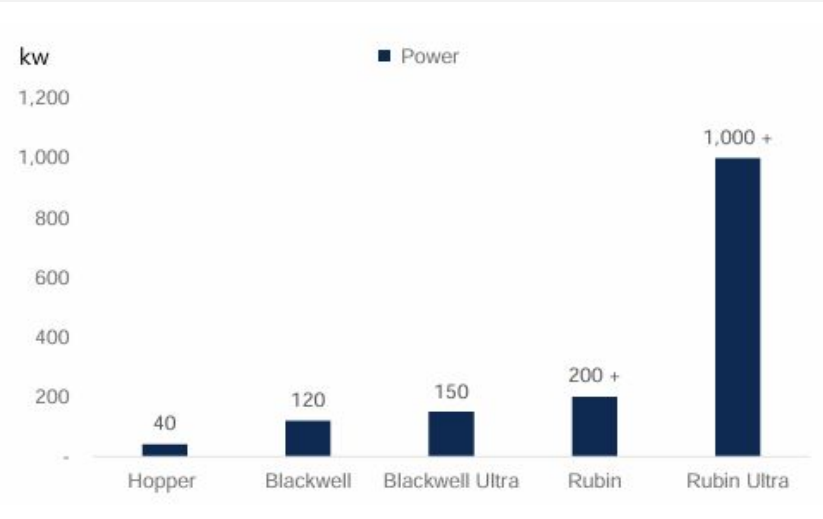
AI 伺服器電源與 HVDC 帶動 ATS 成長

- AI 伺服器電源架構從傳統 48V 轉向 400/800V HVDC，單櫃功耗突破 200kW，帶動 PSU、Power shelf、BBU、DC/DC converter 等產品的測試需求與新機台升級機會。
- 致茂在主要電源供應商台達電、光寶科、Flex 中市占率超過 60%，預期在大客戶提升資本資出擴產下，2026/2027 年 ATS 營收 YoY 93%/31%。
- 隨 AI 資料中心建置對電力供應需求以及 HVDC 滲透率提升下，電源測試設備佔客戶 Capex 比重有望持續增加，

HVDC 架構下致茂 power testing 設備具有多項機會



NV 機櫃瓦數未來提升將急遽上升

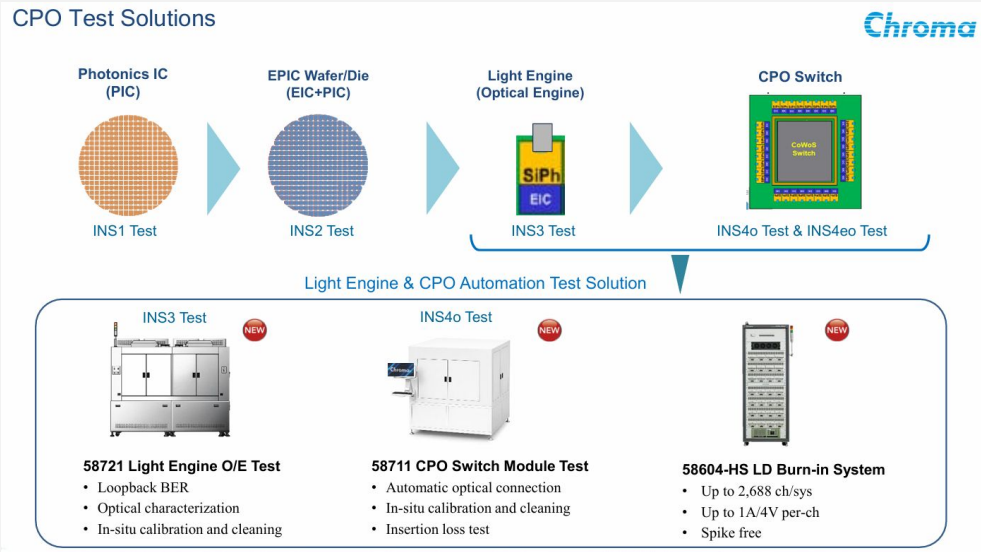


Source：元大投顧、公司法 說

先進封裝擴產帶動 Metrology 放量與 CPO Burn-in 新需求

- 致茂的 Metrology 設備(Probe Mark & 封裝量測機台)從 2025 年開始導入台灣晶圓代工與 OSAT 的新建 CoWoS 產線, 主要用於先進封裝製程中的對位、厚度、異物、探針痕跡等品質量測。
- 預估 2026/27 年 CoWoS 總產能年增約 100%/44%, 對應的 Metrology 業務年增 150% 以上, 並在 2H27 開始有 CoPoS 799X 系列量產訂單挹注。
- 公司預期 2H26 開始出貨 Insertion 4O CPO Tester, 外部同業如 FormFactor Insertion 1 的營收也超出原先目標。
- 致茂 58721 I3 測試機台將在 Insertion 3 替代原中國供應商。
- Transceiver 客戶在中國擴產、美系 Laser Diode 客戶產能提升, 以及產品規格從 800G 推進到 1.6T, 都讓光學晶片 Burn-in 測試需求在 2026 年翻倍後, 2027 年仍可望再成長約 30%。

致茂於 2H26 出貨之 insertion 4 CPO tester

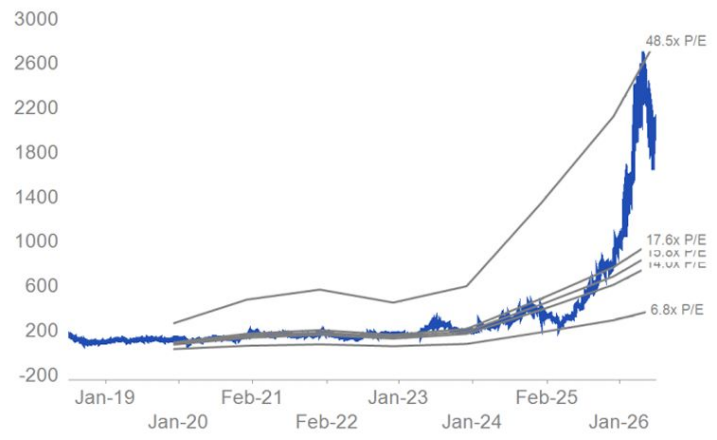


Source:元大投顧、公司法 說

CPO & SLT 爆發週期，目標價 2400 元，Upside 22%

- 預估 2026 年營收 YoY +89%，主要受惠於 1）AI 伺服器電源測試設備需求帶動 ATS 業務營收 YoY +103%；2）預期 SLT CPU/GPU 產品與光通訊 Burn in 設備於 2H26 持續帶動公司成長，使 Semi & Photo 業務 YoY +122%。
- 預期 2027 年營收將持續 YoY +47%，**EPS 達到 65.7 元**，主要由既有客戶推論與代理相關晶片的測試需求帶動 SLT TAM 擴大、CPO tester 及 Metrology 進入量產拉貨期，以及 HVDC 滲透率提升所帶動的測試需求。
- 以 2028 年 EPS 來看，**目前股價僅交易至 26 倍本益比**，未來我們持續看好 1）CPO & CoPoS 新產能建置進入設備拉貨高速成長周期；2）晶片與 rack 功耗提升帶動測試設備需求，給予目標價 2,400 元，**2028 年本益比 32 倍**。

股價 vs Forward PE



簡明損益表（4 家券商平均共識）

(NT$mn)	2025	2026	2027E	2028E
營業收入	28,311	53,466	75,492	86,133
營業毛利	17,425	32,973	47,958	55,034
營業利益	9,198	21,264	33,152	38,427
EPS (元)	27.6	43.8	65.7	75.4
毛利率 %	61.5	61.7	63.5	63.9
營利率 %	32.5	39.8	43.9	44.7

Source：元大投顧、UBS、MS、JPM

推薦個股三:旺 矽

旺矽公司簡介

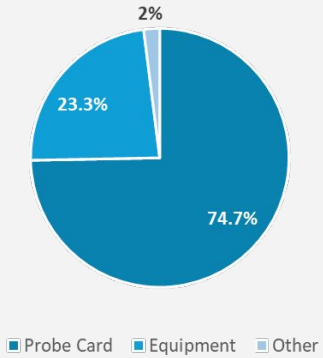
基本介紹

旺矽公司成立於 1995 年，業務內容以測試介面與測試設備為主，三大業務包括探針卡、光電 & 自動化設備、溫控平台系統，其中以探針卡為其核心業務。在全球探針卡供應商中市佔率排名第四，非記憶體探針卡排名第三，是台灣最領先、規模最大的探針卡供應商。

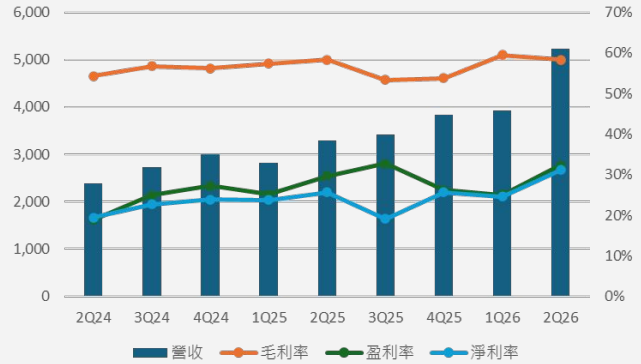
簡明損益表

$mn	2025	2026E	2027E	2028E
營收	13,371	22,838	48,697	86,667
毛利	7,428	13,766	30,909	56,558
營利	3,775	8,427	19,438	36,954
淨利	3,179	7,054	15,802	29,861

產品營收占比 (2025 年)



近八季營收與三率

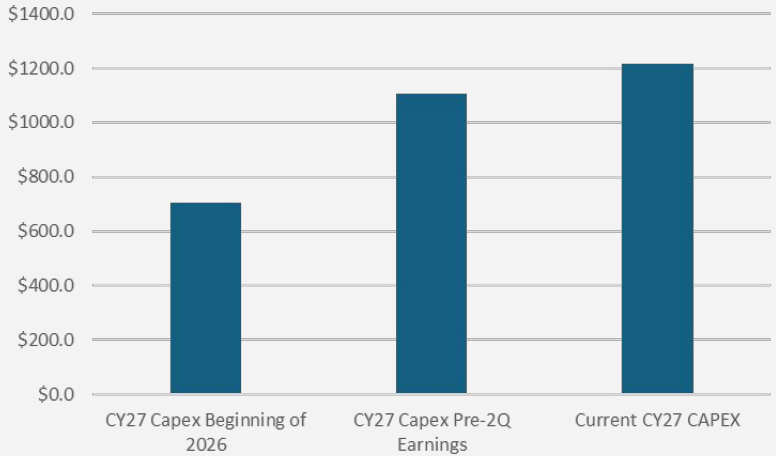


資料來源:旺 矽

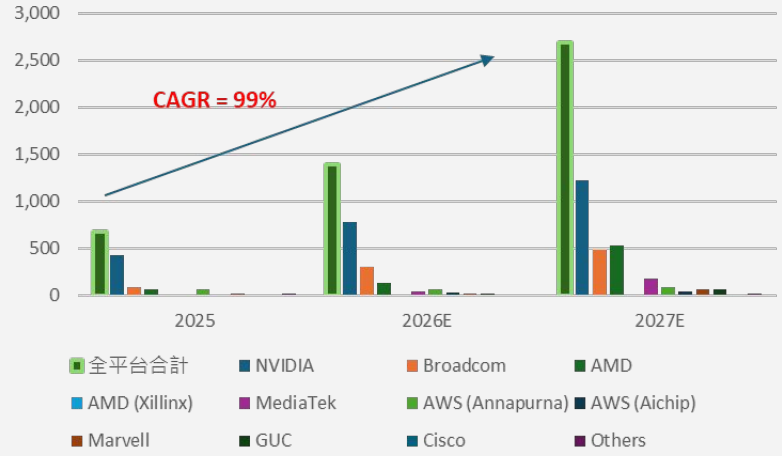
CSP 資本支出不斷上修 + CoWoS 投片量增加彰顯強勁 AI 需求

- 根據 Morgan Stanley 持續追蹤市場在不同時間點對全球 CSP 資本支出的預期，發現市場對於 CSP 在 2027 年的資本支出預期從 2026 年初到現在已經上修接近 73%，顯示市場不斷提高 CSP 未來投資規模的期待，我們可以藉此推斷市場對於 AI 需求仍具信心，但是在資本支出的比例上仍有一大部分是針對基礎建設 (電源、電力、廠房、土地等) 以及記憶體的支出，針對晶片的需求則可以看 CoWoS 投片量。
- CoWoS 投片量從 2025-2027 年預計以 CAGR 99% 進行成長，並且未見趨緩的趨勢，表示 CSP 資本支出更多花費在晶片上，因此上游會有更多的 Wafer Probing 的需求，進而帶動探針卡公司的 TAM。

不同時期對 CSP 資本支出之預期隨時間推移上修



CoWoS 投片量過去兩年保持穩定且超高速成長

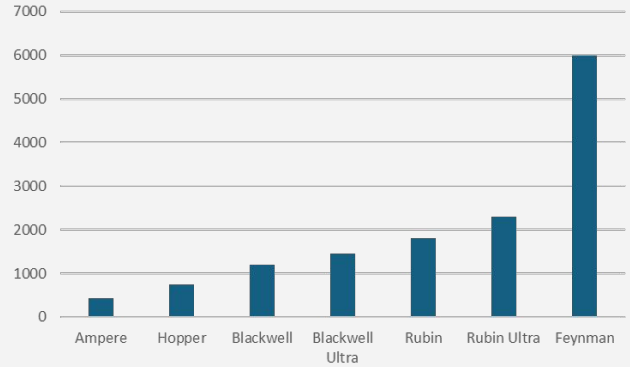


資料來源:旺 矽、Morgan Stanley

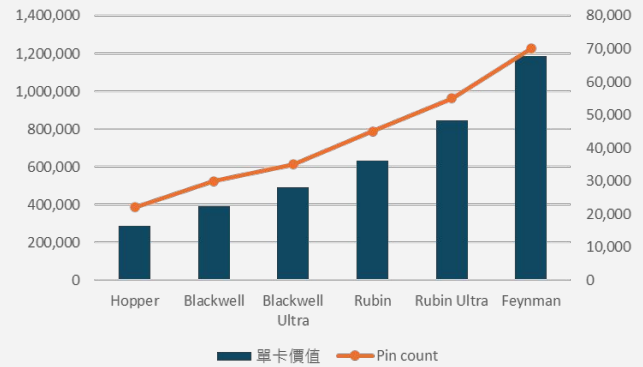
半導體裝置日益複雜的結構驅動探針卡必須設計的更加複雜與昂貴

- 先進封裝的每一個技術維度都在提高探針卡的技術難度，首先對於 112G/224G SerDes 晶片來說，對於探針卡的接觸端有很高的阻抗要求，同時 micro bump 的設計也對探針卡的低接觸力有高要求，因此這對於探針卡供應商的製造工藝便有所要求。
- 此外晶片更高的 pin count 也推升探針卡每片的針 腳數從 10-20k 推升至 40-50k，未來甚至可能到 100k，而探針卡的價格與針 腳數大約呈現線性關係，預期這種升級的趨勢不只能 夠帶動公司營收成長，也能提高絕對毛利。
- 晶片更高的電流需求驅動探針卡採用更大的截面積與更耐熱的材料，但又必須因應 fine pitch 的需求，如何在兩者當中取得平衡並且達到最佳的測試效益則是每一間探針卡廠商的 know-how。

晶片 TDP 快速成長帶動探針卡需升級



主流晶片更高的 pin count 直接增加每卡單價



資料來源：Nomura、Morgan Stanley、KGI

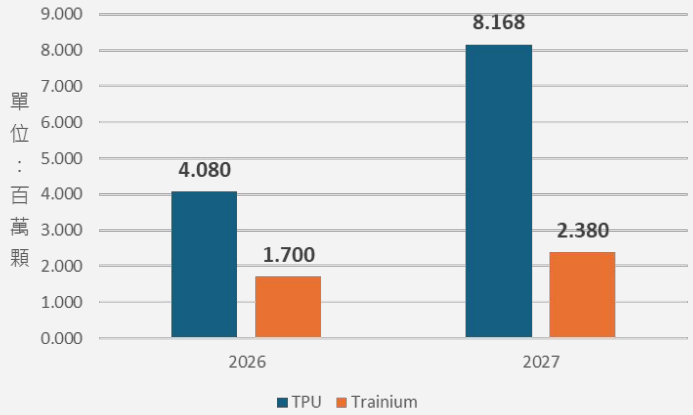
旺矽承接美系 ASIC 訂單，正開啟公司史上最大資本支出計畫

- 旺矽當前的主要客戶包括 AWS 的 Trainium 系列與 Google 的 TPU 系列，以及其他的網通與高階 DDIC 專案，同時旺矽在非記憶體探針卡市場當中市佔率第三，因此成長無須靠從零切入，另外我們也認為旺矽所具備的 in house 能力與廣泛的產品組合支持他們正在承接海外 CPU 外溢訂單的敘事。
- 根據公司說法，當前他們的擴產計畫是 2026 年達到 VPC/MEMS 月產能 2mn/3.5mn，2027 年達到 VPC/MEMS 月產能 2mn+/6mn+，且多家機構通路調查顯示該產能規劃實際偏保守，預期之後旺矽與客戶討論過需求之後，會再進一步上修，大摩的預估最為樂觀，預期 2027 年 MEMS 產能部分能夠擴張到接近 8-10mn。即使產能並不代表實際營收，但是仍然能夠作為 ASIC 強勁需求的 Cross Check。

旺矽管理層與各大機構對旺矽產能擴充之預估

公司年度月產能指引	2026E VPC/MEMS	2027E VPC/MEMS
旺矽管理層	2mn/3.5mn	2mn+/6mn+
BofA	2mn/3.5mn	2mn+/6mn+
Citi	2mn/3.5mn	2mn+/6mn+
Goldman Sachs	2mn/5mn	2mn+/8mn
Morgan Stanley	2mn/3.5mn	2.5mn/8-10mn
Nomura	2mn/3.5mn	2.5mn/7.5mn

TRN & TPU 系列預估出貨量（CoWoS implied）

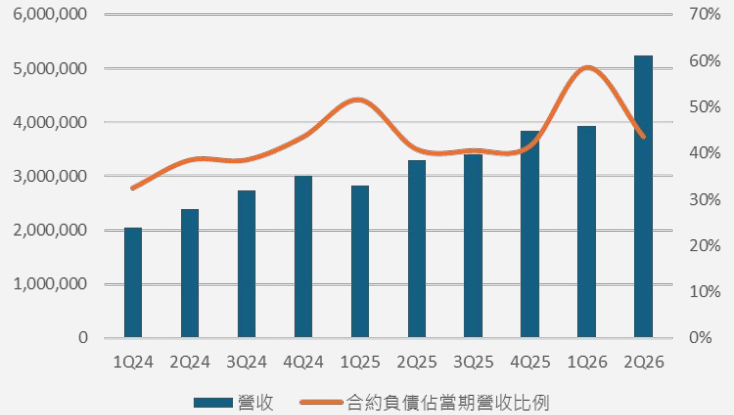


資料來源：旺矽、BofA、Citi、Goldman Sachs、Morgan Stanley、Nomura

管理層給予的訂單能見度與 B/B ratio 強化擴產可信度

- 根據旺矽管理層指出，公司各個產品的 B/B Ratio 都將維持在 1 以上，並且訂單能見度從歷史平均的約一個季度提升至 9 個月，B/B ratio 大於 1，代表新增訂單超過同期出貨；客戶預付款形成的合約負債，則提供另一層採購承諾。客戶願意預付、產線維持高負載、公司再投入擴產的循環為公司高速的產能擴張計畫有了實質的背書。
- 觀察旺矽合約負債部分，1Q26 合約負債 QoQ 44%，YoY 58%，第二季合約負債持續維持高檔，代表旺矽目前接單狀況持續穩定成長 (MEMS 探針卡交期約為 8-16 周)，並且在今年上半年持續反映在旺矽優良的營收表現上。

旺矽合約負債佔營收比走勢圖

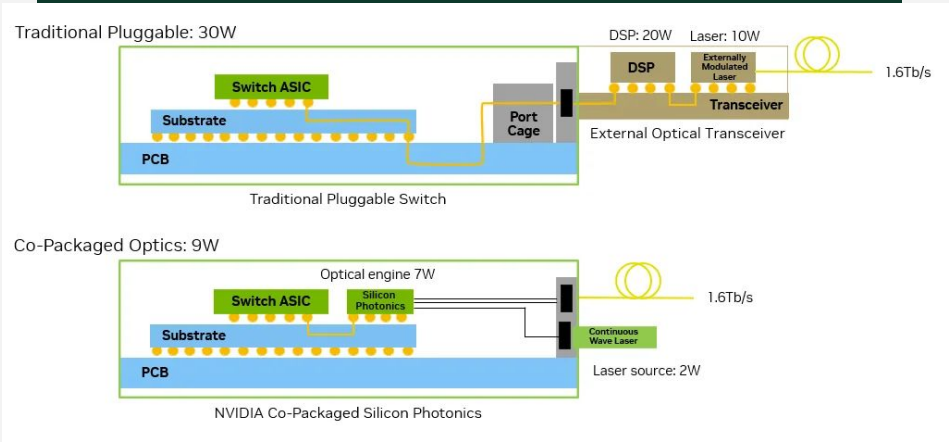


資料來源：旺矽、Nomura

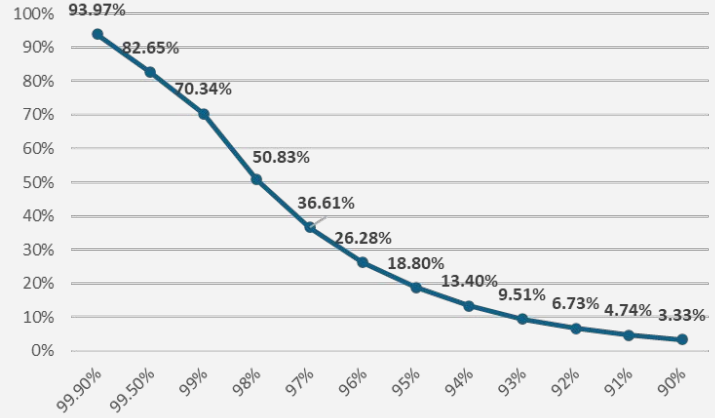
光進銅退驅動 CPO 產業成長

- 隨單通道速率從 112G/lane 升級到 448G/lane, 傳統可插拔模組會因為訊號走線距離過長而面對高損耗, 熱量進一步影響訊號品質使得可插拔模組不斷需要更強大的 DSP 來補償, 同時 switch ASIC bandwidth 也在倍數成長, 因此無論世代如何升級, 對外 ports 都將維持, 進而帶來更高的功耗與更艱困的熱管理任務, 將光模組與 ASIC 共同封裝在同一載板上是最主流的解法。
- CPO 架構精密且高度整合, 因此模組良率高度仰賴單個元件的個別良率, 這顯著的提高了測試的重要性, 如何透過最好的設備搭配最佳的 testing methodology 在最短的時間內確保極小的 test escape 舊是每一個想要發展 CPO 的供應商想要解決的瓶頸。

可插拔模組與 CPO 模組比較圖



CPO 模組良率曲線

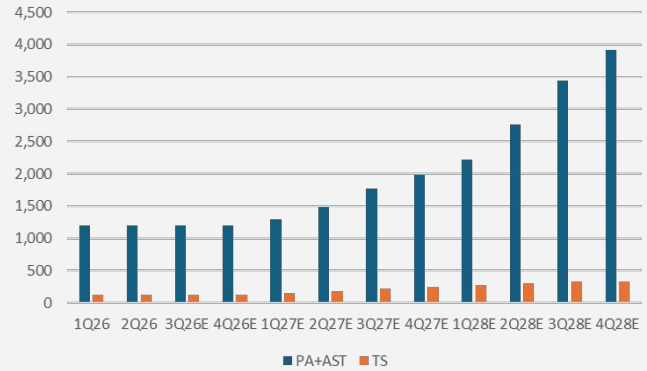


資料來源: Nvidia、

旺矽在 PA 與 AST 領域耕耘多年，已經具備切入 CPO 測試的能力

- 旺矽的 PA 業務原本服務 LED、PD、LD 等光學元件，涉及元件的測試、檢 查與搬運，另一方面 AST 累積了晶圓探測、RF／高頻量測、對位、校正與控制軟體經驗，早在 2020 年旺矽就有 TS3000 SiPH 的 Probe System，涵蓋 O-O、E-O、O-E、E-E 量測配置、精密光纖對位等技術，如今有 TS3000-DS 能夠支援 INS2 的晶圓級雙面同側、具備六軸光學定位、支援 grating/edging coupling。
- 在 INS3 部分，旺矽也確定會在 4Q26 小量交付 die-to-die prober，主要針對 singulated OE 進行測試，管理層預期 CPO 設備營收方面到了 2027 年將能實現 5-10% 的年增。
- 在產業端，目前不僅有 COUPE 平台，許多 fabless 公司也在發展自己的 CPO roadmap，在眾多標準混雜的情況下，即使在放量之前我們也預期會有龐大的測試設備需求，支持設備年增往 10% 靠近。

旺矽測試設備營收預估



預期 Thermal solution 設備也將受惠晶片 TDP 不斷攀升的趨勢。

旺矽與海外公司簽署 MoU 共同開發 IAITS

公司	核心能力	IAITS 當中角色
旺矽	Prober、Wafer Probing、測試軟體	Test Execution Layer
Lightium	PIC、measurement know-how	Photonics domain/test methodology
Axiomatic AI	Physics-aware reasoning AI	Test decision/optimizing layer

資料來源:旺 矽、Nomura

旺矽財務模型預估

- 旺矽之財務模型的產能規劃與 ASP 以下表為依歸。產能假設上，26 年產能擴張速度以管理層口徑為主，27 年產能擴張則以 Morgan Stanley 的預測為參考，同時根據通路調 查顯示 TPU/Trn 在 CoWoS 的投片量隱含 27 年 816/238 萬顆的 shipment，考量到前述的 CoWoS 產能上修情況與顯著供不應求的 ASIC 市場，加上還有數個高階網通專案，因此我們認為終端需求足以支撐旺 矽的產能規劃。
- 在 CPO 設備方面，我們認為有三個時間點 值得關注，這也對應了我們針對 CPO 相關設備營收成長的假設，第一個時間點是 1Q27，據悉旺矽將會於 4Q26 開始出貨 INS3 的工程機，因此我們認為合理的認列時間點在 1Q27，而後 2Q27 針對 INS2 的出貨，以及 1Q28 起 CPO 設備全面大規模放量。

旺矽探針卡相關假設

MPI (6223.TWO) — Quarterly Operating Model

NT$mn, except per-pin and capacity	Unit	1Q26	2Q26	3Q26E	4Q26E	1Q27E	2Q27E	3Q27E	4Q27E	1Q28E	2Q28E	3Q28E	4Q28E
Capacity & Pricing Drivers													
VPC quarter-end capacity	mn pins/month	1.138	1.500	1.800	2.000	2.049	2.199	2.350	2.500	2.625	2.750	2.875	3.000
MEMS quarter-end capacity	mn pins/month	1.182	2.500	2.500	3.500	4.875	6.250	7.625	9.000	9.750	10.500	11.250	12.000
VPC ASP	NT$/pin	NT$356	NT$356	NT$356	NT$356	NT$356	NT$356	NT$356	NT$356	NT$356	NT$356	NT$356	NT$356
MEMS ASP	NT$/pin	NT$390	NT$390	NT$390	NT$390	NT$429	NT$429	NT$429	NT$429	NT$472	NT$472	NT$472	NT$472
Revenue recognition lag	quarters	1	1	1	1	1	1	1	1	1	1	1	1

Note: 產能規劃參考 **Morgan Stanley** 通路調查後之結果，並且保守假設 **28** 年擴產速度，在季度的產能開出上採取平滑假設。在探針卡價格方面，參考 **Daiwa** 的通路調查顯示 **MEMS** 探針 **ASP** 每根針約 **USD 13-15**，同時預期旺矽有對探針的漲價計畫與能力，因此假設 **26/27/28** 年每根針 **ASP** 為 **NTD $390/420/450** 元。在營收貢獻方面，假設探針卡平均交期為 **12** 周，因此每一季度的營收對應上一季度的產能。

資料來源:旺 矽、Morgan Stanley、Daiwa

旺矽財務模型預估

旺矽設備相關假設 (以綠字為手動輸入)

Revenue Growth (QoQ)													
CPC	%	-43%	94%	11%	12%	5%	5%	5%	-10%	0%	0%	0%	0%
VPC	%	-18%	38%	-17%	20%	11%	2%	7%	7%	6%	5%	5%	5%
MEMS	%	153%	60%	141%	0%	54%	39%	28%	22%	30%	8%	8%	7%
Membrane	%	3%	33%	10%	10%	5%	25%	25%	0%	5%	5%	5%	0%
Probe Card	%	-2%	51%	38%	8%	32%	25%	21%	16%	23%	7%	7%	6%
PA+AST	%	82%	0%	0%	0%	5%	10%	15%	15%	20%	25%	25%	15%
TS	%	-7%	0%	0%	0%	15%	15%	20%	20%	10%	10%	10%	10%
Equipment	%	66%	0%	0%	0%	6%	11%	16%	16%	19%	23%	24%	15%
Other	%	-85%	0%	0%	0%	0%	5%	5%	5%	-5%	5%	5%	-5%
Total	%	3%	33%	28%	6%	27%	23%	20%	16%	23%	9%	9%	8%

旺矽季度損益

Revenue													
CPC revenue	NT$mn	298.9	580.0	643.8	721.1	757.1	795.0	834.7	751.2	751.2	751.2	751.2	751.2
VPC revenue	NT$mn	1,399.3	1,936.9	1,602.0	1,922.4	2,136.0	2,188.0	2,348.7	2,509.3	2,670.0	2,803.5	2,937.0	3,070.5
MEMS revenue	NT$mn	760.0	1,216.0	2,925.0	2,925.0	4,504.5	6,274.1	8,043.8	9,813.4	12,741.3	13,803.1	14,864.9	15,926.6
Membrane revenue	NT$mn	78.7	104.7	115.1	126.7	133.0	166.2	207.8	207.8	218.2	229.1	240.6	240.6
Probe Card revenue	**NT$mn**	**2,536.8**	**3,837.5**	**5,285.9**	**5,695.1**	**7,530.6**	**9,423.3**	**11,434.9**	**13,281.7**	**16,380.7**	**17,586.9**	**18,793.6**	**19,988.9**
PA+AST	NT$mn	1,202	1,202	1,202	1,202	1,262	1,388	1,596	1,836	2,203	2,754	3,442	3,958
TS	NT$mn	129.8	129.8	129.8	129.8	149	172	206	247	272	299	329	362
Equipment Revenue	NT$mn	**1,331.6**	**1,331.6**	**1,331.6**	**1,331.6**	**1,411.1**	**1,559.7**	**1,802.2**	**2,082.8**	**2,474.7**	**3,052.6**	**3,770.9**	**4,320.1**
Other revenue	NT$mn	64.7	64.7	64.7	64.7	64.7	67.9	71.3	74.9	71.1	74.7	78.4	74.5
Total revenue	**NT$mn**	**3,933.1**	**5,233.8**	**6,682.2**	**7,091.4**	**9,006.4**	**11,050.9**	**13,308.5**	**15,439.5**	**18,926.6**	**20,714.2**	**22,642.9**	**24,383.5**

資料來源:旺 矽、Morgan Stanley、Daiwa

旺矽完整年度財務模型

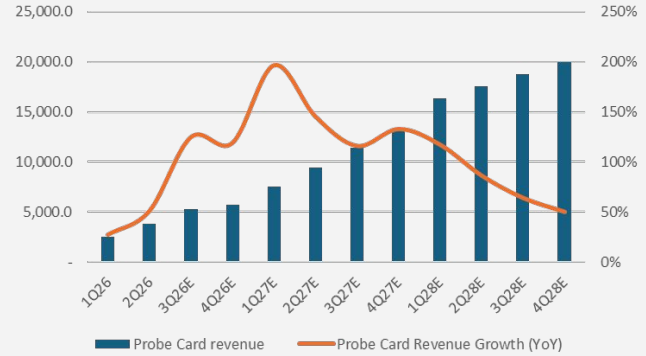
MPI (6223.TWO) — Annual P&L

NT$mn, except per-share	Unit	2026E	2027E	2028E
CPC revenue	NT$mn	2,243.8	3,138.0	3,005.0
VPC revenue	NT$mn	6,860.5	9,182.0	11,481.0
MEMS revenue	NT$mn	7,826.0	28,635.8	57,335.9
Membrane revenue	NT$mn	425.1	714.8	928.4
Probe Card revenue	**NT$mn**	**17,355.4**	**41,670.6**	**72,750.2**
Equipment revenue	NT$mn	5,326.2	6,855.8	13,618.2
Other revenue	NT$mn	258.8	278.8	298.8
Total revenue	**NT$mn**	**22,940.4**	**48,805.2**	**86,667.2**
Gross profit	**NT$mn**	**13,831.4**	**30,977.8**	**56,557.8**
Gross margin	**%**	**0.6**	**0.6**	**0.7**
OPEX	NT$mn	5,339.1	11,470.4	19,603.7
Operating profit	**NT$mn**	**8,492.3**	**19,507.4**	**36,954.1**
Operating margin	**%**	**0.4**	**0.4**	**0.4**
Non-operating income	NT$mn	380.0	280.0	280.0
Profit before tax	NT$mn	8,872.3	19,787.4	37,234.1
Tax expense	NT$mn	1,748.5	3,905.3	7,348.7
Net income, continuing ops	NT$mn	7,123.8	15,882.1	29,885.4
Extraordinary item	NT$mn	(17.5)	(24.3)	(24.3)
Reported net income	**NT$mn**	**7,106.3**	**15,857.8**	**29,861.2**
Basic shares	**mn**	**94.8**	**94.8**	**94.8**
EPS	**NT$**	**74.9**	**167.2**	**314.8**
EPS vs MS	**NT$**	**10.6**	**17.1**	**(4.7)**

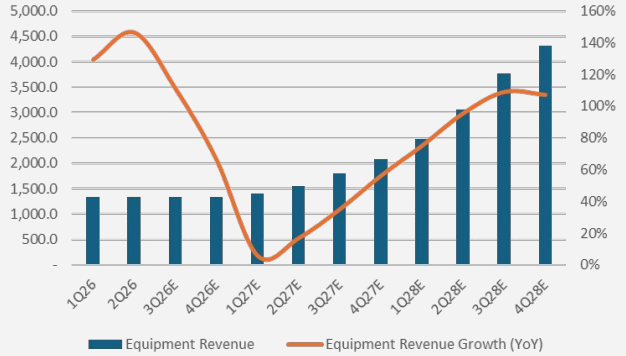
資料來源:旺 矽、Morgan Stanley、Daiwa

旺矽損益表

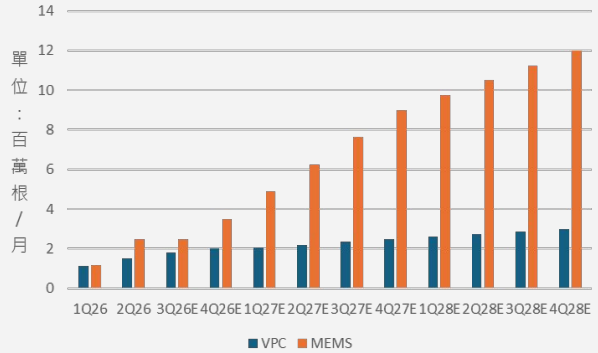
旺矽探針卡營收趨勢



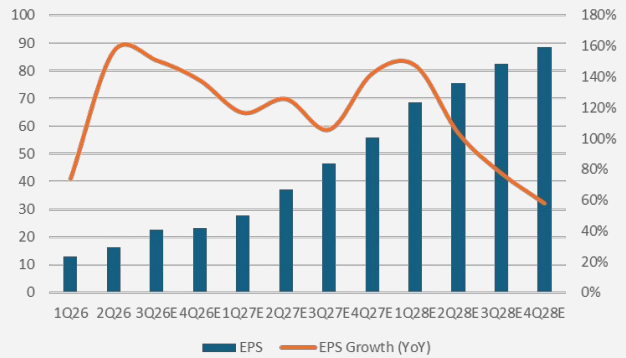
旺矽設備營收趨勢



旺矽產能假設趨勢



旺矽每股盈餘趨勢



資料來源:旺 矽、Morgan Stanley、Daiwa

旺矽財務模型預估之敏感性分析

- 如前述, 根據 Daiwa 的調查, 探針卡的 ASP 是有一個 range 在的, 因此我們假設四種情境, 在每一種情境下都假設每年會漲價 10%, 第一種是透過過去營收除以 產能算出大約一根針在過去的 ASP 是多少, 以此為基準從 26 年起算所得到的 EPS, 第二種情況則以 Daiwa Channel Check 到的數字進行推估, 並作為 base case, 另外兩種情境則是 Daiwa Channel Check 到的中位數與高標來進行計算, 並分別對 Base case 進行 EPS 的比對。

旺矽探針卡相關假設

MPI (6223.TWO) — MEMS ASP Sensitivity

MEMS ASP case	2026 ASP	2027 ASP	2028 ASP	2026 EPS	2027 EPS	2028 EPS	Δ26 vs Base	Δ27 vs Base	Δ28 vs Base
NT$260	NT$260	NT$286	NT$315	59.80	114.42	231.43	-14.58	-55.69	-124.48
NT$390	NT$390	NT$429	NT$472	74.37	170.11	355.91	0.00	0.00	0.00
NT$420	NT$420	NT$462	NT$508	77.74	182.97	384.63	3.36	12.85	28.73
NT$450	NT$450	NT$495	NT$545	81.10	195.82	413.36	6.73	25.70	57.45

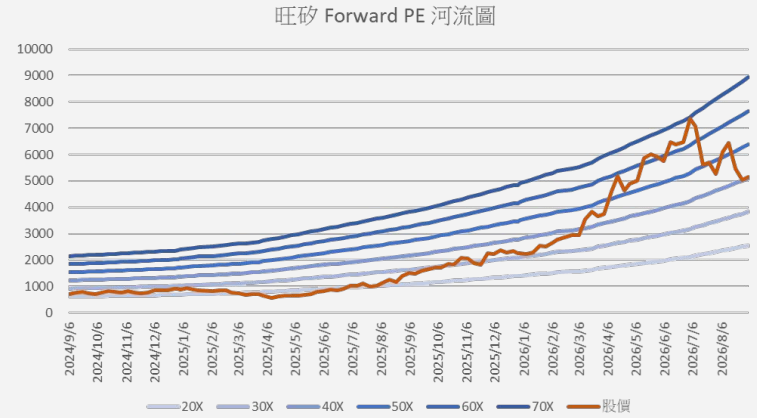
假設四種情境，在每一種情境下都假設每年會漲價 10%，第一種是透過過去營收除以產能算出大約一根針在過去的 ASP 是多少，以此為基準從 26 年起算所得到的 EPS，第二種情況則以 Daiwa Channel Check 到的數字進行推估，並作為 base case，另外兩種情境則是 Daiwa Channel Check 到的中位數與高標來進行計算。

資料來源:旺 矽、Morgan Stanley、Daiwa

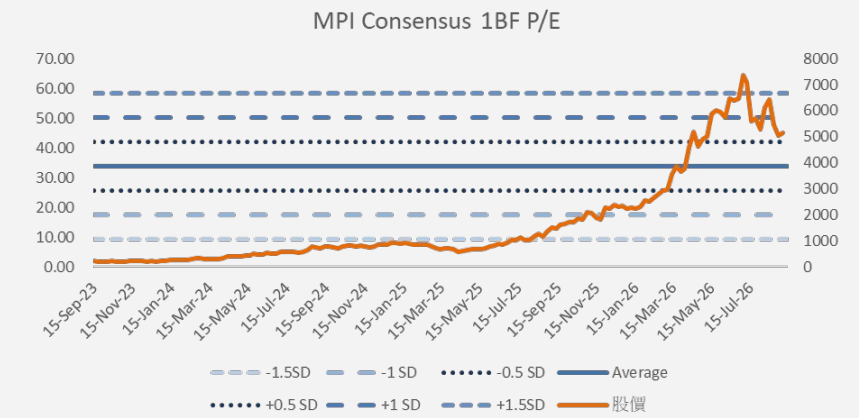
旺矽公司評價:目標價 9,795 元

- 我們針對旺矽公司過去的預估本益比建構了河流圖與標準差圖，由於旺 矽的業務近年來快速成長，因此過去股價交易在的預估本益比變化巨大，最高有曾經交易在近 70 倍本益比，最近有所回檔至約 40 倍本益比後，發現股價有所支撐。
- 結合當前旺矽在探針卡市場的領導地位、未來的獲利能力、河流圖與標準差圖的考量下，我們認為取過去平均預估本益比 + 0.5 倍標準差的 42 倍本益比適合做為目標價的評價基準。
- 另外由於 28 年產能完全由自行假設，因此評價上採取 27 & 28 年 EPS 平均 233.25 元作為參考，乘以 42 倍本益比得到 **目標價: 9,795 元**。

旺矽 Forward PE 河流圖



旺矽 Forward PE 標準差圖



資料來源:旺 矽

重點追蹤的信號

- **CSP資本支出下修** 或對 AI 說法轉趨保守 (供應鏈最上游的需求源)
- AI 需求整體放緩、變現進度令人失望, 導致晶片專案延後或縮編
- **新產品世代交替與升級週期放慢**
- **擴產計畫遞延或縮減** :測試介面與設備營收前置於量 產, 擴產遞延會直接讓前置訂單消失
- CPO 流程長期無法定案:若第二段雙面測試遲遲沒有可量 產方案, CPO 的價值會被推遲甚至重估

07

附錄