



# 2026年台灣半導體特化與耗材展望

福邦投顧 研究部  
2026.03

# 結論

受全球AI需求帶動下，Logic IC與 Memory需求於2026年呈現增長，根據研調統計，AI相關產業支出，將從2025年17.57兆美元(YoY+53.66%)，增長至25.28兆美元(YoY+43.86%)，其中基礎設施與伺服器相關占比約落於84%-72%。並同時帶動Foundry與IDM 晶圓需求端供貨。而作為全球先進製程節點之TSMC，亦如期推進先製成應用節點、在地化滲透率，並同時加強先進製程的產能放量，例如：2nm投片產能預期從4Q25 4萬片/月產能、提升至4Q26 8萬片-10萬片/月產能等。

半導體特化與耗材，在前段亦伴隨2nm與1.6nm製程，迎來新的展望。包括：1)光阻材料材料變革，A14光阻材料發展驗證中、2)高介電材料帶動ALD前驅物應用技術發展、以及3)晶背供電(BSPDN)帶動晶圓減薄等耗材需求，將帶動光阻劑新的應用、新的沉積技術發展以及對於鑽石碟、研磨墊等相關耗材的需求。

而在後段製程，伴隨終端高速運算、伺服器等需求強勁，2026年該市場預期約617.1億美元，將於該年度超過傳統封裝並逐年呈現成長，預期2024-2028年間將以 CAGR 10.9%快速增長，而TSV與RDL扮演先進封裝製程中的應用關鍵，其中RDL需求除因受惠於SiO<sub>2</sub>中介層之材料極限而帶動需求外，亦受惠於FOPLP製程需求帶動，RDL製程中的負型液態PSPI需求預期將會顯著放量成長。

而最後則針對FOPLP封裝技術需求提升下、電晶體封裝數量日益增多，面對光罩尺寸從3.3x至5.5x再到2027年的9x光罩，有機載板將受限逾越高頻寬的傳輸、以及受熱不均等因素，面臨翹曲問題，故在此應用趨勢下，低CTE的玻璃芯基板(Glass Core Substrate)備受重視，且伴隨相關美系客戶於2025年驗證導入，有望於2H26下半年看見相關台灣廠商一同參與玻璃芯基板的供應鏈製程。

相關個股：中砂(1560)、頌勝科技(7768)、昇陽半導體(8028)、勝一(1773)、新應材(4749)、晶呈科技(4768)、達興材料(5234)、永光(1711)、長興(1717)、三福化(4755)

# 目錄

一	半導體特化與耗材發展概況	4
二	前段製程關鍵	10
三	後段製程關鍵	16
四	系統級封裝下關鍵耗材展望	26

# 半導體特化與耗材發展概況

# AI狂歡潮：從供給襲捲至需求導向的產業熱浪

- 根據Gartner(4Q25)資料顯示，AI相關產業支出，將從2025年17.57兆美元(YoY+53.66%)，增長至25.28兆美元(YoY+43.86%)，其中基礎設施與伺服器相關占比約落於84%-72%。
- 據IEK研調指出，AI硬體設施端中約67.56%用於運算(伺服器+GPU)、存儲需求(DRAM+Memory)約占3.82%，扣除掉運算中的伺服器占比，約6%運算與Logic與Memory需求有所關聯。伴隨該需求持續性增長、以及因應運算效能下持續增長的晶片I/O數，間接帶動Foundry/IDM廠產能擴建需求、以及更先進製程的節點與封裝技術推進、將刺激半導體特化與耗材產業成長。

圖1、2024-2029(F)AI應用趨勢 (單位：百萬美元)

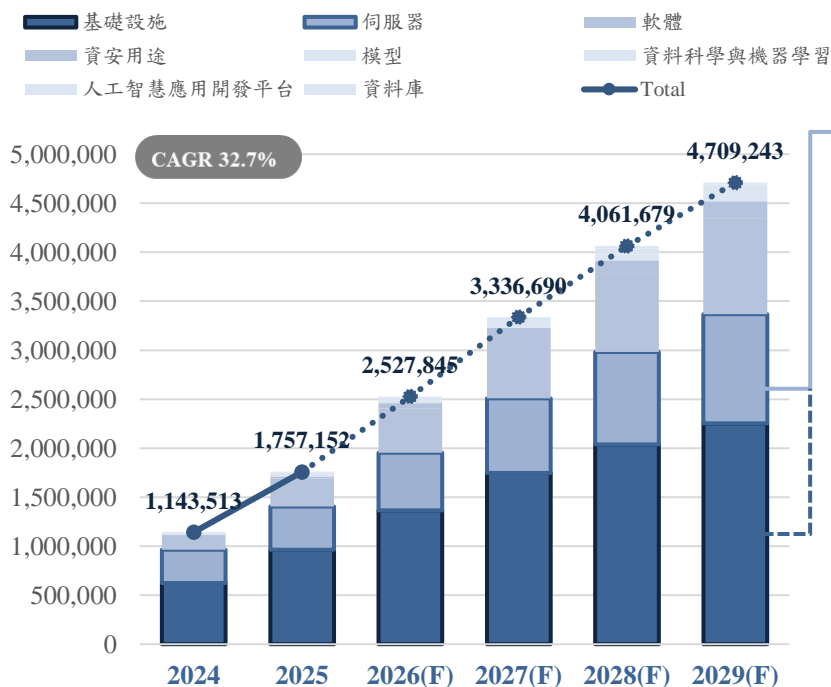
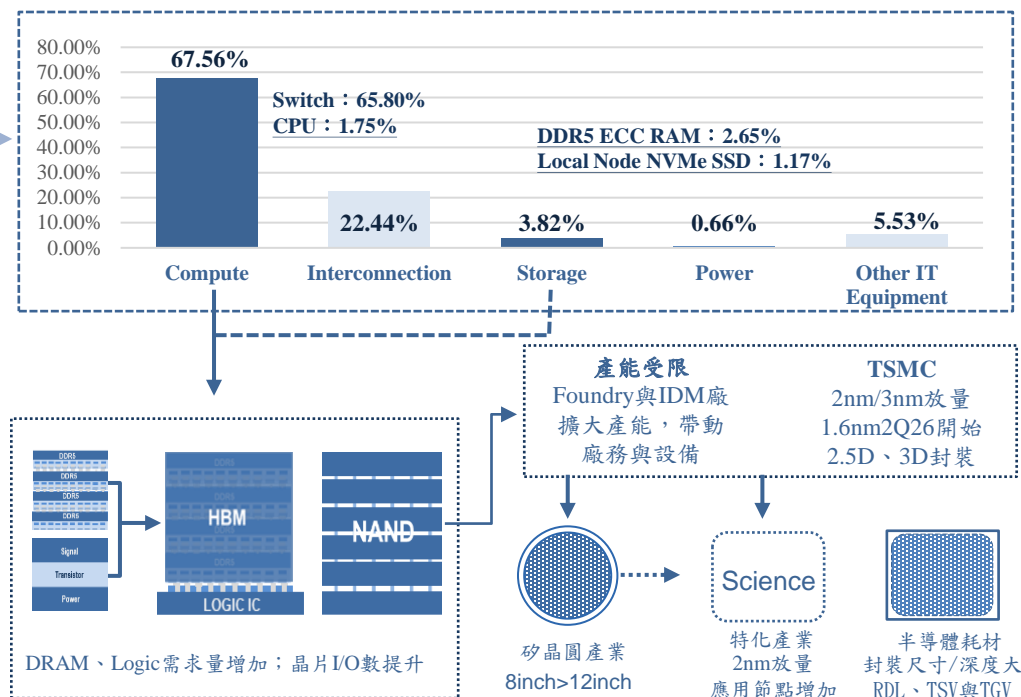


圖2、AI需求端對於半導體供給端影響趨勢圖



# 全球半導體市值屢創新高，2026年將達9,750億美元，YoY+26.3%

■ 據WSTS研調顯示，2025年全球半導體營收成長至7,720億美元，YoY+22.5%；在產品應用層面，Logic IC 營收YoY+37.1%，是增幅最大的產品類別，其次是記憶體營收成長27.8%，2026年則同樣受到相關趨勢延伸，預期兩大領域可貢獻近9,750億美元，YoY+26.3%。

■ 據研調機構所示，Logic IC與 Memory市場部分；1)Logic IC出貨數預期從2025年1,299萬顆、增長至2026年2,011萬顆(YoY+54.75%)；Memory(含概DRAM+NAND)亦預期從2025年2,353億美元、增長至2026年5,193億美元，YoY+120.66%。

圖3、AI需求端對於半導體供給端影響趨勢

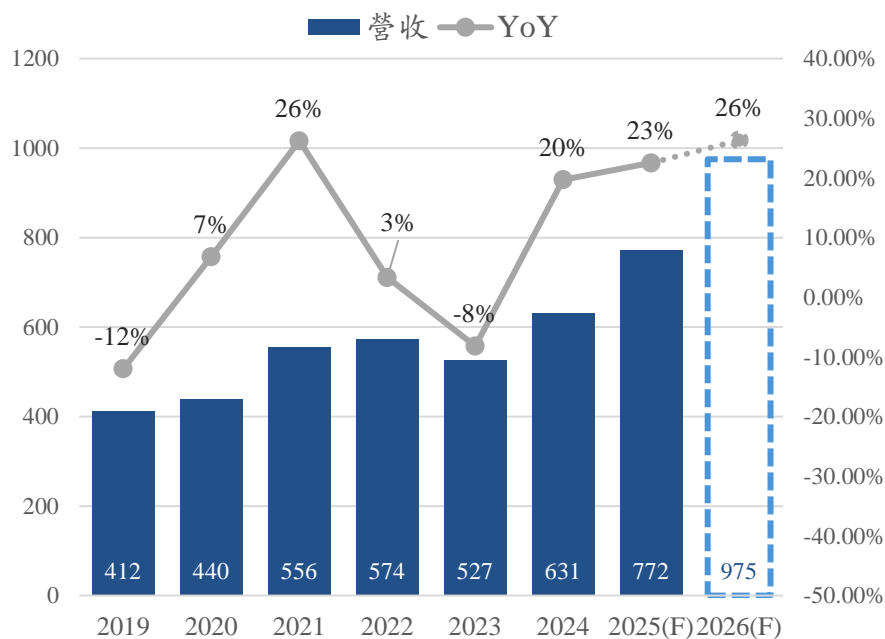


圖4、2024-2026(F)Logic出貨數量統計

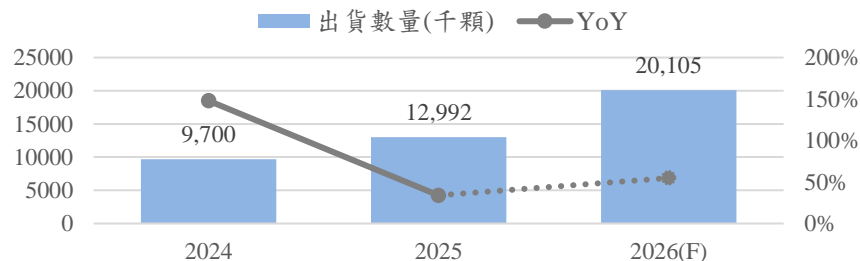
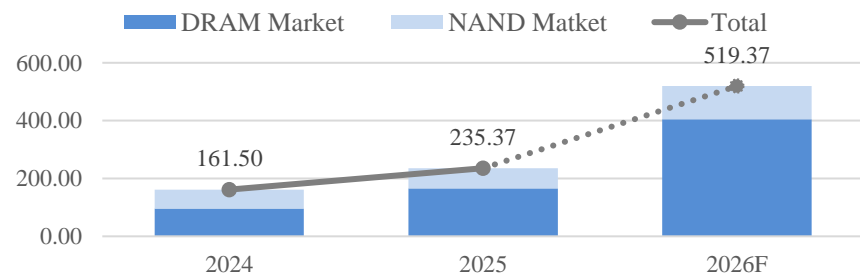


圖5、2024-2026(F)Memory市場價值推估



# 關鍵成長(1)：Memory與Logic IC推進晶圓應用面積成長

- 根據Gartner統計，1) IDM端廠商(如：南亞科、華邦電...等)受記憶體產業需求拉升，於12inch晶圓產能需求大幅拉升，2026年增長預計約14.87%；8inch產能則因具備高度可靠性與穩定性的汽車、工業自動化、消費性電子等領域之高需求，年增率約為5.10%。2) Foundry端，則受惠於Logic需求增長，以及TSMC與Samsung 8inch產能減產，2026年8inch總產能減少2.57%，12inch晶圓成為主供，滿足先進製程節點產能需求，2026年產能增長10.66%。整體而言，2026年12inch晶圓年增長+12.09%、8inch晶圓年增長+1.00%。
- 根據Semi研調統計，2025年底推估TSMC月產能約為1,670/千片。其中，6inch稼動率約為50%左右、8inch平均稼動率約為72%、12inch稼動率約為78%。伴隨12inch晶圓應用需求增長，晶圓面積應用比例增加而成長(12inch晶圓約為8inch晶圓2.25X)，亦將帶動特化與耗材產業成長。

圖6、2024-2029(F) IDM 300mm & 200mm

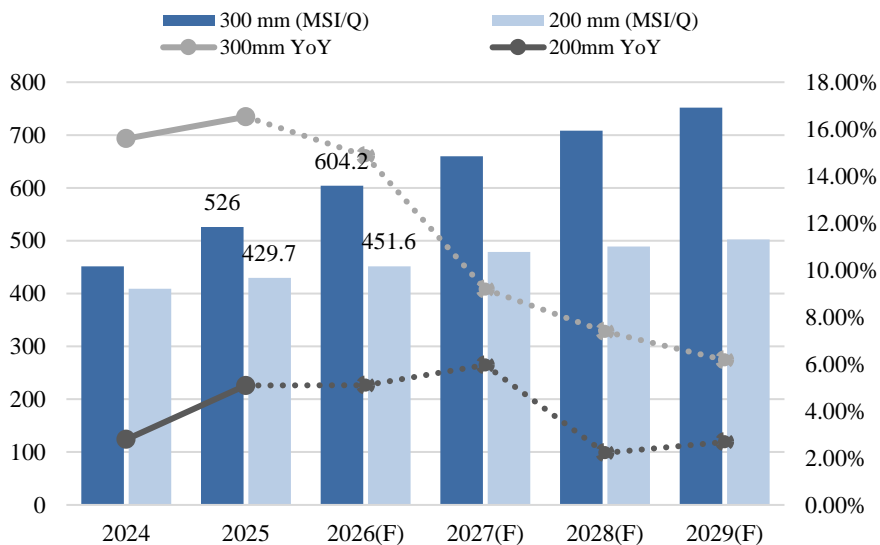
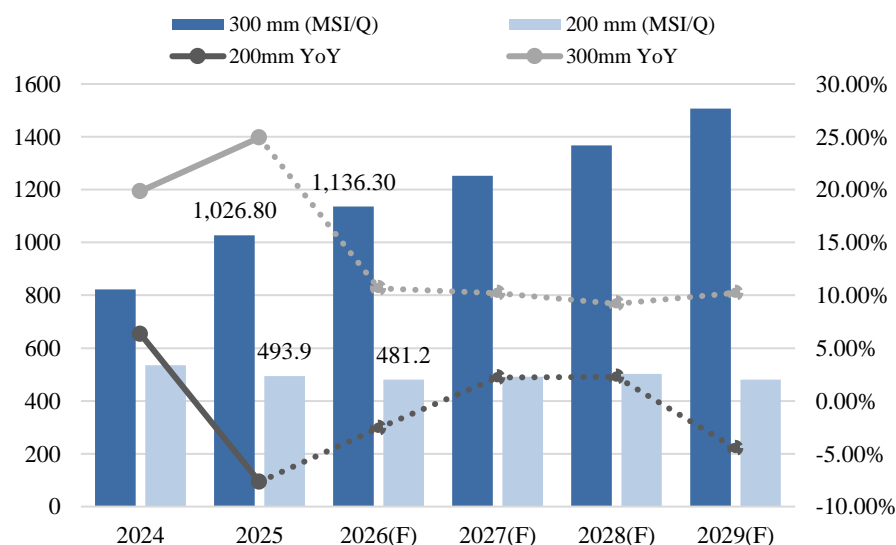


圖7、2024-2029(F) Foundry 300mm & 200mm



## 關鍵成長(2)：TSMC先進製程節點推進、在地化占比提升

- 根據TSMC法說會展望，7nm製程/營收之占比，已從1Q25約62%提升至4Q25約77%。伴隨TSMC大力擴充2nm&3nm製程、1.6nm試產在即、1.4nm籌備規劃，以及CoWoS後段製程擴充，前段黃光微影製程之光阻材料、沉積方式、蝕刻、研磨耗材(鑽石疊、研磨墊...等)外，以及後段用的矽穿孔、重新佈線RDL技術、防翹曲用的晶圓保護膠材等，亦將迎來持續受惠機會。
- 此外，TSMC於2019年推動在地化政策至今，已從2021年約60%，逐年提升至2026年約66%(研究員推估)，預計該部分應用將於2030年提升至68%。

圖8、TSMC 7nm以下發展趨勢圖(單位：百萬台幣)

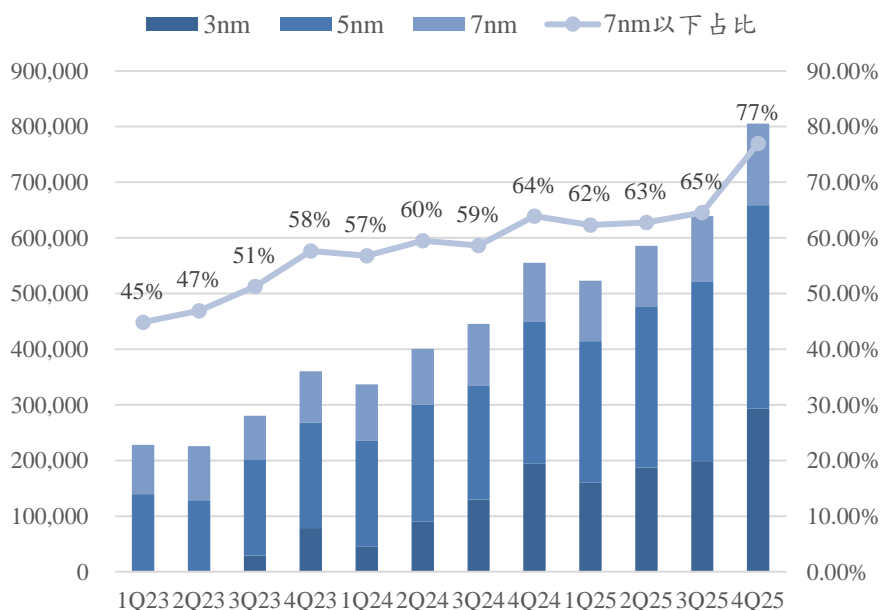
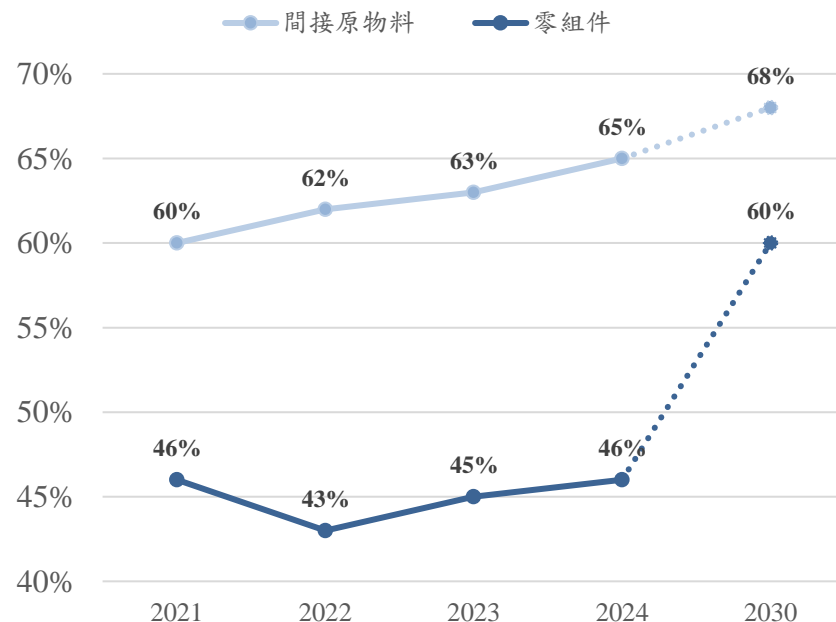
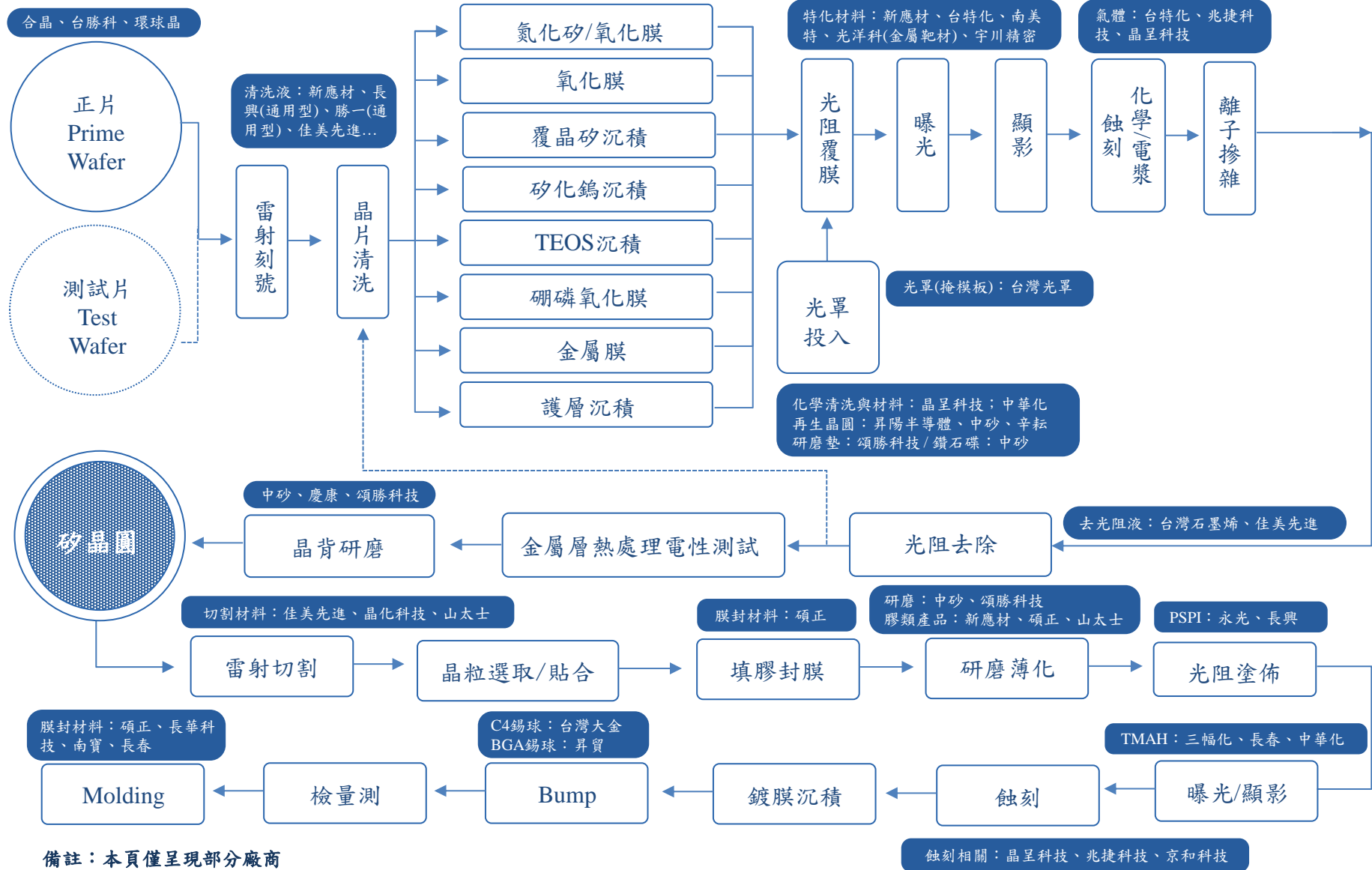


圖9、2021-2030(F)TSMC在地化提升比例



# 半導體製程前段與後段-流程圖與相關廠商



備註：本頁僅呈現部分廠商

蝕刻相關：晶呈科技、兆捷科技、京和科技

# 前段製程關鍵

---

2nm&3nm拼湊在地化與放量；A16跨入試產關鍵期

# 關鍵大廠節點彙整，A16拉開「埃米時代」序幕

- 根據IEK、材料世界、各家網路公開資訊彙整，2nm與A16製程，分別在各類前段製程技術上有所差異，例如：2nm製程在曝光技術上採用EUV與全環繞閘極之GAA架構；A16製程則因應高密度晶體下，導線、訊號與電源間的相互干擾，從正面供電(PDN)轉向晶背供電(BSPDN)，拆分訊號與電源位置。
- 而從2nm以下開始，光阻劑(受曝光變化)、沉積方式(高介電常數閘極氧化層)需求提升；16A製程則受在BSPDN下，晶圓減薄(鑽石碟、載體晶圓(先乘載後在轉向背面)等，需要更多金屬離子團去做沉積(線路)。

表1、關鍵廠商製程節點彙整

廠商	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028	2029	2030
TSMC		7nm		5nm		3nm			2nm	A16		*A14		*1nm
電晶體結構	FinFET (應用於16nm、7nm、5nm、3nm)								GAA(2nm開始導入)					
曝光製程	浸潤式Arf與EUV								EUV					
光阻劑	化學增幅型										非化學(金屬)/化學增幅型			
關鍵技術											晶背供電(BSPDN)			
Samsung			7nm	5nm		3nm			2nm					SF1.4
Intel			10nm		Intel7		Intel 4	Intel 3	Intel 18A		Intel 14A			Intel 10A
Rapidus									2nm (試產)		2nm (量產)			1.4nm (試產)
GlobalFoundries		12nm FinFet	無限遞延7nm製程											
United Microelectronics	14nm										12nm	評估6nm中		
Semiconductor Manufacturing			14nm	7nm (N+1)			7nm (N+2)							

備註：更新時間2026/01/28

# 關鍵(1)：光阻材料材料變革，A14光阻材料發展驗證中

- 據《market.us》統計，2024年全球光阻市值約64億美元、於2024至2034年內以CAGR 5.6%持續增長，其中以ArF浸潤式光阻占比最高，整體市占約38%-40%。
- 目前共通趨勢1) 丙烯酸酯光阻材料憑藉高分子設計自由度，成為化學增幅型光阻的主力體系，並在極紫外光(EUV)微影中展現酸擴散控制與線邊粗糙度改善的潛力。2) 低碳氟光阻添加劑則呼PFAS禁令與綠色製造。
- 新節點1) Lam Research、ASML與比利時微電子中心共同開發CVD/ALD沉澱光阻劑、2)採用Inpria (JSR)發展金屬氧化物光阻劑、或是3)住友化學小分子光阻劑；

圖10、2024-2034年光阻劑市場趨勢

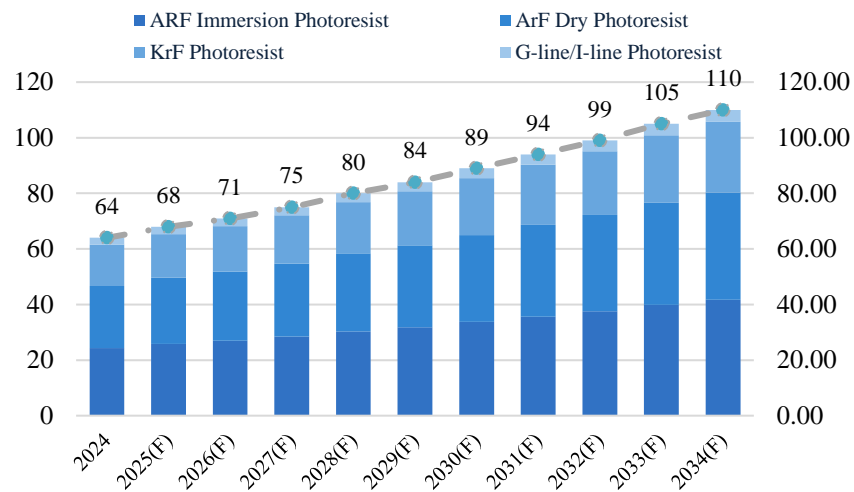


圖11、光阻製程發展趨勢

光源	應用節點	光阻類型	光阻之光酸	樹脂混合劑	顯影劑
G Line	0.5~1.5um	-	非離子型光酸： 重氮萘醌(DNQ) (照射時產生反應)	N/A	正型(TMAH) 負型(二甲苯)
I Line	250~800um	非化學增幅型			
KrF	130~500nm	有機高分子(化學增幅型)	離子型光酸： 硫鎔鹽、典鎔鹽 (可吸收紫外光基團) (照射後烘烤反應)	Aliphatic Resin PHS	正型(TMAH) 負型(二甲苯)
ArF	65~130nm	有機高分子(化學增幅型)		Aliphatic Resin	
ARF 浸潤式	7~65nm	有機高分子(化學增幅型)		氟樹脂	
EUV	7~1.6nm	有機高分子(化學增幅型)	含有碘、氟並摻雜樹脂的複合結構 (產業逐漸往短碳氟鏈邁進)		驗證中
	1.4nm	金屬氧化物光阻(非化學增幅型) 有機高/低分子(化學增幅型)			

# 關鍵(2)：高介電材料帶動ALD前驅物應用技術發展

- FinFET架構演進跨足TSMC22nm-3nm製程端應用，然而因受短通道效應、以及通道幾何形狀(Fin)，限制了整體電晶體效能。其中，傳統的SiO<sub>2</sub>與HfO<sub>2</sub>閘極絕緣已難兼顧等效氧化層厚度(EOT)，因此在製程上需要往高介電常數與能隙材料邁進，包括如：La<sub>2</sub>O<sub>3</sub>、Y<sub>2</sub>O<sub>3</sub>...等稀土類氧化物，而沉積此類介電材，便需要使用原子層沉積技術(Atomic Layer Deposition，簡稱：ALD)。(重點：結構極限>開發高介電材料>ALD沉積)
- ALD為沉積高介電材料之主要技術(台灣主要廠商為：宇川精材)，其自終止反應機制(Self-Limiting Reaction)可確保每個循環於基板表面形成單一原子層。目前該技術可分為熱輔助(高溫催化)以及電漿輔助(電漿活化；低溫)。主要應用於記憶體DRAM電容、3D NAND閘極等。

圖 12、高K介電常數與能隙分布

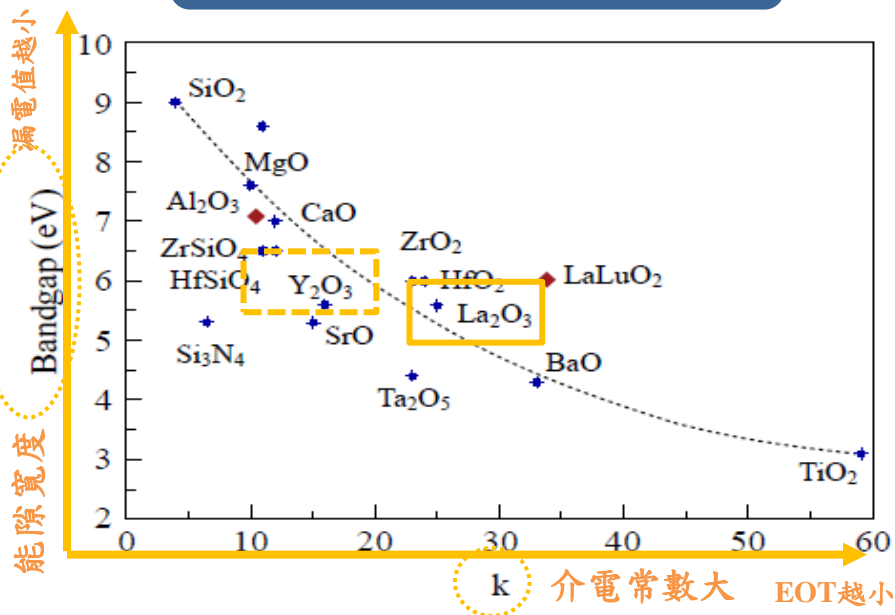
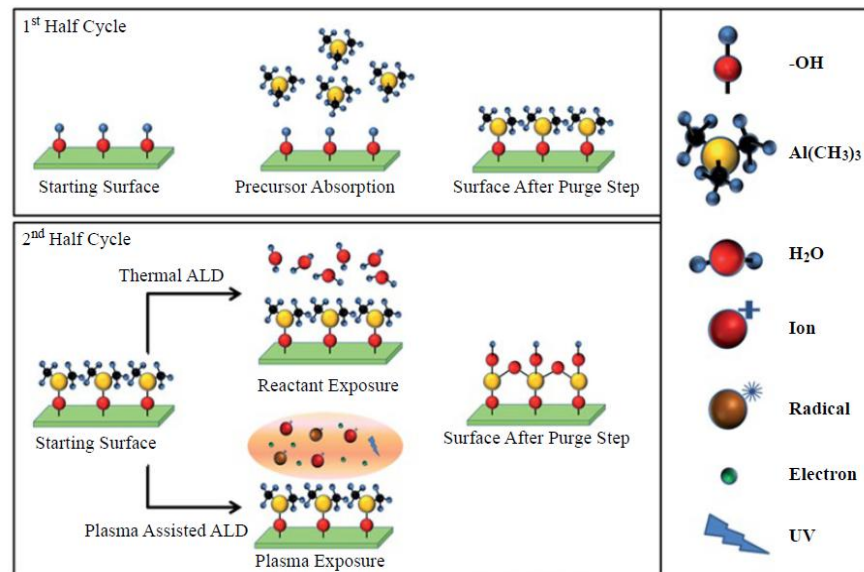


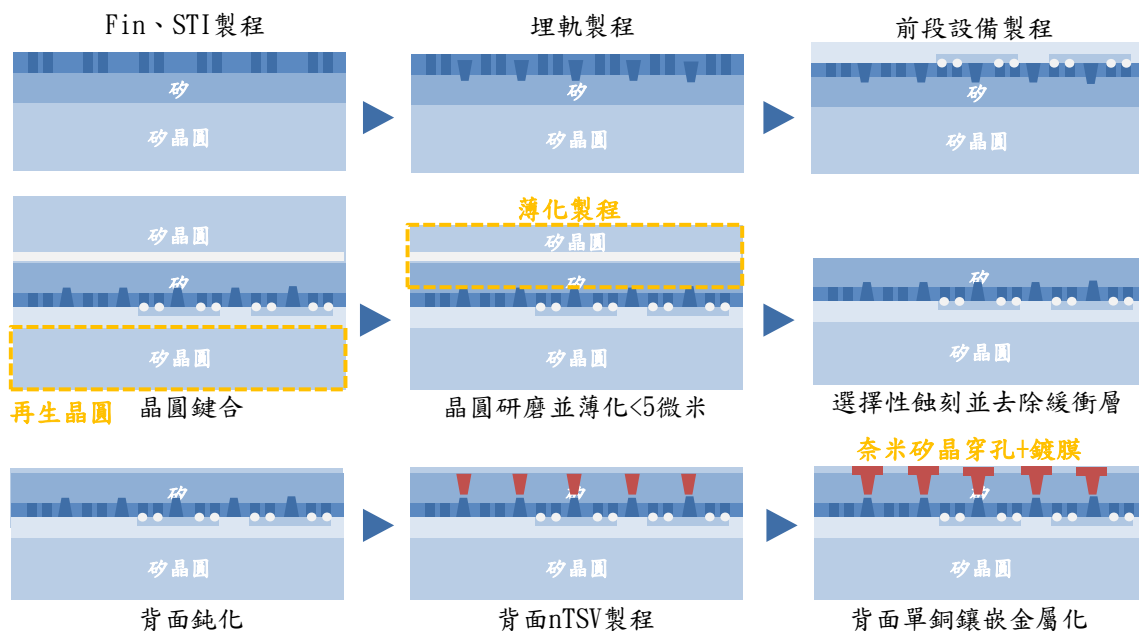
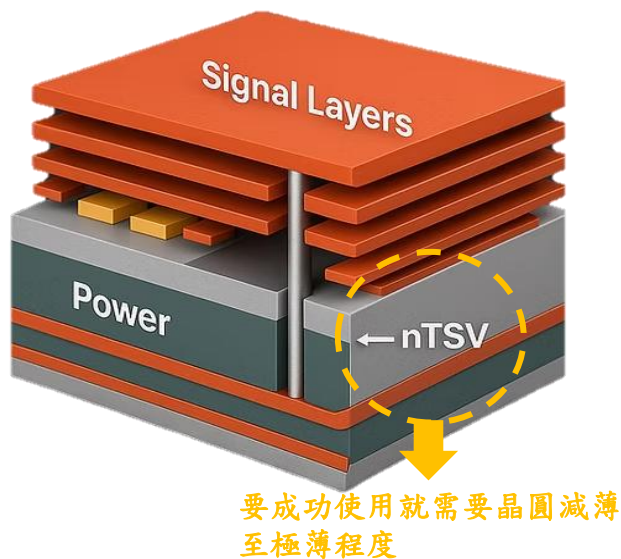
圖 13、熱趨動型與電漿輔助型ALD循環反應之示意圖



# 關鍵(3)：晶背供電(BSPDN)帶動晶圓減薄等耗材需求

- 晶背供電(BSPDN)係將傳統正面供電，轉向訊號與電源拆分的背面供電(中間運用奈米矽穿孔)。奈米矽穿孔(nTSV)技術牽扯深蝕刻 (Deep Etching)、薄膜沉積 (Thin Film Deposition)、化學機械研磨 (CMP) 等技術，而其中關鍵在於-將晶圓從「數百微米減薄至20微米下」，須具備高度均勻薄化技術，且薄化後為因應極度脆弱的減薄後晶圓，便需要透過「乘載晶圓(Carrier Wafer)」進行暫時鍵合。
- 具供應鏈訪查，晶背供電中已經有60-70道需要研磨、layer約20個，每道約有2~3個step需要拋光(用到CMP)。過往每次節點升級增加的step數約15-20%，且N2到A16之間step數增加15-20%之情況下，意謂著研磨次數：正面—【 $2\text{nm} \times (1+15\%-20\%)$ 】+背面【40~60】(研究員概抓)。

圖14、晶背供電(BSPDN)製程圖



# 2nm/A16、A14廠房建置時程推估，2027年前段製程需求增長

- 根據供應鏈訪查與彙總，參考廠務完工後約9-12個月邁入量產時程進行推估。
- 2026年TSMC Fab20(P2)、Fab22(P2)有望跨入量產階段，從而使2nm產能從4Q25約4萬片/月、增長至4Q26約8萬-10萬片。若2027年TSMC相關前段Fab18(P9)、Fab20(P3)、Fab 22(P3)...等邁入放量階段，年底2nm產能將會大幅呈現提升；同時A16亦有望邁入量產階段、A14製程則會進入試產階段。

圖 15、TSMC建廠時程預估

國內規劃		製程節點	「預估」進程	海外規劃		製程節點	「預估」進程
台南 (Fab18)	P9	3nm	1H27量產	美國 (Fab21)	P1	4nm	已投產
新竹 (Fab20)	P1	2nm	2025年量產		P2	3nm	2H27量產
	P2	2nm	2026年量產 ✓				
	P3	<2nm	2027年量產				
	P4	<2nm	2028年量產				
高雄 (Fab22)	P1	2nm	2025年量產		P3	2nm	2028年量產
	P2	2nm	2026年量產 ✓				
	P3	2nm	2027年量產				
	P4	2nm/A16	2027-2028年量產				
	P5	2nm/A16	2027-2028年量產				
	P6	1.4nm	規劃中				
台中 (Fab25)	P1	1.4nm	2027-2028年量產	JSMC	P1	成熟製程	
	P2	1.4nm	2027-2028年量產				
	P3	待確認	2027-2028年量產	ESMC	P2	6/7nm	
	P4	待確認	2028年量產				
					P1	12/16/22/28nm	2027年量產

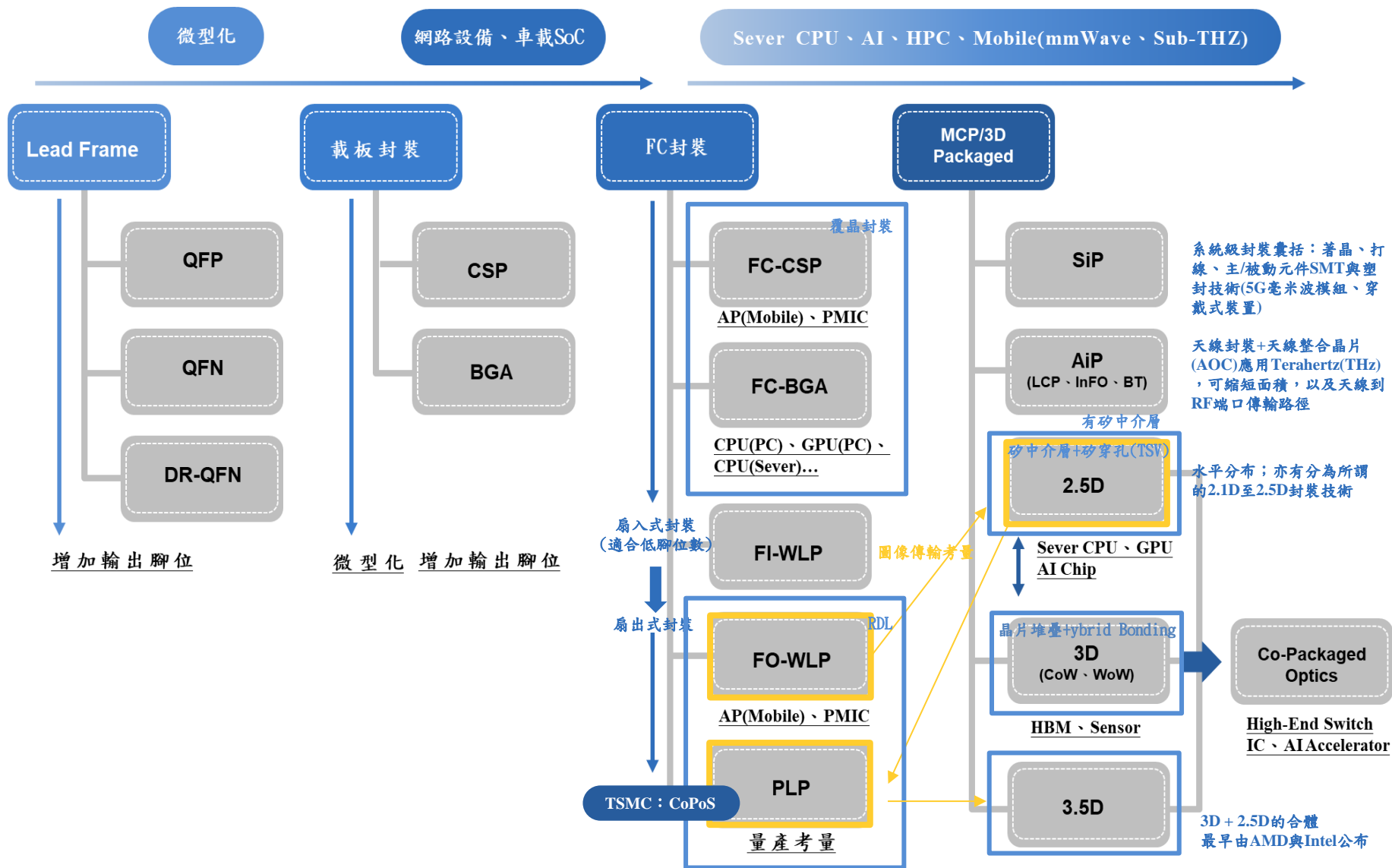
備註：本時程係依廠務完工時程後蓋抓量產時程；從廠務完工至放量，推估約需鄰近9個月-12個月左右；更新時間：2026/01-28

## 後段製程關鍵

---

TSV與RDL為後段主要技術，其中RDL應用層面廣泛

# 封裝製程脈絡圖-從「傳統封裝」邁向「先進封裝」製程



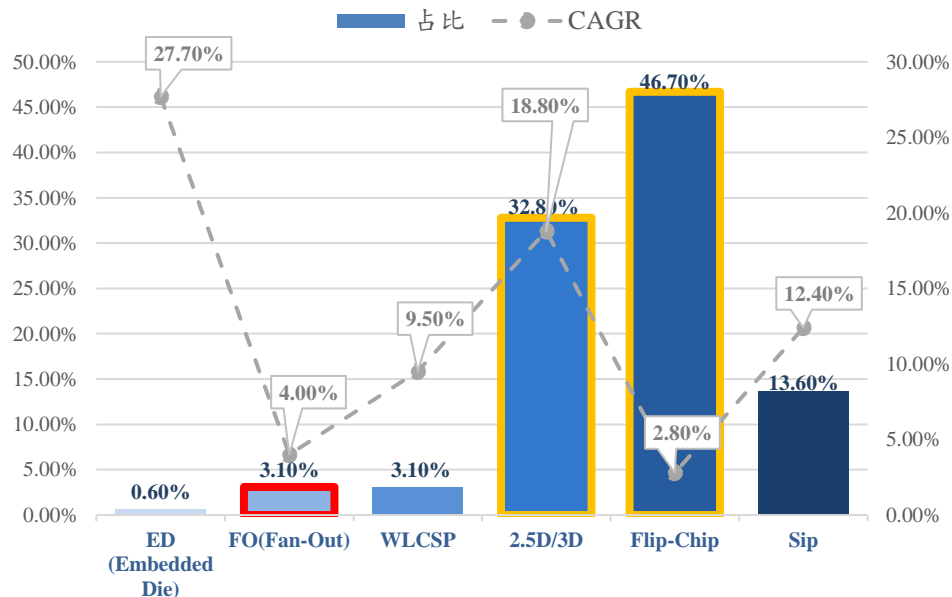
# 2026年先進封裝超越傳統封裝，市值將突破617.1億美元

- 根據YOLE與IEK資料綜合指出，全球先進封裝市場受惠於A/ML、HPC、數據中心、CIS、3D NAND、以及MemS/傳感器等需求而逐季增長，2026年該部分市值約為617.1億美元，將於該年度超過傳統封裝並逐年呈現成長，預期2024-2028年間將以 CAGR 10.9%快速增長。
- 其中，伴隨成本與量產性考量，2028年全球在先進封裝部分趨勢，仍以Flip-Chip(覆晶封裝)為主流，其次為2.5D與3D封裝為主。但以更長遠的方向而言，伴隨Nvidia與TSMC等基於成本考量，2025年已陸續釋出訊息未來晶圓將從圓形轉為方型基板，相關的技術成熟度預計三年內會有成果，亦即Fan-out中的FO-WLP(扇外型晶圓級封裝)、將陸續邁向FO-PLP(扇外型面板級封裝為主)

圖 16、2023-2028(F)全球半導體封裝市值



圖 17、2028年先進封裝市場比重



# 先進封裝製程與材料簡介

大致分類	應用流程		作用	應用製程	相關廠商
Photoresist (光阻劑)	RDL(重分佈製程)		Patterning (圖案化)	1. FOWLP(扇出晶圓級封裝) 2. WLCSP(晶圓級尺寸封裝) 3. FC BGA(覆晶(Flip Chip)技術連接半導體晶片與封裝基板) 4. 2.5 interposer(2.5D中介層) 5. 3D TSV(矽穿孔製程)	<b>感光型聚亞醯胺(PSPI) :</b> 永光(1711)、長興(1717)、三福化(4755)(出顯影劑)  <b>底部充填膠(Underfill) :</b> 晶化科技(未上市櫃)、品化(未上市櫃)  <b>清洗劑 :</b> 勝一(1773)(新應材洗邊劑屬於特規產品，雖同為清洗但意義上不同)；長春(未上市櫃)  <b>TSV(乾蝕刻氣體) :</b> 晶呈科技(4768)、兆捷科技(6959-代理商)、京和科技(未上市櫃)  <b>散熱膏 :</b> 台灣積水(未上市櫃)、昇貿(3305)(?)、勤凱(4760)、竑騰(7751)
	Bump(金屬凸點) UBM(凸點下金屬化層)				
	TSV(直通矽晶穿孔)				
Permanent Bonding stacked material (永久鍵合與堆疊材料)	D2W assembly level(裸晶片到晶圓之鍵合技術)		Mechanical support(機械支撐)	3D TSV(矽穿孔)	
	W2W assembly(晶片對晶片鍵合技術)		Miniaturization(小型化)		
Temporary bonding & debonding (暫時貼合與剝離材料)	Bonding/debonding carrier from the semiconductor device		Handling wafer	1. FOWLP(扇出晶圓級封裝) 2. 3D TSV(矽穿孔) 3. 2.5 interposer(2.5D中介層)	
Underfill (底部填充劑)	Bump(金屬凸點) UBM(凸點下金屬化層)	D2W(裸晶片到晶圓之鍵合技術)	Mechanical support	1. FOWLP(扇出晶圓級封裝) 2. FC BGA(覆晶(Flip Chip)技術連接半導體晶片與封裝基板) 3. 2.5 interposer(2.5D中介層)	
Dielectric material (介電材料)	RDL(重分佈製程)		Passivation (保護層)	1. FOWLP(扇出晶圓級封裝) 2. WLCSP(晶圓級尺寸封裝)	<b>切割膠/研磨膠/膜封材料 :</b> 晶化科技(未上市櫃)、山太士(3595)(電子級切割膠)、明坤(未上市櫃)、萬州化學(未上市櫃)、協技(未視上櫃)、碩正科技(7669)、長華科技(8070)、南寶(4766)(?)、長春(未上市櫃)
	Bump(金屬凸點) UBM(凸點下金屬化層)		Repassivation	1. FOWLP(扇出晶圓級封裝) 2. WLCSP(晶圓級尺寸封裝) 3. FC BGA(覆晶(Flip Chip)技術連接半導體晶片與封裝基板)	
	TSV(直通矽晶穿孔)		Lsolation	3D TSV(矽穿孔)	
Molding compound (模塑膠)	Encapsulation (封裝)		Reconstituted wafer (重新建構晶圓)	FOWLP(扇出晶圓級封裝)	

# 先進封裝兩大關鍵製程-TSV與RDL簡介與說明

- 重新分布線(RDL)與矽通孔(TSV)為半導體先進封裝中的重要關鍵製程，主要應用於FO-WLP(晶圓級扇外型封裝)、FOPLP(面板級扇外型封裝)等領域，包括：2.5D(水平封裝中的矽中介層(RDL與TSV皆有應用)，以及3D封裝中(垂直封裝；主要應用於HBM堆疊通孔)。
- 據Gii與Market Research研調指出，TSV(2.5D+3D)2025年市值為5992億美元、2025-2030 CAGR 30.1%，2030年約為2,233.5億美元；RDL市值為28.26億美元，2025-2035 CAGR 7.06%，2035年約為55.9億美元。

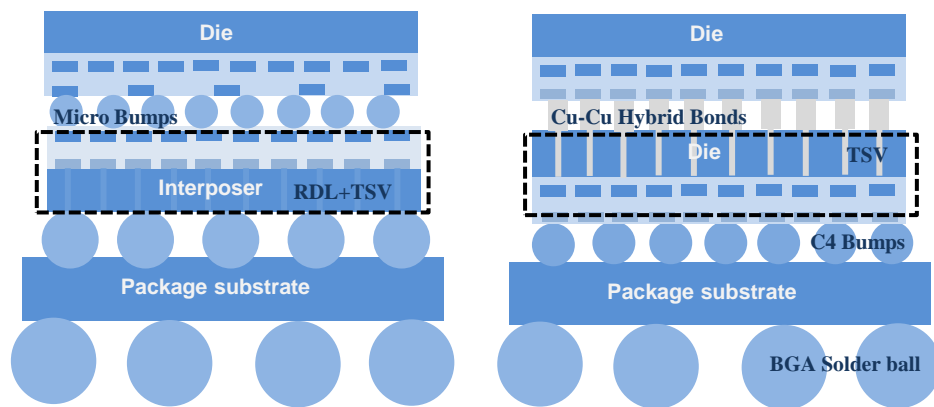


表2、矽通孔(TSV)與重新佈線(RDL)製程步驟與內容簡介

製程名稱	製程流程	設備類型	製程目的	製程名稱	製程流程	設備類型	製程目的
TSV (矽通孔)	(1)製備光罩	爐管、PECVD	為後續製程提供藍圖	RDL (重分佈線路)	(1)介電層沉積	PECVD	提供絕緣層
	(2)光罩圖案化	旋塗機、顯影機、曝光機	將光罩圖案轉移至晶圓上		(2)光罩圖案化	旋塗機、顯影機、曝光機	將光罩圖案轉移至晶圓上
	(3)通孔蝕刻	蝕刻設備(矽)	在晶圓上形成垂直的通孔		(3)銅阻擋層與種子層沉積	PVD、ALD	為銅導線提供基礎
	(4)氧化層沉積	PECVD、爐管	提供絕緣層		(4)導體層沉積	電鍍	形成導線層
	(5)銅阻擋層與種子層沉積	PVD、ALD	為銅導線提供基礎		(5)平面化	CMP	平整晶圓表面
	(6)銅填充	電鍍	填充通孔形成導線		(6)測量	測量設備	監控製程品質
	(7)銅退火	爐管/烤箱	改良銅的機械性質				
	(8)平面化	CMP	平整晶圓表面				
	(9)測量	測量設備	監控製程品質				

# 矽穿孔製程(TSV)-先進製程中關鍵垂直互連封裝技術

- 矽穿孔(TSV)是一種可實現晶片垂直互聯的關鍵封裝技術，透過在矽晶片內部製作高深寬比的金屬導通孔，將堆疊在一起的多層晶片實現晶粒間的高速、低延遲與低功耗訊號傳輸，可實現約100倍的效能改善。
- TSV出現位置主要用於3D封裝中的TSV與2.5D中借層上的TSV。主要應用於記憶體堆疊、邏輯晶片與記憶體的直接疊合；這類TSV通常尺寸較小、密度高，需要承受多層晶片間的垂直訊號傳輸與電源供應，強調垂直短距離高速傳輸和低延遲。

表3、TSV於2.5D及3D上的比較

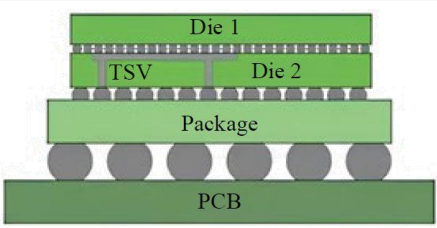
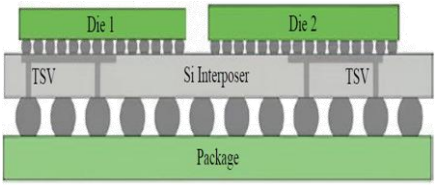
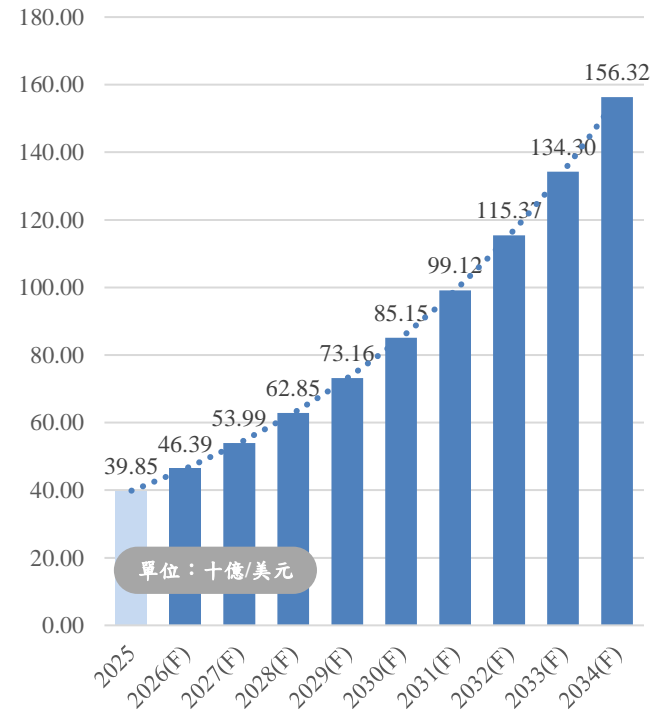
		
	<b>3D封裝中的TSV</b>	<b>中介層上的TSV</b>
位置	直接穿透晶片矽基板、連接上下堆疊的晶片	存在於中介層中，作為晶片與外部連接橋梁
功能	實現晶片間垂直互聯、支援晶片堆疊	提供晶片間高密度互連，整合多晶片系統
尺寸大小	通常較小，直徑約1um~10um	較大，直徑>10um
製程難度	高，需穿透完整晶片且處理晶片背面研磨	相對之下較低
典型應用	記憶體堆疊(HGM)；邏輯晶片堆疊	2.5D封裝中，整合多晶片系統如GPU+HBM

圖18、2025-2034(F)TSV市場趨勢



# 重新佈線製程(RDL)-先進製程中水平線路重新佈線之關鍵

- 重分佈製程 (Redistribution Layer, RDL) 中介層，採用RDL疊層取代傳統矽基版的設計，不依靠矽，而是利用有機介電層支撐佈線結構。
- 過往SiO<sub>2</sub>作CoWoS-S中介層應用，雖具有低漏電、高可靠度與良好的熱穩定性，且因膨脹係數與Si基板相似，固可減少熱應力與翹曲問題。然而，因SiO<sub>2</sub>因介電常數(DK僅有3.9)、惟SiO<sub>2</sub>脆性高且加工难度大，增加了成本與良率風險高，進而促使相關技術陸續轉向CoWoS-R。而目前主要廠商，以日本旭化成(負型聚醯亞胺(PI)(占比46.8%)、日商HD微系統(占比36.0%)、富士電子(占比11.9%)。

表4、矽中介層與RDL中介層差異比較

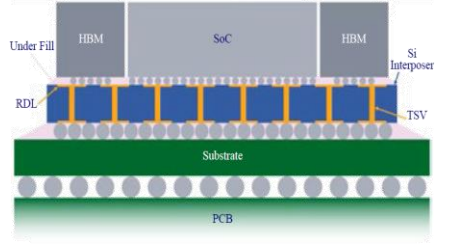
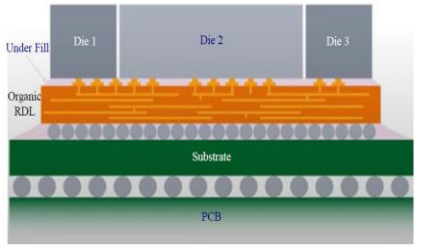
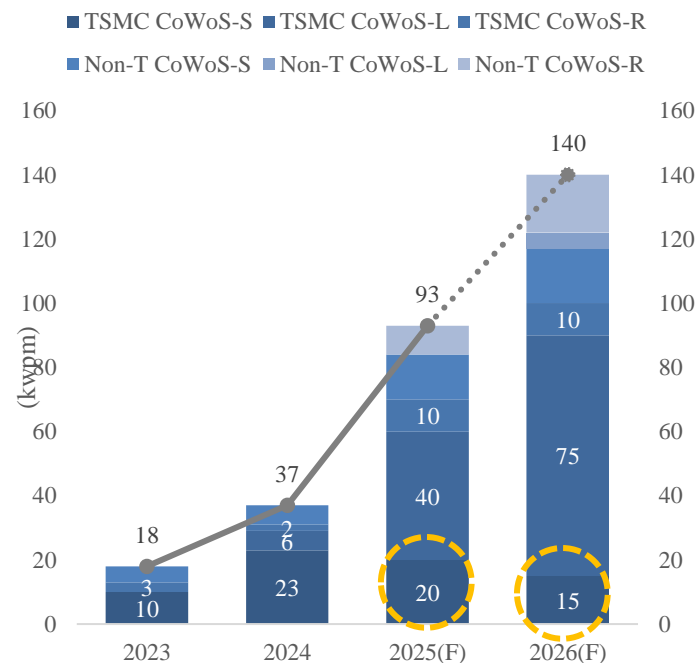
	矽中介層	RDL中介層
		
<b>RDL層</b>	RDL層形成於矽晶片上	多層RDL疊層行成中介層
<b>製程難度</b>	較高，需兼具矽晶圓製程精密度	相對較彈性
<b>線寬/線距</b>	0.4um/0.4	1.5um/1.5um
<b>成本</b>	相對較高 <span style="border: 1px solid black; border-radius: 10px; padding: 2px;">介電常數高</span> <span style="border: 1px solid black; border-radius: 10px; padding: 2px;">加工难度大</span>	相對較低
<b>介電材料</b>	SiO <sub>2</sub>	PSPI、PBO
<b>代表技術</b>	CoWoS-S	CoWoS-R、FOCos

圖19、2023-2026(F) CoWoS需求趨勢圖

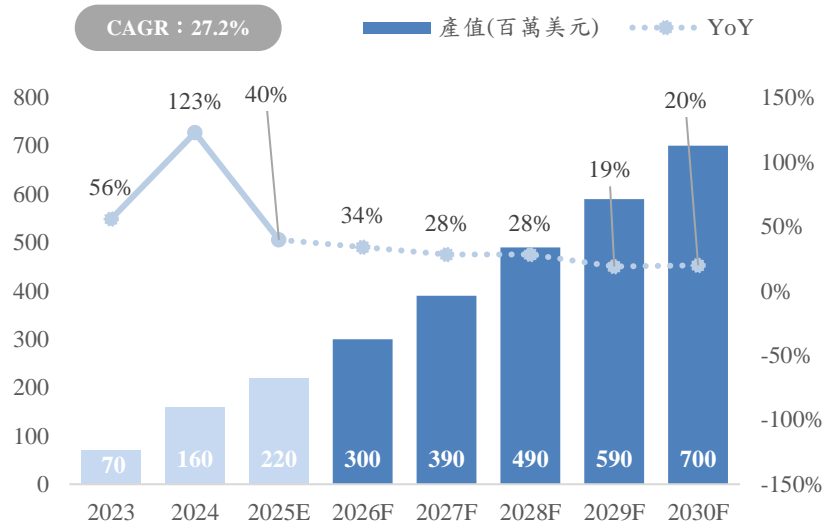


# 封裝尺寸擴大，FOPLP需求預期2026年創3億美元市值

■ 據 Yole 市場研調指出，FOPLP 產值將於 2024 年至 2030(F) 年以 CAGR 27.2% 高速成長，從 1.6 億美元增長至 7 億美元。

■ 而參考既有 FOPLP 發展趨勢，因應既有封裝尺寸(關鍵對照為中介層尺寸光罩數)持續擴大，過往封裝效率降低下，FOPLP 將邁向大尺寸方型基板為主。例如 TSMC 便規劃採用 12inch SiC 方型基板 (310mm\*310mm)，於 2027 年跨入量產。此外，亦有其他廠商同步進行方型基板開發，例如：群創 700\*700、Amkor 650\*650、力成 510\*510... 等。

圖 20、FOPLP 市值趨勢圖



項目	2023	2024	2025(e)	2026(F)	2027(F)	2028(F)	2029(F)
算力	1X				7X		
異質整合	2XPU 8HBM		2XPU(?) 8HBM		4XPU+ 12HBM4	整合晶粒數提升	
晶片邊長	80mm				120mm	封裝面積需求提升	
中介層尺寸	TSMC CoWoS 尺寸		3.3x 光罩	5.5x 光罩	9x 光罩	SiC 方型基板 2027 年放量	
封裝載板尺寸需求			>100mm*100mm		>120*120mm		
玻璃載體邊長	300mm-700mm	現階段規格尚未統一					

# RDL亦為FOPLP RDL First之關鍵技術

- FOPLP目前可分為「Mold First」，就是先進行壓模，然後在進行RDL製程，以及「RDL first」，先把RDL做好，然後再將Chip轉移到RDL上。
- 其中Mold First製程亦可拆分Face down與Face UP兩種；Face Down製程需進行Mold後移除載板；另一種則為Face up連同載板一同作業，後再針對Mold進行減薄。
- 而因Mold First易在前段黏晶、模封製程中，易容易產生晶片偏移(die shift)，以及因模封下所產生的晶圓翹曲。導致後續恐對於蝕刻、晶圓搬運或是載台吸附等皆不易進行，故目前FOPLP有逐步從Mold First轉向RDL First。

圖22、晶片偏移下對於RDL之影響性

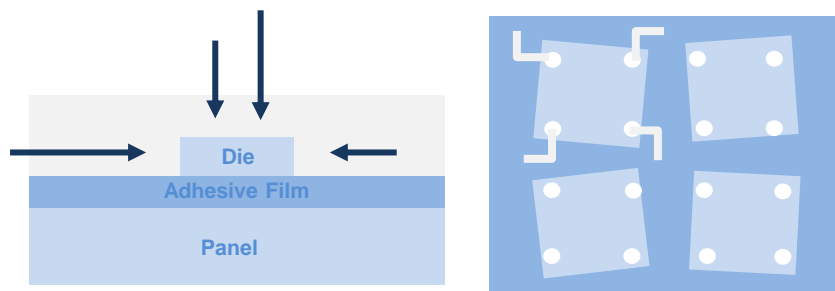
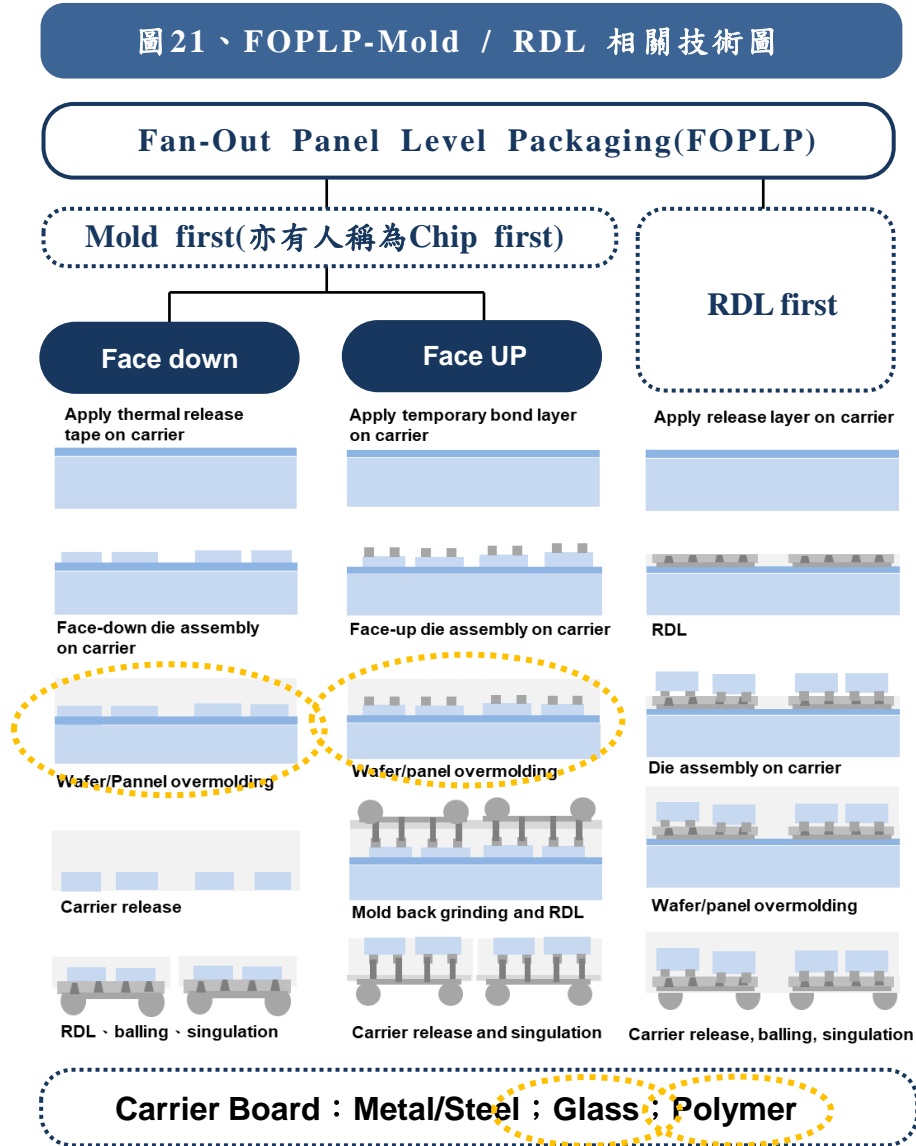


圖21、FOPLP-Mold / RDL 相關技術圖



# PSPI為RDL製程主要關鍵材料，日美供應占全球用量9成

- PSPI結合了聚醯亞胺 (Polyimide, PI)的優良物理和化學特性，以及光敏材料的特性。
- 正性 PSPI (p-PSPI)：在受到紫外光照射後，正性 PSPI 會變得可溶於顯影劑。與負性 PSPI 相比，它在光刻過程中更容易去除曝光區域的材料，能降低污染導致的缺陷風險，同時具備更高的圖案解析度。因此，正性 PSPI 被普遍認為是未來技術發展的重要方向。
- 負性 PSPI (n-PSPI)：經過光照後，負性 PSPI 的分子會交聯，形成不溶於顯影劑的結構。由於其應用範圍廣泛，且在現階段仍能滿足對高解析度的製程需求，負性 PSPI 目前依然在市場上維持著相當大的佔有率。

表5、PSPI類型分類

分類	詳細分類	特點	顯影劑	主要供應商
正型	聚酰胺酸型 PSPI	具有良好的光敏性與熱穩定性、適用於高分辨綠圖案化處理	TMAH	感光材料(海外)-占整體進9成的貢獻：住友培科(日)、旭化成(日)、HD Microsystems(美)、Toray(日) 感光材料(台灣)：長興(1717)、永光(1711)、達興材料(5234) 顯影材料(海外)：長瀨集團、多摩集團...等 顯影材料(台灣)：三福化(4755)、長春(未上市櫃)
	聚酰胺酯型 PSPI	具有高耐熱性和耐溶劑性，適合用於高溫與化學處理		
	聚異酰業胺型 PSPI	提升機械性能與化學穩定性，適用於航太、汽車等高溫領域		
	含酚基或羧基的聚酰業胺型 PSPI	其具有顯著的可改性與加工性，適合用於激光電劑等元件封裝		
負型	酯型 PSPI	具有良好的溶解性與光敏性、適合用於微米級圖案光阻劑	有機溶劑 (二甲苯)	負型濕式為主要應用
	離子型 PSPI	具有高感光性，適合用於高分辨綠圖案化處理		
	自增感型 PSPI	適合用於高晶度微機電系統和光子晶體		
	化學增幅型 PSPI	適合用於高晶度微米級結構和光元件		

負型濕式為主要應用

# 系統級封裝下關鍵耗材展望

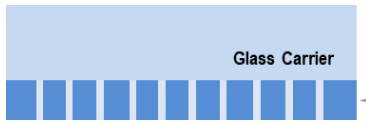

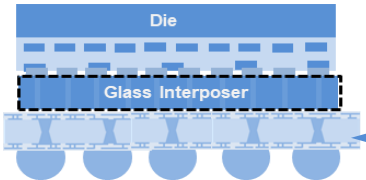
---

玻璃基板(Glass Core Substrate)簡介

# 玻璃基板應用簡介與說明

- 玻璃基板最早應用於液晶顯示(LCD)面板製程不斷成熟，對高精密玻璃加工技術需求增加。伴隨近年半導體封裝技術朝高頻、高速、小尺寸與高度整合發展，使傳統矽基或有機基板於某些應用領域中呈現限制(例如：CTE 玻璃介於0-13、SI約為3.0)。目前玻璃基板應用可分為：轉移玻璃(Glass Carrier 功能與承載晶圓一樣；很多人做)、玻璃芯載板(Glass Core)、以及2028年方有機會投入的玻璃中介層(Glass Interposer)。
- 而不同的玻璃基板會針對不同需求做搭配，例如：康寧鋁矽酸鹽玻璃，主要由SiO<sub>2</sub> & AL<sub>2</sub>O<sub>3</sub>構成，具有低熱膨脹(CTE)與低借電常數，適合高頻高速應用。

表6、TGV主要三大應用

示意圖	用途	特性	規格	玻璃供應商
 <p>Glass Carrier</p>	晶圓薄化與導線特徵尺寸控制 2019年康寧推出	物理特性(低熱膨脹係數；高強度)	TTV ≤ 2.0um Bow：12吋 ≤ 50um CTE：≤ 12ppm/°C	康寧股份有限公司(Ealg XG / 半導體晶圓用途)
 <p>Glass Core</p>	類比/MEMS/感測器LED 2023年Intel推出 無關封裝、在於載板面積	尺寸與成本驅動(因為光罩數越來越龐大)；MEMS Fab、封測廠製造	厚度：20~500um Via(孔洞)直徑：30~500um Via Drilling：DRIE or Laser #Vias：>1400/cm <sup>2</sup> <b>AR(深度/寬度)：≥5：1</b>	艾杰旭(旭硝子)(Advanced Packaging Glass)  SCHOTT AG(AF & BF Series)
 <p>Die Glass Interposer</p>	高階Logic IC應用(GPU、CPU、FPGA、ASIC) Rapidus 2028年量產	效能驅動(寬頻、低功耗)；通常由CMOS Fab製造	厚度：≤ 100um <b>Via(孔洞)直徑：≤ 10um</b> Via Drilling：DRIE #Vias：>10,000/cm <sup>2</sup> <b>AR(深度/寬度)：≥12：1</b>	日本電氣硝子株式會社(Ultra-Low Expansion Glass)

# 玻璃成孔技術(TGV)彙總說明

- 據資料統計，目前於TGV玻璃穿孔技術上，可分為機械成孔、乾式蝕刻與濕式蝕刻為主；然而因機械成孔在於孔徑方面難以控制、且成孔精細度不佳，現多轉向乾式蝕刻與濕式蝕刻為主。
- 乾式蝕刻中目前主要應用為反應性離子蝕刻(例如：晶呈科技LADY製程—深寬比10:1；可滿足Glass Core應用，尚無法達到Glass Interposer應用)，以及雷射成孔(易造成火山孔型與孔內微裂痕；濕式蝕刻中主流則在於雷射誘導蝕刻(例如：德國LPKF、美國康寧)，透過雷射的高能量密度對玻璃基材進行特定區域的質變後，在運用HF或KOH進行蝕刻成孔。

表7、TGV相關技術彙總說明

成孔技術		製程內容簡介
機械成孔	(i)鑽石鑽頭成孔 (ii)超音波成孔 (iii)電化學放電成孔 (vi)噴沙法	(iii)電化學放電成孔：是將電火花加工(EDM)與電解加工(ECM)相結合的新型低成本玻璃微加工方法，該方法通過電解液的電化學放電和化學服食產生的熱熔作用，將材料從基板中去除。 (vi)噴沙法：採用複合掩膜，用乾粉噴砂進行蝕刻/易造成孔徑過大，且易造成損傷
乾式蝕刻	(i)反應性離子蝕刻 (ii)雷射成孔 (iii)雷射誘導蝕刻	(i)反應性離子蝕刻：以SF6、C4F8等氟性蝕刻氣體搭配多晶矽遮罩層進行精準蝕刻/好處：取得高深寬比且垂直壁的通道/缺點為蝕刻速率過低(0.5um~0.6um/min) (ii)雷射成孔：運用飛秒雷射、皮秒雷射、納秒雷射/表面及孔內品質不佳， <u>易產生火山行孔型與孔內微裂痕、孔側壁表面粗糙度不佳等問題</u> (iii)雷射改質誘導：運用雷射高能量密度對玻璃基材形成多光子吸收的非線性效應，從而造成玻璃質變 (vi)噴沙法：採用複合掩膜，用乾粉噴砂進行蝕刻/易造成孔徑過大，且易造成損傷
濕式蝕刻	雷射誘導蝕刻(濕蝕刻法)	<u>雷射改質誘導：運用雷射高能量密度對玻璃基材形成多光子吸收的非線性效應，從而造成玻璃質變/可在50/500um厚的玻璃，形成孔徑大於20um的玻璃通孔(深寬比約25：1)</u> >>目前此部分為德國LPKF、美國康寧

# TGV應用於玻璃芯基板(Glass Core Substrate)製程

■ 根據研調資料、公司資訊與Yole資料彙整，

TGV整體製程約有23道製程，分別為：

一 **進料階段**：面板檢查>面板減薄>面板檢查>面板清潔

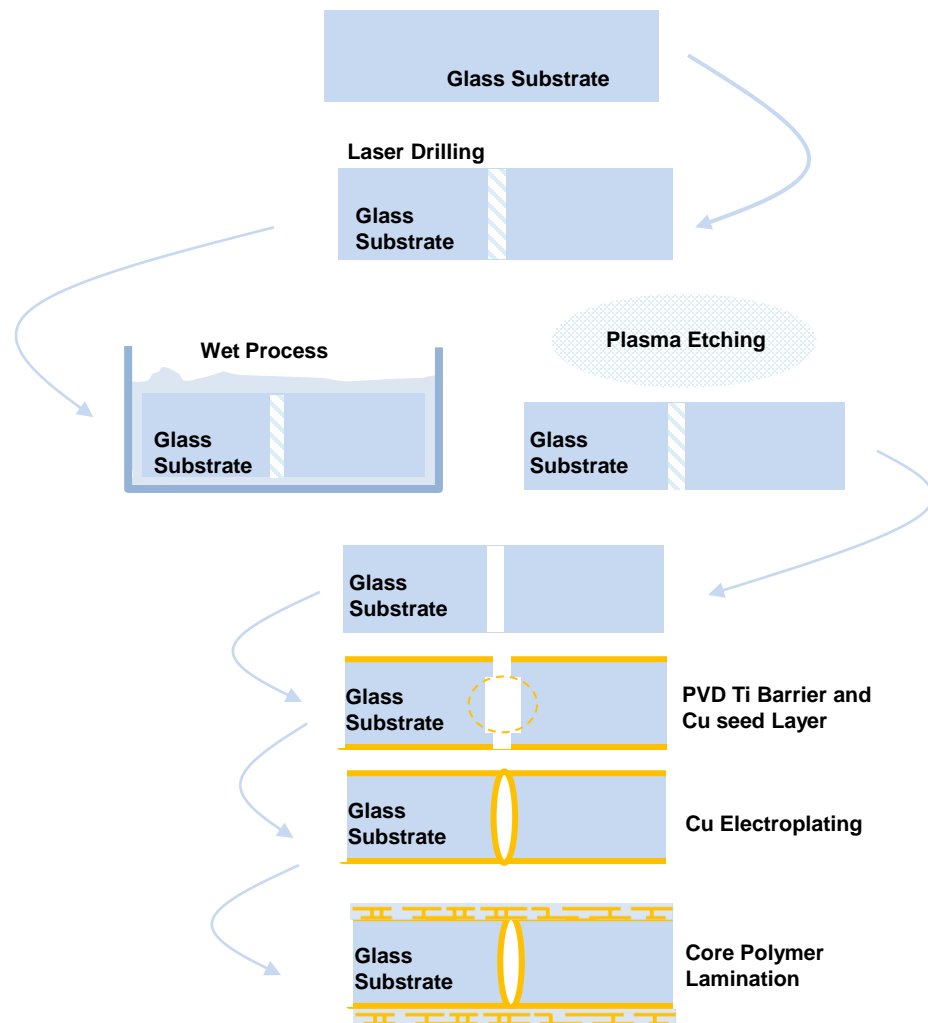
一 **成孔階段**：雷射改質>改質後檢查>一次同

一 **填孔**：通孔檢查>成孔清洗>通孔金屬>通孔鍍銅>通孔金屬化退火>金屬化檢查>通孔銅退火>成孔後檢查

一 **成型**：厚度量測>磨薄>光阻劑塗佈>成像曝光>RDL佈線>RDL後檢測>輸出前清洗

而玻璃芯基板（Glass Core Substrate）再將玻璃進行完TGV加工製成後，便再提交給載板廠進行壓合作業



圖23、TGV+Glass Core製程



# 玻璃芯基板(Glass Core Substrate)與有機載板之比較

- 據資料統計，面板之基板應用可較300mm(12inch)節省10%-28%封裝製造成本，可解決日前因CoWoS下，封裝技術的效率日益降低之問題，從而提升單次可封裝晶片數、大幅提升產能。
- 然而在大尺寸面積下，傳統有機載板易受到受熱不均，造成載板易產生翹曲；而玻璃芯基板(Glass Core Substrate)因CTE係數較低，對於熱所產生的膨脹影響性較低，且在孔徑上深寬比亦可以達到AR5左右。
- 目前對於廠商而言，台灣雖與日系廠商有顯著差異，惟伴隨部份美系客戶開始規劃導入Glass Core Substrate之情況，現已有部分廠商進行供應鏈整合，從特氣原料端、金屬耗材廠...等進行合作試驗。

表8、玻璃芯基板(Glass Core)與有機基板差異；以及既有相關供應鏈

	有機載板	玻璃基板	玻璃材料(經過TGV處理)	玻璃供應商	AGC、SCHOTT、CORNING
					
熱穩定性	對溫度變化敏感	熱穩定性佳	增層材料技術	蝕刻材料	晶呈科技
CTE	12-20 ppm/°C	3-9 ppm/°C		鍍銅材料/銅柱	Atotech、上村工業、MacDermid 奇彥科技
平整度	差	佳，利於 L/S 更精細		絕緣材料(ABF)	味之素、晶化科技、LG Innotek
L/S	8/8 μm ~ 10/10 μm	< 5/5 μm		光阻材料	東京應化工業、杜邦、默克、永光化學
孔徑	約 30-80 μm，深寬比 < 2:1	約 5-30 μm，深寬比 > 5:1	電路製造+基板加工	IC載板廠(傳統有機載板廠)	南電、新興、IBIDEN、Shinko 、FICT、SEMCO、LG innotek
Dk / Df	3.2-4.0 / 0.01-0.025	4.6-5.0 / < 0.005			

# 相關個股

# 相關個股整理

代號	公司名稱	2025 EPS	2026EPS(F)	2027EPS(F)	2025-2026 EPS YoY預估	歷史 PER(PBR) 區間
1560	中砂	8.24	12.89	15.49	+56.43%	24.58X-42.2X
7768	頌勝科技	3.90	9.65	-	+147.44%	33X
8028	昇陽半導體	*4.40	*6.91	-	+57.05%	28.83X-34.07X
1773	勝一	6.82	7.03	*8.83	+3.08%	19.36X-21.01X
4749	新應材	11.40	15.57	-	+36.58%	54.4X-64.73X
4768	晶呈科技	1.53	7.60	14.52	+396.73%	51.26X-86.10X
5234	達興材料	7.36	9.27	13.30	+25.95%	24.06X-45.10X
1711	永光	-	-	-	N/A	-
1717	長興	-	-	-	N/A	17.11X-39.90X
4755	三福化	4.13	4.74	*7.99	+14.77%	20.52X-27.9X
7887	宇川精材	-2.33	-1.99	-1.57	+14.59%	45X

\* Bloomberg Consensus & 福邦投顧研究員計算彙整

謝謝指教  
Q&A

## 【揭露事項與免責聲明】

本報告僅提供相關部門的內部教育訓練及相關人員之參考資料，並非針對特定客戶所作的投資建議，且在本報告撰寫過程中，並未考量讀者個別的財務狀況與需求，故本報告所提供的資訊無法適用於所有讀者。本報告係根據本公司所取得的資訊加以彙集及研究分析，本公司並不保證各項資訊之完整性及正確性。本報告中所提出之意見係為本報告出版當時的意見，邇後相關資訊或意見若有變更，本公司將不會另行通知。本公司亦無義務持續更新本報告之內容或追蹤研究本報告所涵蓋之主題。本報告中提及的標的價格、價值及收益隨時可能因各種本公司無法控制之政治、經濟、市場等因素而產生變化。本報告中之各項預測，均係基於對目前所得資訊作合理假設下所完成，所以並不必然實現。本報告不得視為買賣有價證券或其他金融商品的要約或要約之引誘。

可能個別基於特定目的且針對特定人士出具研究報告、提供口頭或書面的市場看法或投資建議（下稱“提供資訊”），鑑於提供資訊之單位、時間、對象及目的不同，本報告與本集團其他單位所提供資訊可能有不一致或相抵觸之情事；本集團各單位對於本報告所涵蓋之標的可能有投資或其他業務往來關係，各單位元從事交易之方向亦可能與本報告不一致，讀者應審慎評估自身投資風險，自行決定投資方針，不應以前述不一致或相抵觸為由，主張本公司或本集團其他成員有侵害讀者權益之情事。