

AI 算力新視界
Meta lens、Micro-Led、
TSMC COUPE 3技術與供應鏈

Yi-Hau, Shiau
May 14, 2026

Agenda

1. CPO 中的光學微型化關鍵：
探討 **Meta Lens**（超穎透鏡）光學耦合效率提升與光纖整合。
2. **MicroLED** 的跨界演出：
從顯示技術跨足光通訊光源，解決雷射散熱與成本問題。
3. TSMC **COUPE 3.0** 的異質整合實力：
分析台積電如何利用 3D 堆疊極大化頻寬並降低功耗。
4. **供應鏈地圖**與投資展望：盤點台廠在材料、封裝、光源各環節的關鍵地位。

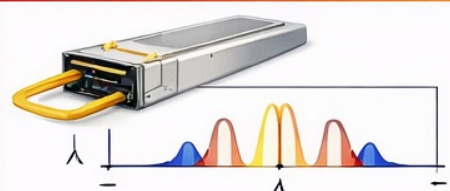
光譜效能演進圖

在「相同頻寬 (Hz)」下，能傳的資料量越來越多。
光通訊的終極方向：從增加電平 (PAM4)，到利用相位 (Coherent)，最後到重構架構 (CPO)，本質是在用不同方式突破頻譜效率的極限。」

SPECTRAL EFFICIENCY

- 多個 sidebands
- 頻譜較分散
- 效率低

PAM4 400G



NRZ / PAM4 Spectrum

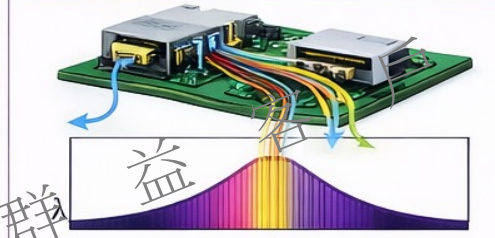
- PAM4 = 2 bits / symbol
- 32x 50G Lanes
- Direct laser/modulator attach

~4 b/s/Hertz

「脈衝振幅調變 (PAM)」可以用現有光模組 (pluggable) 需要很多 lanes (→ fiber爆炸)

- 更集中
- 利用相位資訊
- 效率提升

COHERENT 800G / 1.6T



Coherent Spectrum

- IQ Modulation (Quadrature)
- Coherent DSP
- External Laser (Tunable)

~8 b/s/Hertz

引入**相位資訊**，利用 IQ 調變 (正交調變) 與相干 DSP 技術來壓榨頻寬。

Coherent 的過渡技術
高效但不適合 AI 短距離

光譜極度集中，頻譜利用率達到極限壓縮

CPO 3.2T / 6.4T+



CPO Spectrum

- Laser / Photonics on ASIC
- On-board optics
- Coherent DSP = Max efficiency

~12+ b/s/Hertz

幾乎沒有 I/O bottleneck、不需要長距離 fiber routing 由於光學引擎直接整合，對外部光纖的需求大幅減少，
→ **Shuffle box 將消失**

僅

供

使

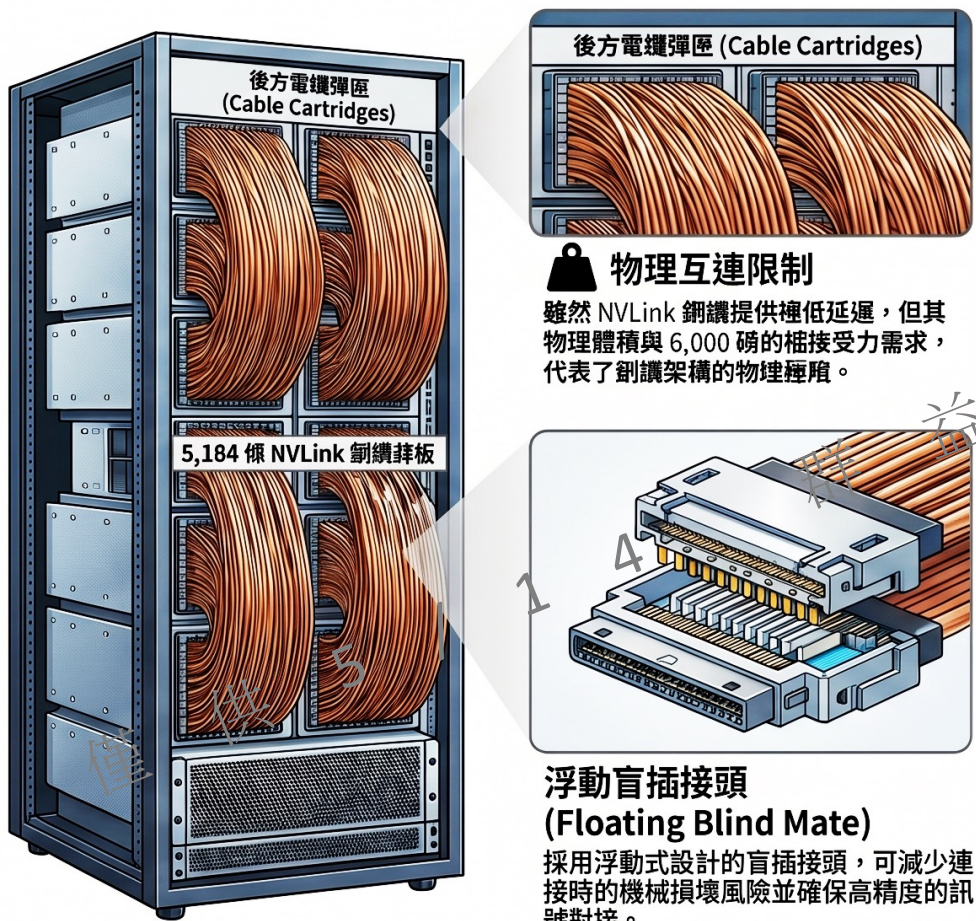
群

傳

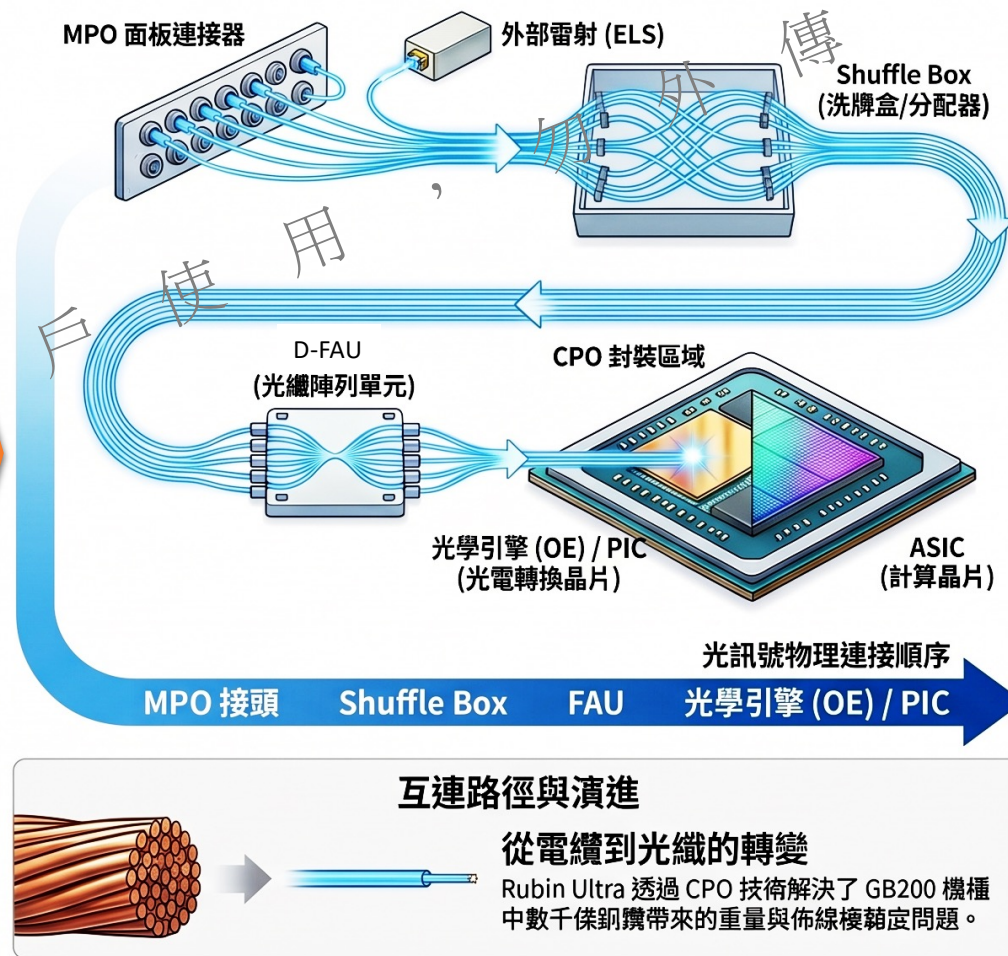


今天主題說明、與數量計算位置

GB200 NVL72 機櫃架構 (現有銅纜互連)

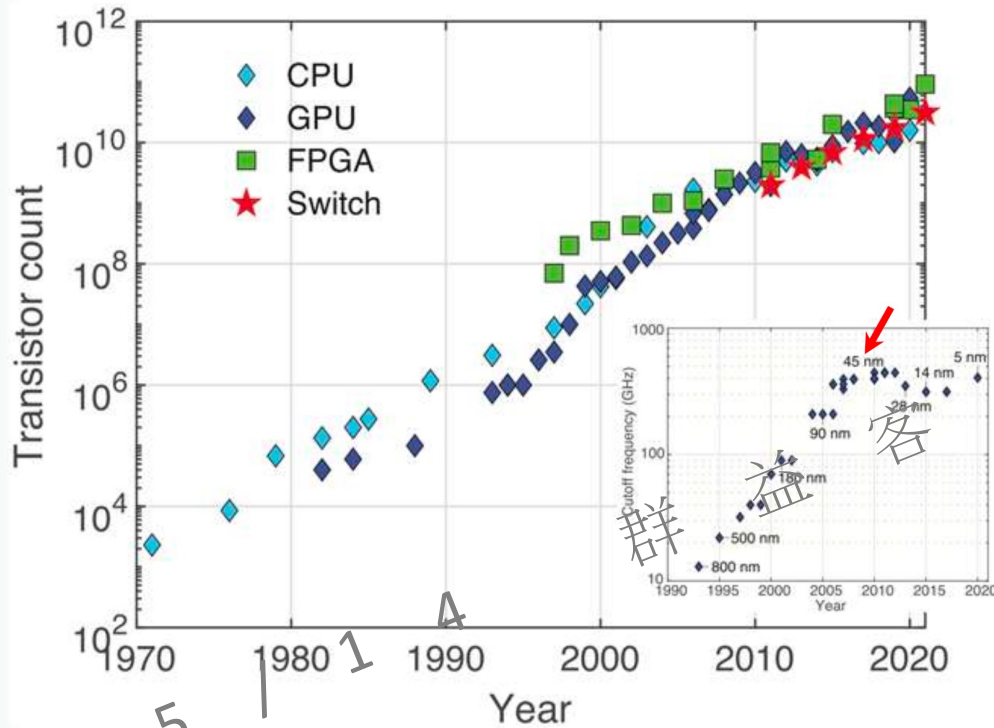


Rubin Ultra 技術流 (未來 CPO/光纖架構)



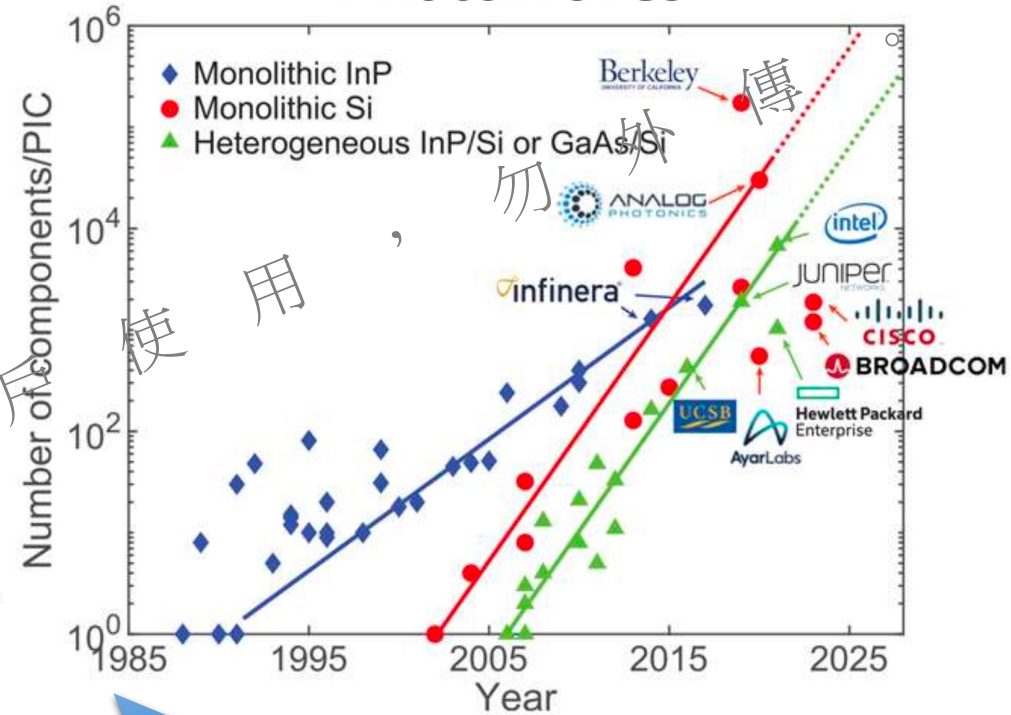
PICs can leverage semiconductor yield learning and wafer size scaling

Electronic ICs



Chip area remains \pm constant

Photonic ICs

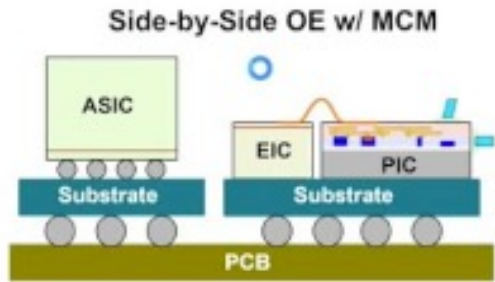


「光學摩爾定律」的到來

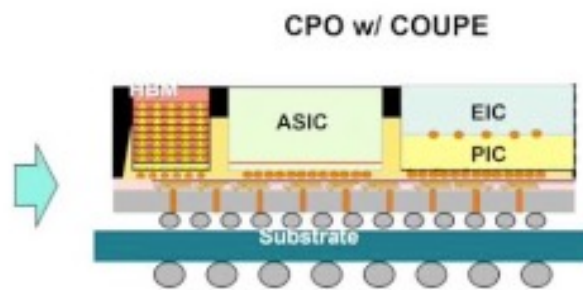
積電要將先進的 N7/N5 EIC 與 65nm PIC 整合在一起。透過這種整合，我們可以利用電子晶片強大的邏輯運算能力，配合光學晶片高速、低損耗的傳輸特性，來應對 AI 時代爆炸性的頻寬需求。

- Monolithic InP (單晶磷化銦·藍線)：早期技術，元件數增長較慢。
- Monolithic Si (單晶矽/矽光子，紅線)：增長速度最快，也是目前台積電、Intel、Broadcom 與 Cisco 等大廠的主攻方向。
- Heterogeneous (異質整合·綠三角)：如 Ayar Labs 與 HPE 等公司採用的方式，將不同材料整合在矽基板上。

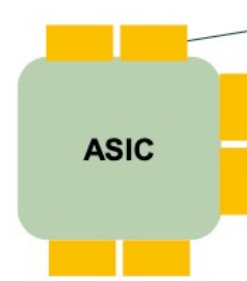
側邊式光引擎 (Side-by-Side OE) 架構 vs. 台積電 技術的共同封裝光學 (CPO) 架構



傳統架構 (Side-by-Side OE w/ MCM) : ASIC (如交換機晶片) 與光引擎 (OE, 由 EIC 與 PIC 組成) 分別放在不同的封裝基板上, 透過 PCB 進行連接。這種方式的傳輸距離較長, 且電氣損耗較大。



進階架構CPO w/ COUPE : 利用台積電的 **CoWoS-S** 先進封裝技術, 將 ASIC、HBM 記憶體以及 **COUPE** 光引擎全部整合在同一個矽中介層 (Interposer) 上。這使得光學介面能夠極度靠近運算核心, 大幅縮短了電訊號走線。



4.8T

- 3 Light engine x 1.6T bandwidth
- 1.6T bandwidth = 200G/lane x 8

One ASIC = 4.8T x 6 module = 28.8T

Quantum X = 28.8T x 4 = 115.2T
(4 ASIC x 6 modules x 3 light engine)

頻寬計算邏輯 (以 Quantum 系列) 透過模組化堆疊實現超大規模頻寬 :

光引擎基礎 : 每一條通道 (lane) 為 200G, 8 條通道組成一個 **1.6T** 的頻寬單元。

模組化 : 3 個光引擎 (Light engine) 組成一個 **4.8T** 的模組。

單一 ASIC 總體 : 配置 6 個模組, 單一 ASIC 吞吐量達到 **28.8T**。

Quantum X 系統 : 最終整合 4 個 ASIC, 達成總頻寬 **115.2T** (4 ASIC x 6 模組 x 3 光引擎)

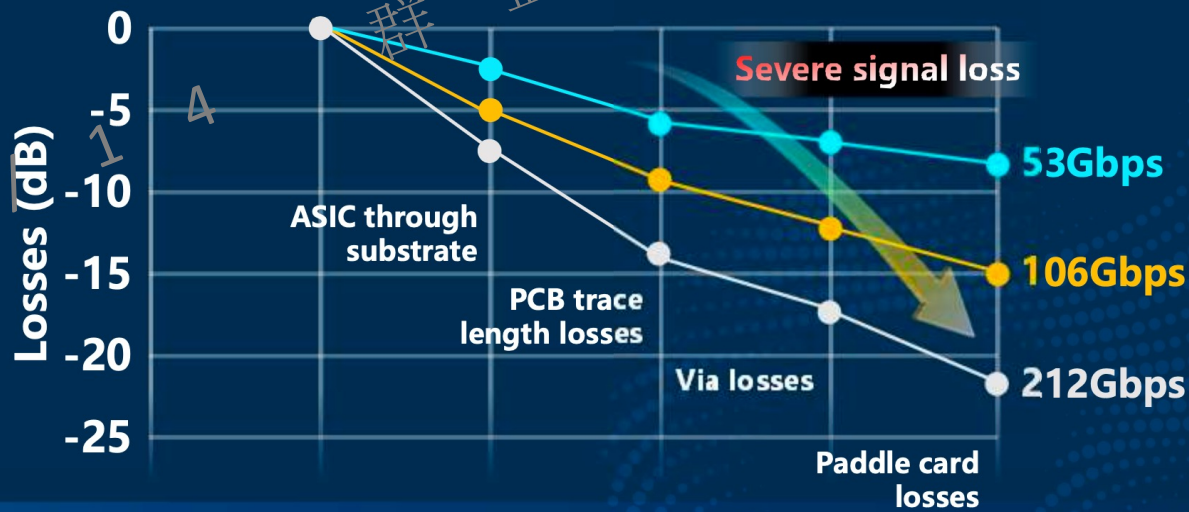
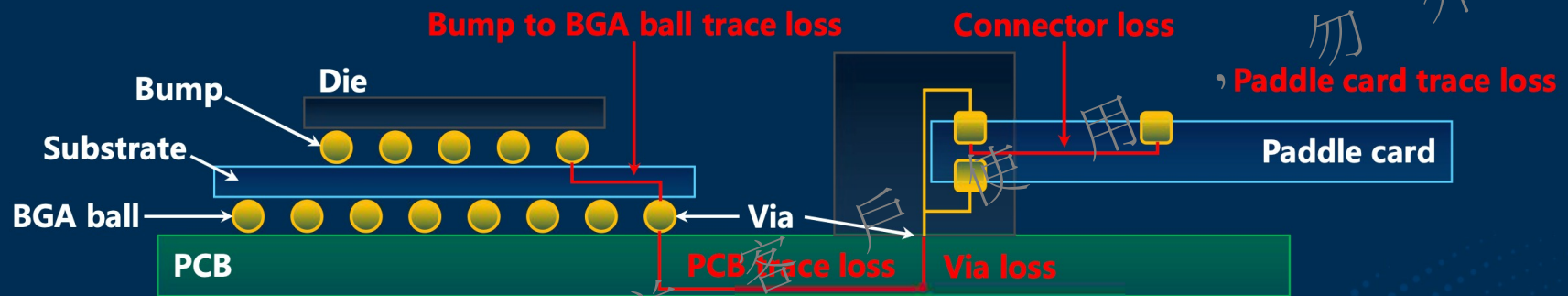
效能指標 (OE-ASIC Link)	傳統 多模組MCM (w/ uBump OE)	COUPE / CoWoS-S 方案	效能提升 / 改善幅度
傳輸距離 (Link Length)	5 mm	1 mm	縮短 80%
線寬 / 線距 (W/S)	22 / 44 μm	0.4 / 0.4 μm	極致微縮化
佈線密度 (Routing Density)	1.0 X (基準)	80 X	提升 80 倍
頻寬密度 (BW Density)	1.0 X (基準)	37.6 X	提升 37.6 倍
系統能源消耗	1.0 X (基準)	0.19 X	節能 81%
單一模組頻寬 (Module)	尚未整合	4.8 T (1.6T x 3)	模組化高頻寬設計
Quantum X 總頻寬	傳統架構難以達成	115.2 T	超大規模算力叢集支持

證明了台積電的 COUPE 與 CoWoS 整合技術是實現 NVIDIA 次世代超高頻寬交換器 (如 Quantum 系列) 的物理核心, 透過極短的互連與極高的密度, 解決了 AI 資料中心的功耗與效能挑戰。

2

Signal loss is an inherent challenge

200Gbps Electrical Signal forces packaging innovation

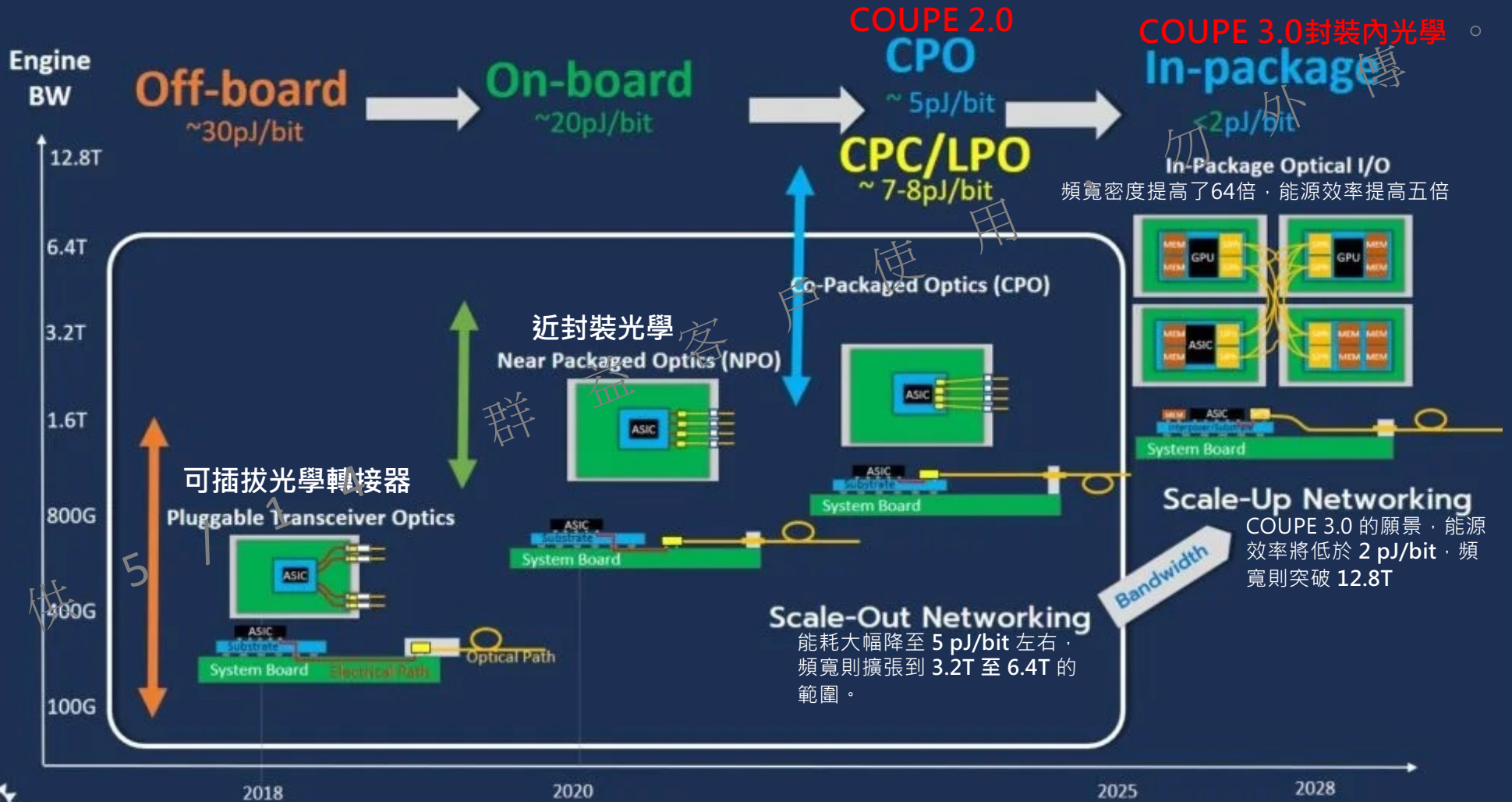


僅供5

勿外傳

光學引擎頻寬和效率的演變

NVIDIA 未來的超大規模 AI 系統 (如整合光學 NVLink) 至關重要，能有效克服銅線傳輸的「頻寬牆」與「功耗牆」限制。



TSMC COUPE

僅供

5

1

1

4

群

益

客

戶

使

用

,

勿

外

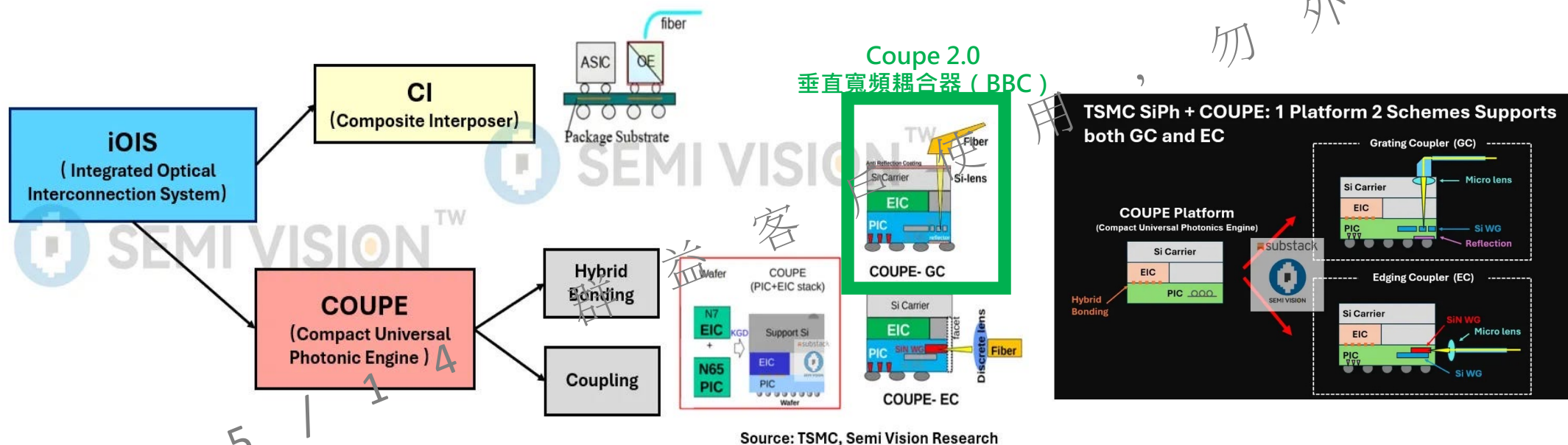
傳

。



台積電 光整合和COUPE 技術

TSMC推出了一個名為COUPE的專用平臺，專為光學引擎整合量身定製。該平臺旨在推進下一代系統中的高速、低功耗光互連，為了支援對矽光子學日益增長的需求，TSMC推出了一個名為COUPE的專用平臺，專為光學引擎整合量身定製。該平臺旨在推進下一代系統中的高速、低功耗光互連。在COUPE平台基礎上，開發了COI(complimentary optical interconnect)和iFAU(integrated fiber array unit)組件。



Source: TSMC, Semi Vision Research

矽光子 (SiPh) 技術廣泛應用面臨的主要挑戰之一是缺乏能夠同時滿足不同應用中各種功率、性能和成本要求的整合平台。因此，目前已提出或展示了多種SiPh整合解決方案，但尚無通用方案。業界提出的單晶片和異質整合光子引擎結構，分析其優缺點。TSMC提出了一種緊湊通用的光子引擎 (PE) 結構—COUPE (緊湊型通用光子引擎)，該結構能夠將不同的需求整合到同一整合平台上。COUPE實現了電積體電路 (EIC) 與光子積體電路 (PIC) 的集成，其電氣介面設計旨在最大限度地降低EIC-PIC耦合損耗。與業界提出的PE技術相比，**COUPE能夠為光柵耦合器 (GC) 和邊緣耦合器 (EC) 提供更低的插入損耗**。無論是GC或EC，COUPE都是一個無空腔或機械薄弱零件的實心結構，因此能夠在避免污染或機械缺陷的情況下實現低插入損耗。COUPE還具有易於與主機ASIC整合的靈活性，可形成共封裝結構。COUPE整合方案能夠滿足最嚴苛的系統需求，並為基於SiPh的晶圓級系統整合 (WLSI) 在高效能運算應用中的應用鋪路。

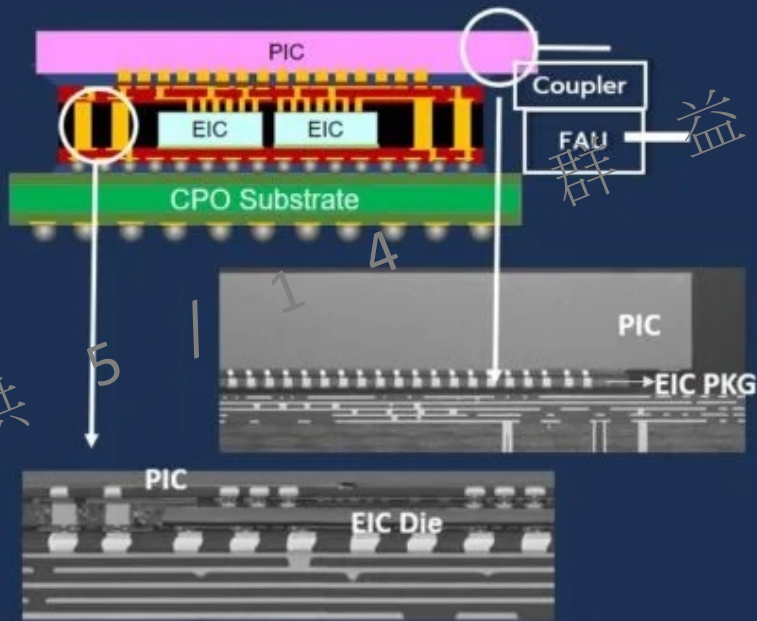


光學引擎頻寬和效率的演變

CPO的組裝涉及各種元件，包括跨不同晶圓節點的雷射器、光學、光纖陣列單元 (FAU) 和矽積體電路 (IC)。這個複雜的過程需要一絲不苟地關注細節，特別是在EIC和PIC的整合中。為了實現更高的頻寬密度，正在探索兩種主要方法：

Photonic FOPoP

將PIC定位在EIC的頂部，使用晶圓級扇出工藝和銅柱進行垂直連線。

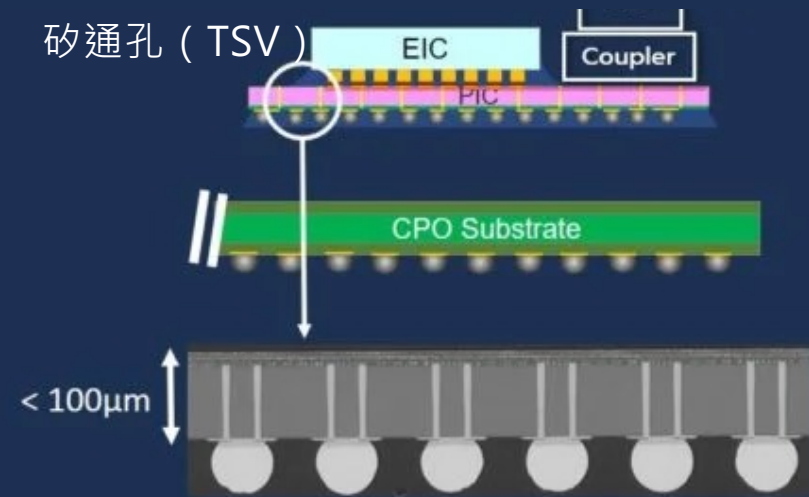


Photonic 3D

將PIC放在底部，使用通矽通孔 (TSV) 連線到頂部安裝的EIC。這種配置提供了卓越的熱管理，並支援每車道超過200G的資料傳輸速率，使其成為高效能應用的首選方法。

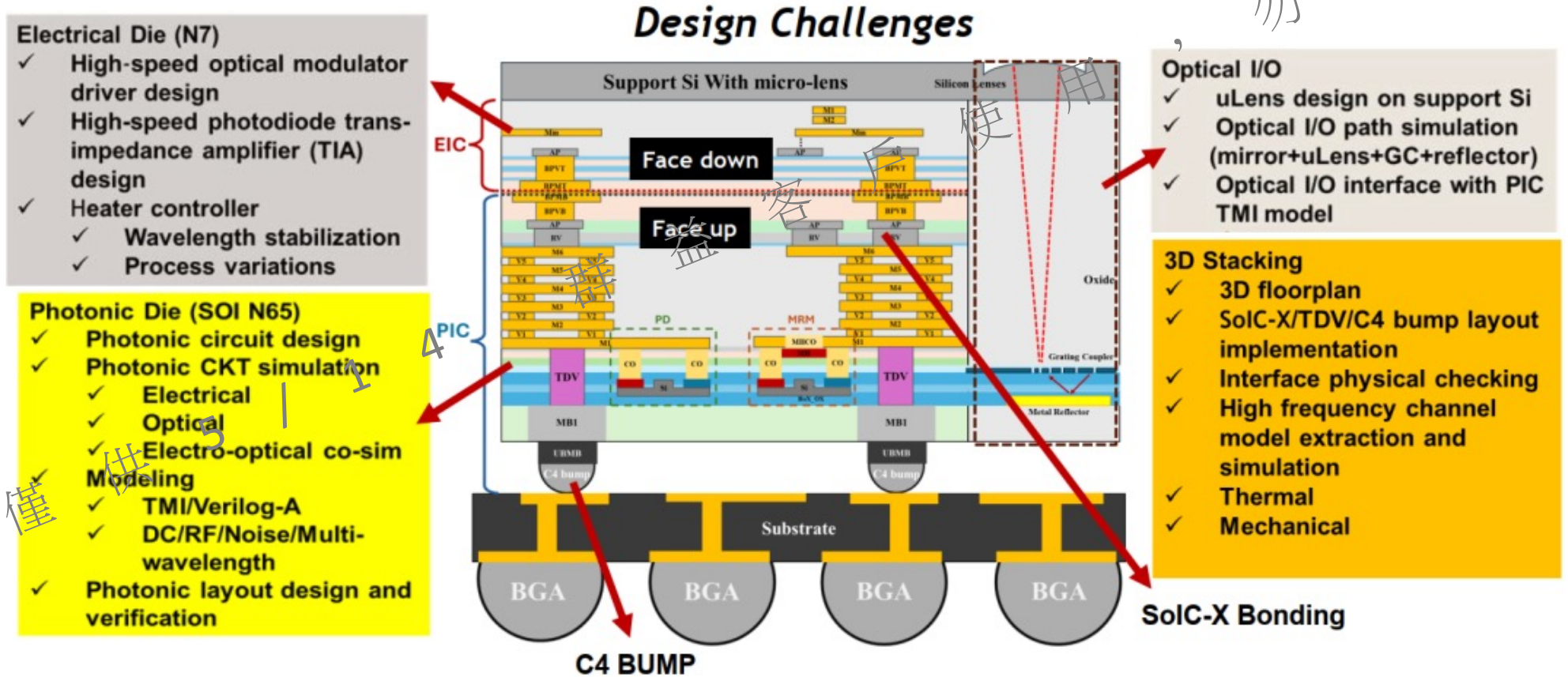
透過自動測試裝置 (ATE) 同時與晶圓的一側介面，並透過可拆卸的光學插座與另一側介面。

帶有TSV的PIC厚度通常低於100微米，需要加固結構來承受雙面晶圓級測試，因為可拆卸的套筒彈簧力和ATE探測力通常在千克範圍內。



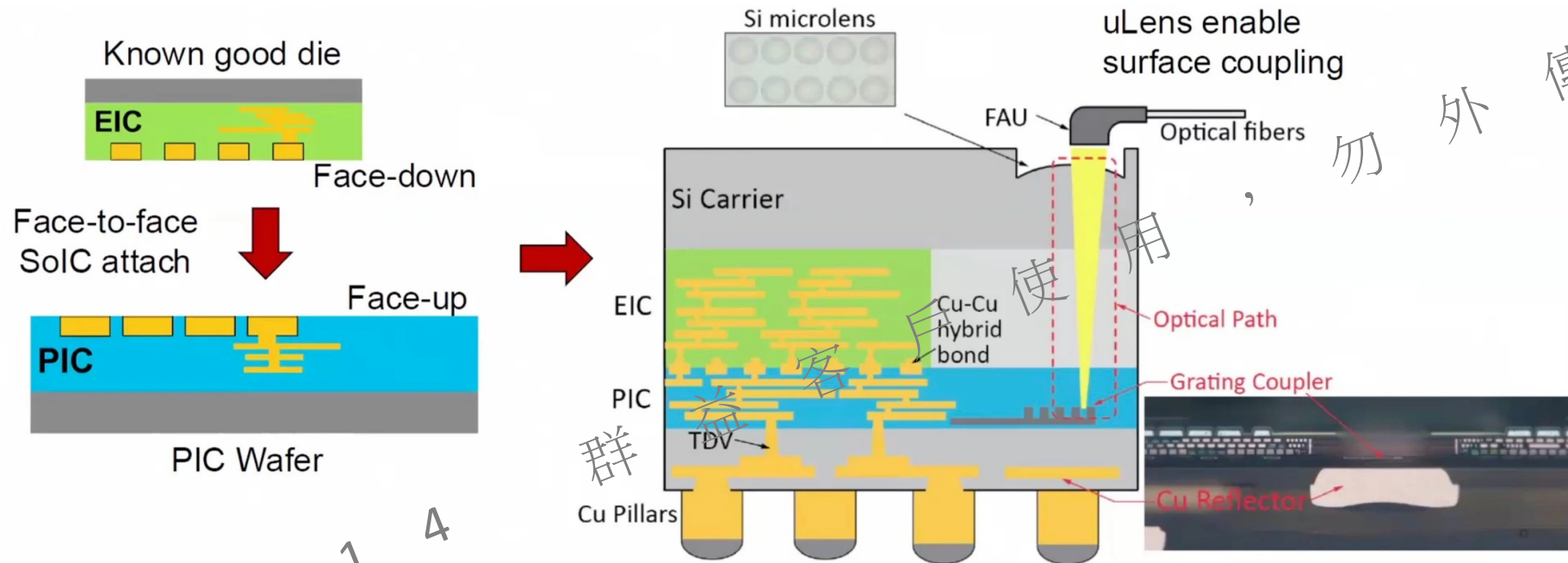
TSMC) 開發的 緊湊型通用光子引擎 (COUPE) 技術架構

- 異質整合架構：採用 3D 堆疊技術，將 電子晶片 (EIC) 與 光子晶片 (PIC) 以Face-to-face的方式耦合，透過 SoIC-X 鍵合 技術連接，大幅降低寄生電感並提升能源效率。
- EIC (N7 製程)：包含高速光學調變器驅動器、轉阻放大器 (TIA) 及波長穩定控制器。
- PIC (SOI N65 製程)：專注於光路模擬 (電氣、光學、電光共同模擬) 與元件建模 (如雜訊與多波長分析)。
- 光學輸入/輸出 (I/O)：在支撐矽基板上設計微透鏡 (μ Lens)，並進行包含反射鏡、光學耦合器 (GC) 在內的全路徑模擬，以優化光纖耦合效率。
- 3D 堆疊挑戰：涉及複雜的 3D 平面規劃、SoIC-X/TDV 凸塊佈局、高頻通道建模，以及關鍵的 散熱 (Thermal) 與 機械 (Mechanical) 結構穩定性分析。
- 在封裝圖中，TDV 位於 PD 和 MRM 附近，這兩個裝置都是敏感元件。與 TSV (矽通孔) 相比，TDV 通常更靈活、更易於擴展，因為它可以使用更小的禁區，同時由於其「低介電常數」材料的特性，可以降低通孔間和通孔與裝置間的耦合 (也稱為串擾) 風險，從而降低寄生電容並簡化散熱控制。



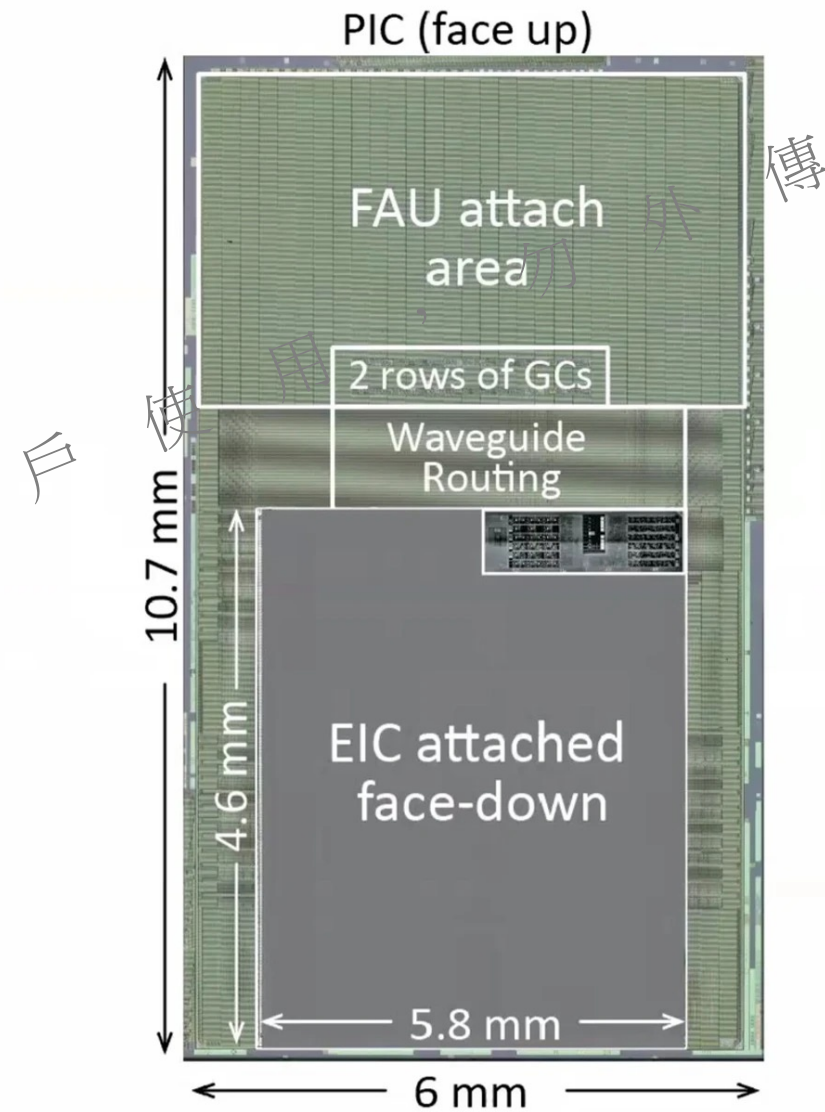
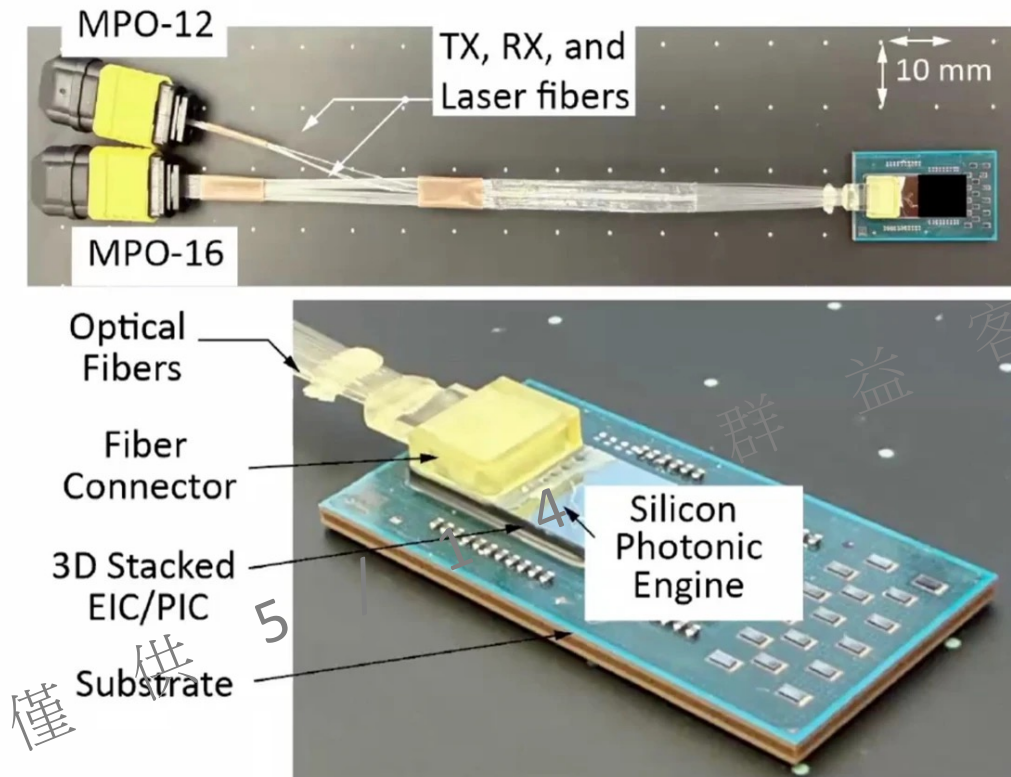
「3D 堆疊 EIC/PIC 矽光子平台」的組裝過程

Based on TSMC COUPE > leverages Cu-Cu hybrid (SolC) bonding
EIC is 7nm FinFET CMOS and PIC is 65nm SOI SiPh

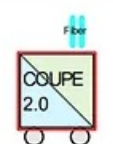
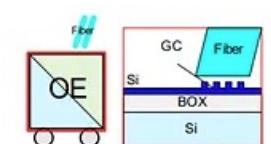
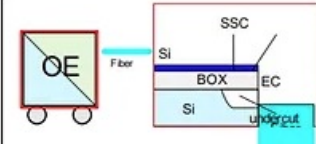


- 3D 垂直堆疊 (SolC-X)！左側圖示說明了 EIC (電子晶片) 以「Face-down (面向下)」的方式，透過 **Cu-Cu hybrid bonding (銅對銅混合鍵合)** 技術，直接與「Face-up (面向上)」的 PIC (光子晶片) 進行 **Face-to-face (F2F)** 接合。
- 先進製程組合：EIC 採用 7nm FinFET CMOS，PIC 則採用 65nm SOI SiPh (絕緣層覆矽光子製程)。這是台積電將高性能運算邏輯與成熟光學元件結合的標準配置。
- 光學耦合機制：右側剖面圖展示了光訊號的路徑。光纖陣列 (FAU) 透過 Si microlens (矽微透鏡) 與 PIC 上的 Grating Coupler (光柵耦合器) 進行表面耦合。這種微透鏡技術 (uLens) 能顯著提升對準容差並降低光損耗。
- 垂直互連：PIC 內部含有 TbV (絕緣層穿孔)，並透過底部的 Cu Pillars (銅柱) 與外部基板連接，實現高效的電氣傳輸。

PIC 採用 65nm SOI SiPh 製程，並透過 Face-down (面向下) 的方式與 EIC 進行 3D 堆疊。這正是台積電 3DFabric 旗下 SoIC-X (混合鍵合) 技術的典型應用，也是台積電目前在矽光子領域的核心競爭優勢。



各種光纖耦合器 (BBC) 之間的比較

	COUPE 2.0	Conventional OE	
Coupler	Vertical BBC	Grating Coupler	Edge Coupler
Structure			
#Fiber Rows	Multiple Row	Multiple Row	Single Row
Spot Size	~10 μm	~10 μm	~10 μm
Broad Band	Y	Y	Y
PBSR	Y	Y	Y

垂直寬頻耦合器 (BBC) 是TSMC整合光學互連系統 (iOIS) 的重要組成部分。iOIS是一個 (CPO) 平臺，結合了COUPE2.0和用於高效能計算和通訊系統的複合中介 (CI) 。BBC被設計為具有廣泛的頻寬，這意味著它可以在廣泛的波長上耦合光。

COUPE2.0是一款高效能光學引擎，它使用垂直寬頻耦合器與光纖連線，使用SoIC鍵與EIC連線。它可以支援波分多路複用 (WDM) 和各種光學器件的異構整合。CI是一個高度整合的雙電氣和光學互連 (DEOI) 網路，在不同的光學引擎之間提供低損耗、高頻寬和靈活的光學路由。它還在ASIC和光學引擎之間提供了高密度的電氣互連。

與其他CPO結構相比，TSMC的整合光互連系統 (iOIS) 有幾個優勢，例如：

1. 提高效能、
 2. 降低功耗和提高設計靈活性。
- 然而，在這些技術被廣泛採用之前，還需要解決幾個挑戰。

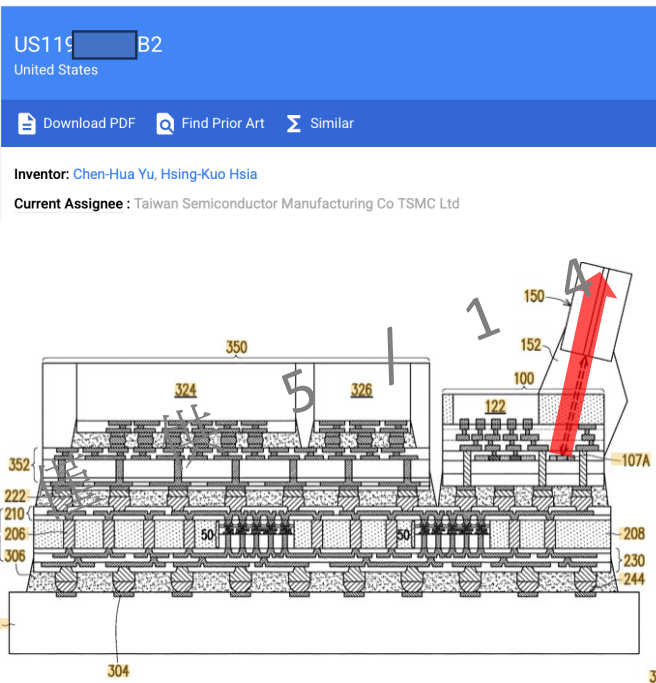


TSMC COUPE2.0 Vertical BBC was Patented

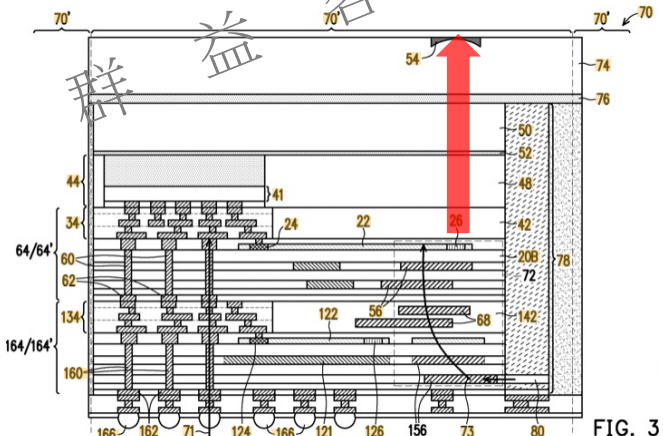
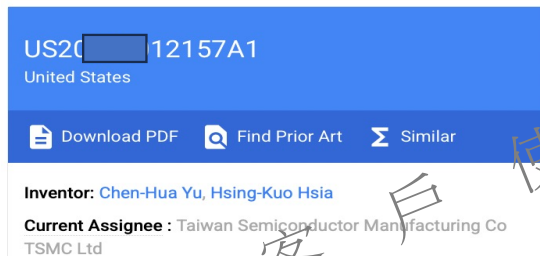
三篇專利確認垂直寬頻耦合器 (BBC) 的技術

2020

Photonic semiconductor device and method of manufacture



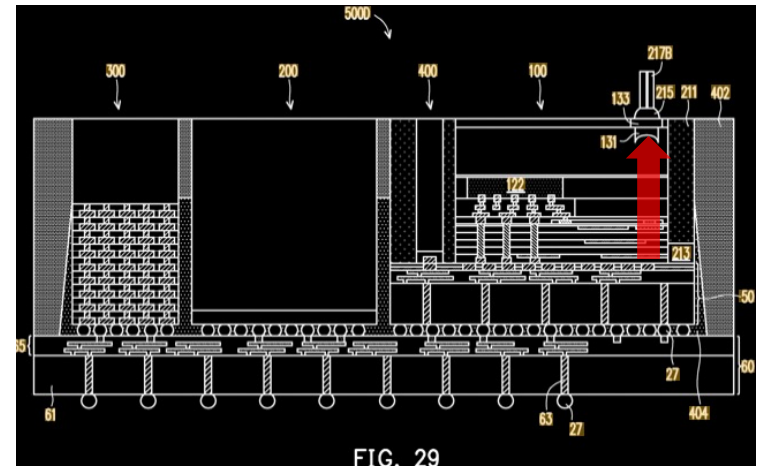
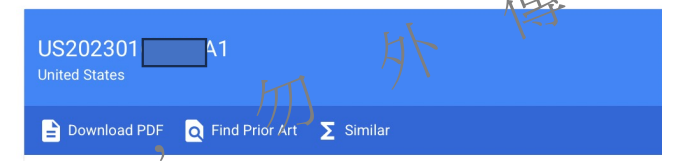
2022



光柵耦合器26
微透鏡54

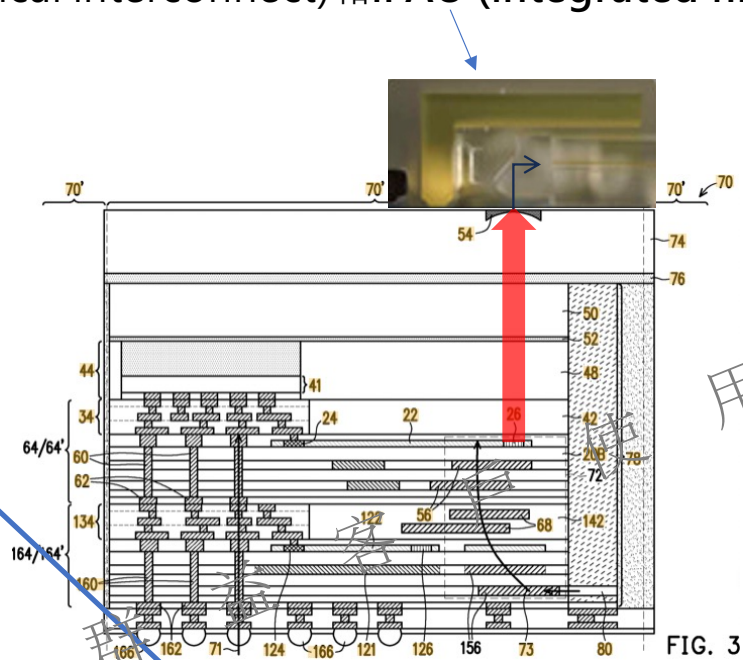
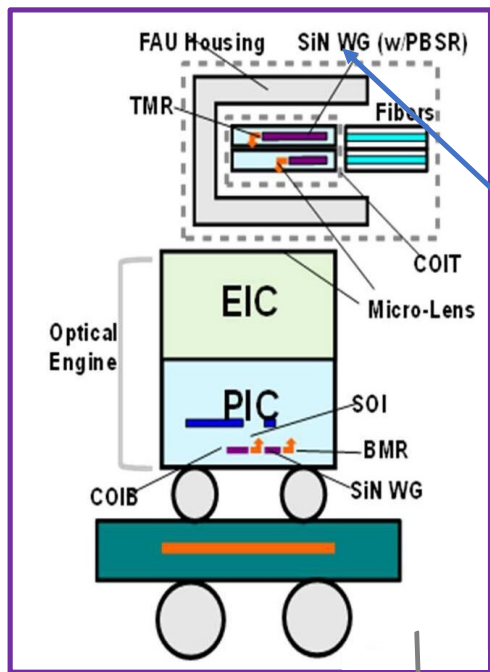
2023

Package Structure Including Photonic Package and Interposer Having Waveguide



TSMC開發了COI (complimentary optical interconnect)和iFAU (integrated fiber array unit)組件

垂直寬頻耦合器(BBC)



US2023-2157A1
United States

Download PDF Find Prior Art Similar

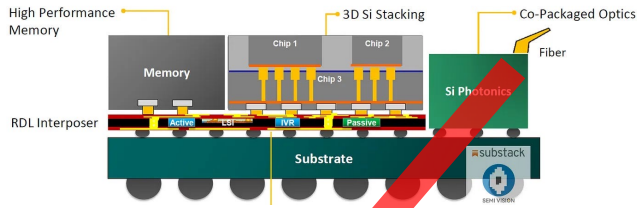
Inventor: Chen-Hua Yu, Hsing-Kuo Hsia
Current Assignee: Taiwan Semiconductor Manufacturing Co TSMC Ltd

光柵耦合器26與垂直安裝的光纖（未示出）和/或微透鏡54之間更有效的光耦合。

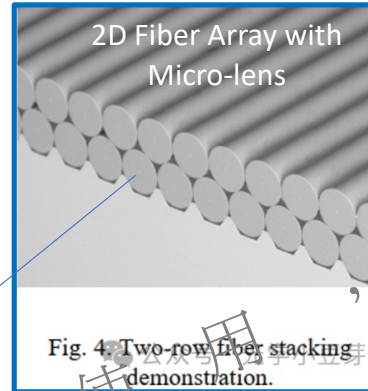
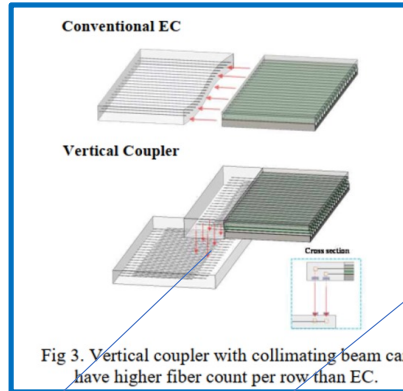
在Si波導下方加工出多層SiN波導，可能在SiN波導上加工出光柵結構作為BMR(bottom mirror)將光束偏轉到豎直方向上，這一部分稱為COIB。在光引擎的上表面加工出矽微透鏡，對光束進行擴束。COIT部分也是類似的微透鏡和光柵結構，空間光束重新進入到SiN波導(WG)中，進而與光纖進行耦合。



分析TSMC iFAU (integrated fiber array unit) 構造

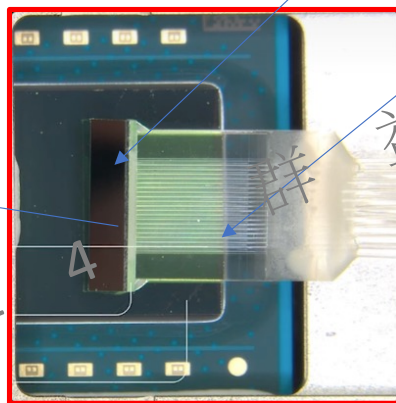
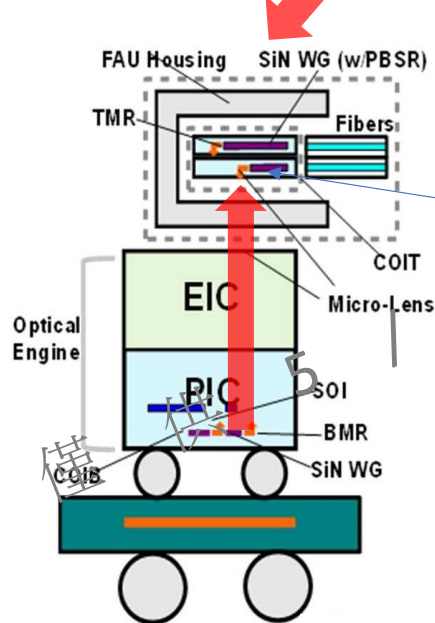


垂直寬頻耦合器(BBC)

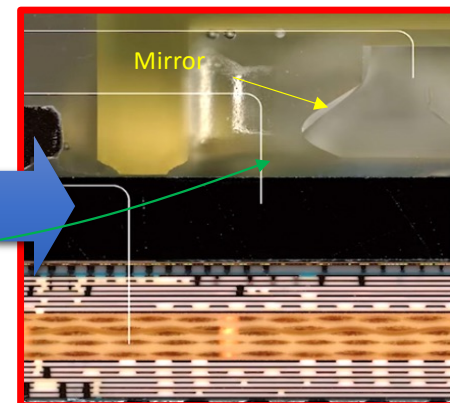
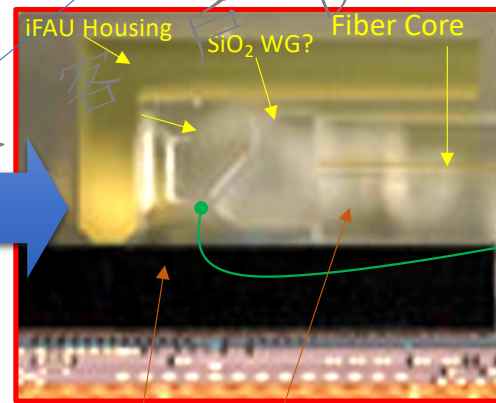


Ref.: H. Hsia et al, "EPIC-BOE: An Electronic-Photonic Chiplet Integration Technology with IC Processes for Broadband Optical Engine Applications," R&D, Taiwan Semiconductor Manufacturing Company, Hsinchu, Taiwan, 2024.

勿外傳



COUPE (緊湊型通用光子引擎) 將垂直O波段光柵耦合器 (GC) 與嵌入式微透鏡整合，實現0.3dB光纖陣列耦合損耗，對齊公差為±10μm。



Intel跟TSMC 都是用石英或 SiN :

透明好對位、UV硬化

垂直寬頻耦合器的效能

在COUPE2.0中，一種結合了GC和EC優點的新型垂直寬頻耦合器 (BBC) 旨在有效實現WDM並進一步減少OE的大小。作為垂直耦合器，它與多行垂直FAU相容，插入損耗為-0.3dB，對準公差為±10微米。高效能偏振分光器和旋轉器 (PBSR) 可以與這個垂直BBC整合。透過適當的整合微透鏡和FAU設計，FAU對準公差可以擴充套件到大於±20微米。透過停用光束偏轉機制，該BBC也可以用作高效能水準光纖耦合器。



先進封裝由2.5D走向3D與晶圓級整合，台積電以3DFabric主導AI封裝體系

先進封裝競爭已由單一製程指標轉向系統整合能力

先進封裝	類型	技術方向		SAMSUNG	
2.5D IC	2.5D (矽中介層)	高密度	CoWoS-S (0.4/0.4μm L/S)	I-Cube S (0.4/0.4μm L/S)	—
	2.5D (RDL中介層)	中密度	CoWoS-R (2/2μm L/S)	—	—
	2.5D (RDL中介層+矽橋)	中高密度	CoWoS-L (0.8/0.8μm L/S)	I-Cube E	EMIB (小於2/2μm L/S)
3D IC	3D (micro bump) 微凸塊	傳統3D	SoIC-P (16-25μm pitch)	X-Cube TCB (25μm pitch)	Foveros 2.5D (~25-50μm pitch)
	3D (Hybrid bonding) 無凸塊	高階3D	SoIC-X (小於10μm pitch)	X-Cube HCB (小於10μm pitch)	Foveros Direct 3D (小於10μm pitch)
	3D (晶圓級)	超大型系統	SoW (小於5μm pitch)	—	—

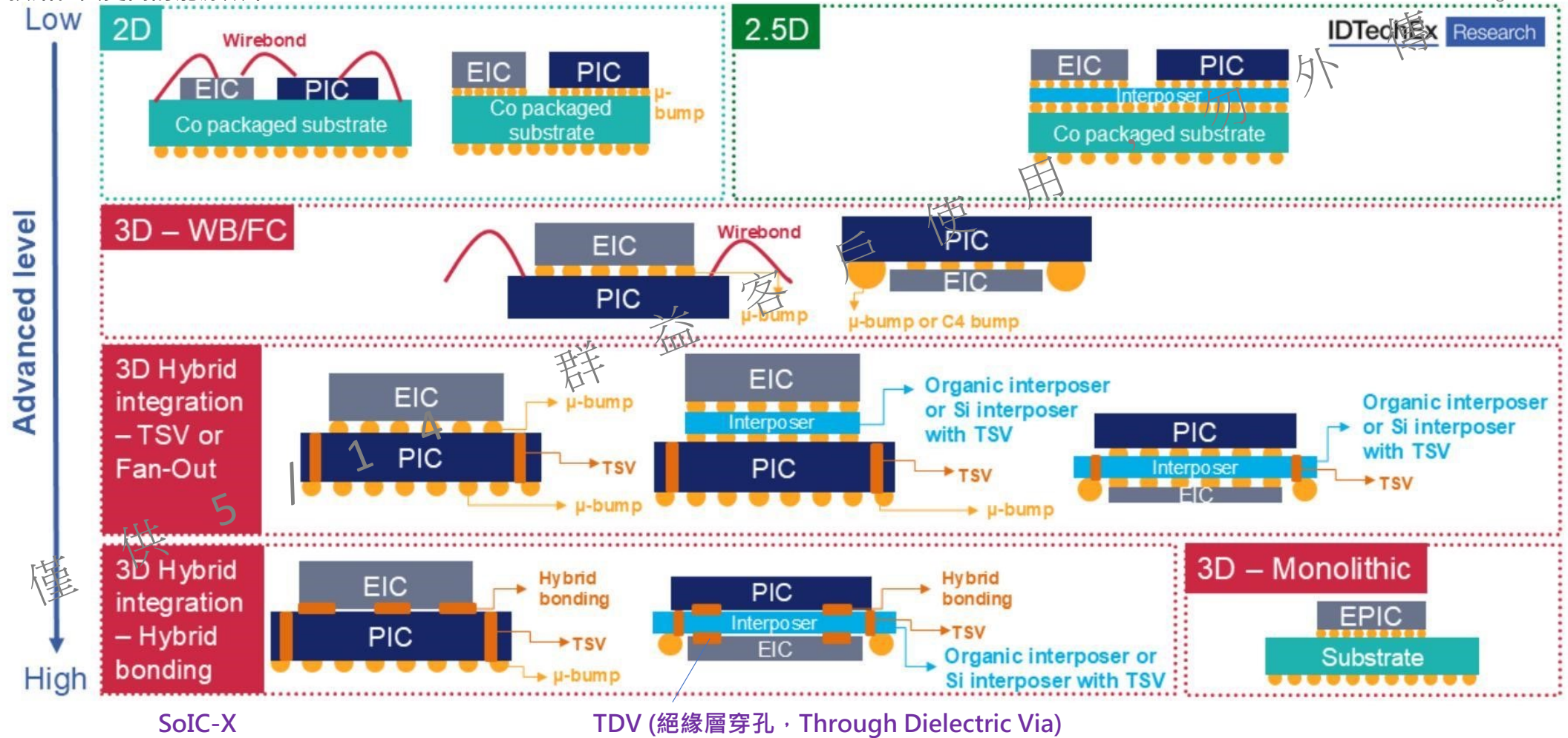
- 不同封裝技術在佈線密度、封裝尺寸與系統整合能力上各有取捨，並非單一指標可直接比較優劣
- L/S：線寬/線距
- pitch：凸塊間距/鍵合間距

資料來源：各公司、MIC整理，2026年4月

- ◆ 三家大廠於先進封裝布局呈現差異化路線：台積電 建構完整3DFabric體系 (CoWoS、SoIC、SoW)，涵蓋2.5D至晶圓級整合；Samsung 以I-Cube (2.5D) 與X-Cube (3D) 分段發展；Intel 則透過EMIB (橋接) 與Foveros (3D) 組合推進異質整合
- ◆ 先進封裝競爭已由單一製程指標 (如L/S或pitch) 轉向系統整合能力，包含高頻寬記憶體 (HBM) 整合、封裝尺寸擴展與量產能力，台積電在AI應用落地與規模化生產上具領先優勢

光學引擎封裝技術圖

從 2D 封裝到 2.5D、3D 封裝 TSV與混合鍵合等封裝技術進展，使光子晶片 (PIC) 與電子晶片 (EIC) 得以逐步縮短互連距離。透過 SoIC-X 混合鍵合，PIC 與 EIC 的整合度最高，能將介面寄生電容降低 85%。相較於依賴中介層與微凸塊的 2.5D 或 3D WB 結構，SoIC-X 能提供更短的光電轉換路徑與更高的能源效率。



TSMC COUPE 1.0、2.0、3.0 技術演進對比表

SMC-SoIC® (面對面鍵合)/iOIS (整合光學互連系統)/OLSI (光學局部矽連接)

技術世代	COUPE 1.0	COUPE 2.0 (iOIS)		COUPE 3.0 (OLSI)
對應 NVIDIA GPU	Blackwell 系列 (初期版)	Blackwell 系列 (進階版)	Rubin Ultra 系列 (Q1/2027)	Feynman 3.2T以上 (2029)
對應光傳輸產品	1.6T 乙太網路交換機	Quantum-X800 : 800G 可插拔模組 極低延遲訓練叢集設計 Quantum 3450 CPO 交換器 115.2T 總頻寬	NVLink 6.0 : 雙向 200G SerDes	實現 Memory 與 Compute Fabric 全光互連 · NVLink內建置Chip
主要定位	可插拔光學模組 (Pluggable)	共同封裝光學 (CPO)	處理器內整合 (On-Package/Die)	Full Optical NVLink 3D optical routing (In-Package)
結構位置	封裝外部 (OSFP/QSFP 模組)	靠近處理器的 CoWoS 中介層	處理器/GPU 內部 (極近距離)	Full OLSI Fabric On-die / In-package deeply integrated
核心專利	US202003512xxA1 (CPO起點)	US117036xxB2 (Optical Interposer)	US202101118xxA1 (Die-to-Die)	
封裝技術	TSMC-SoIC® (EIC 面對面鍵合)	CoWoS-L + SoIC + iOIS_CI	CoWoS + 光學中介層 OLSI (光學局部矽連接)	Optical CoWoS + 3D Optical Fabric
傳輸頻寬	~1.6 Tbps	~6.4 Tbps	~12.8 Tbps 以上	> 3.2T per link / PB-scale system
功耗效率	pJ/bit	<pJ/bit	512K GPU/InfiniBand 協議 sub-pJ	deep sub-pJ/bit (0.5)
光電距離	cm 級 (板級距離)	mm 級 (封裝級距離)	µm 級 (晶片級距離)	sub-µm (接近on-die)
雷射光源位置	外部光源 (ELS) / 插槽式	外部光源 或封裝側邊整合 CWDM laser	外部或封裝內混合整合 DWDM Laser	co-packaged / remote laser array DWDM Laser (或改採uLED)
光引擎位置	模組 (OSFP)	封裝旁 (switch/GPU)	CPU/GPU內	GPU內建 (optical I/O cell)
EIC/PIC 進展	EIC: N6 (6nm) / PIC: 65nm	進階邏輯製程 / 導入 iOIS 平台/先進 邏輯製程 (N5/N3 級)	極限微縮製程 (N2 級) 高度融合 · 幾乎無介面 (Quasi- monolithic)	N2 / A16 / advanced node
PIC	Si	Si	Si	Si
Waveguide	矽 (Si) 與氮化矽 (SiN)	多層 SiN 與 聚合物波導 (PWG)	高密度 OLSI 矽波導	SiN + advanced hybrid (ultra-low loss)
Interposer	無	Si	Si + dielectric	Advanced dielectric optical stack
優點	成熟供應鏈、易於導入/成本相對低	大幅降功耗 (~40%)/寄生電容減 85%	最低延遲、高能量效率 (sub-pJ/bit)	極限AI scaling
缺點	RC 寄生效應較高、延遲與功耗較大	封裝複雜度提升、需精密對準技術	製程難度極高、成本與良率挑戰大	製程/良率極難



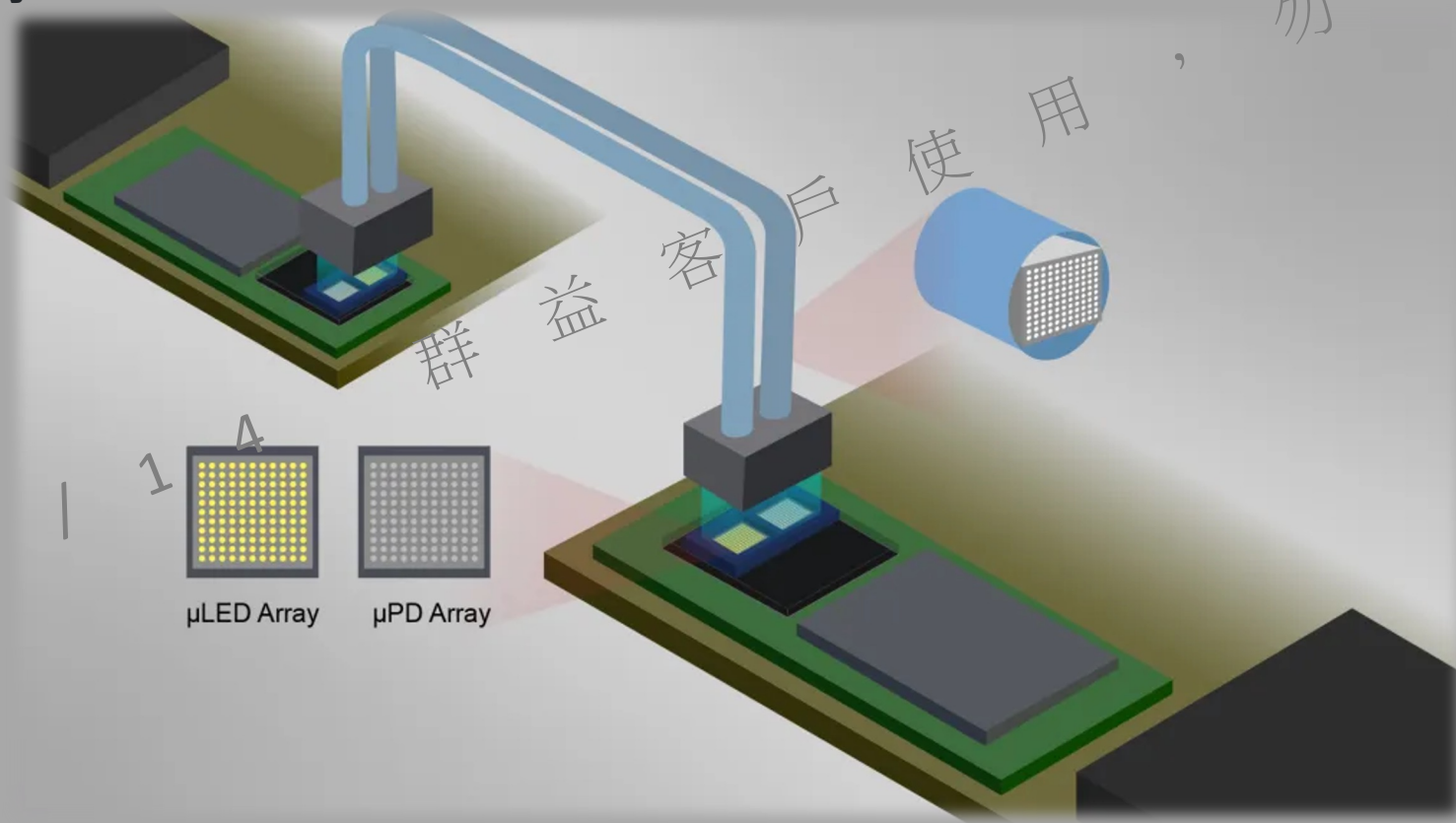
Micro-LED Communication for CP^o

僅供 5 / 1 4

群益客戶使用，勿外傳

Micro-LED Communication for CPO

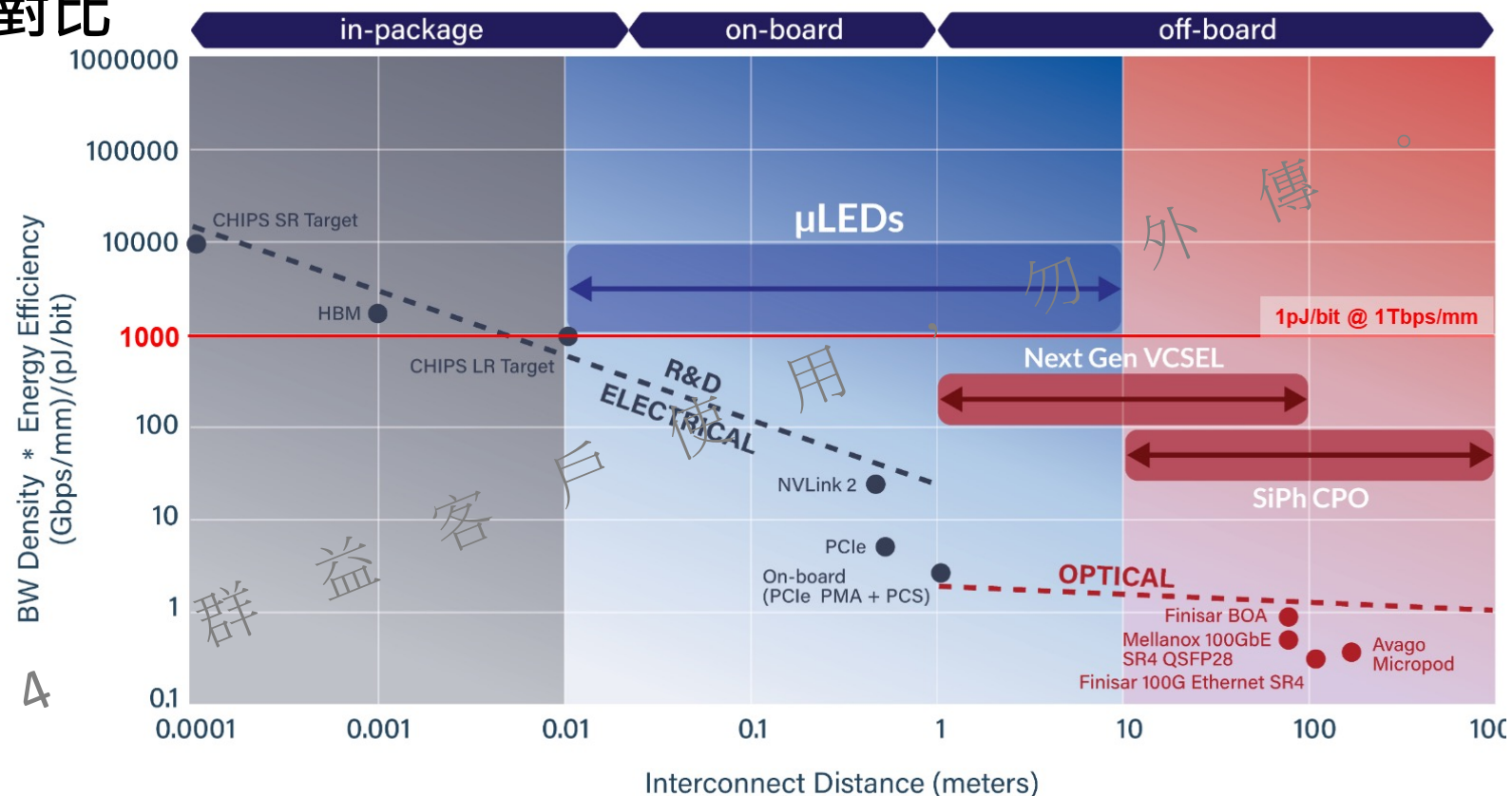
資料中心10公尺內短距離高速傳輸應用，適合用於共封裝光學（CPO）以及主動式光纜（AOC）高速互連。相較於其他光通訊光源方案，Micro LED具備多項優勢，包括高溫穩定性（125°C）、長壽命（30,000小時）以及極低功耗（低於1 pJ/bit），可大幅降低資料中心傳輸用電量與散熱需求，在AI資料中心高密度、高效率運算環境中極具發展潛力。



三大光源技術路徑的對比

= 圖表Y軸Figure of Merit, FoM) =

- 頻寬密度 (Bandwidth Density)：每毫米晶片邊緣能提供的傳輸速率 (Gbps/mm)。
- 能量效率 (Energy Efficiency)：傳輸每位元資料所消耗的能量 (pJ/bit)。



電氣鏈路 (Electrical - 黑色虛線)：包含 HBM、NVLink 2 與 PCIe 等技術。在「封裝內 (in-package)」的短距離下效能極高，但隨著距離增加（超過 0.1 公尺），其效能會因電阻與損耗而急劇下降。

傳統光學 (Optical - 紅色虛線)：包含 SiPh CPO、VCSEL 以及各種傳統光收發器 (如 QSFP28)。能支援「機櫃外 (off-board)」長達 100~1000 公尺的傳輸，但在單位頻寬密度與能效上的表現較電學路徑差。

LightBundle™ (μLEDs - 藍色箭頭區域)：這是 Avicena 的突破性技術，它橫跨了「封裝內 (in-package)」到「板級 (on-board)」的範圍。

- 特性：它的 FoM 指標能與封裝內的電路效能相匹配，且將高效傳輸距離延伸至 10 公尺。

10 倍效能增長：Avicena LightBundle™ 技術實現了比現有解決方案（如傳統光學互連）高出 10 倍的功率和密度 FoM。



nVIDIA Feynman 目標 > 10 Tbps/mm² 頻寬密度

藍光 (Blue) 與 綠光 (Green) 的並行陣列。這種並行化設計不僅提升了頻寬，還能透過多波長 (WDM) 或多通道的空間分割，進一步增加資料吞吐量。

比較項目	800 顆	1600 顆	演進趨勢說明
Micro-LED 晶片數量	800 顆	1600 顆	晶片數量增加 100%
像素間距 (Pitch)	35μm × 35μm	25μm × 25μm	間距縮小，提升整合密度
單位面積	1 × 1 mm ²	1 × 1 mm ²	維持相同封裝尺寸
像素密度 (DPI)	約 700 dpi	約 1000 dpi	邁向更精密的半導體製程
應用優勢	800 顆 × 2Gbps = 1.6 Tbps/mm² 。 提供穩定的 Tbps 等級頻寬	1600 顆 × 2Gbps = 3.2 Tbps/mm² 極高頻寬密度，適合 AI 晶片間傳輸	Feynman 目標 密度越高，總頻寬越大

空間維度的擴張

與傳統雷射技術追求單通道速率 (例如提升到 100Gbps) 不同，Micro-LED 的策略是在極小面積 (1x1 mm²) 內塞入更多的發光單元。

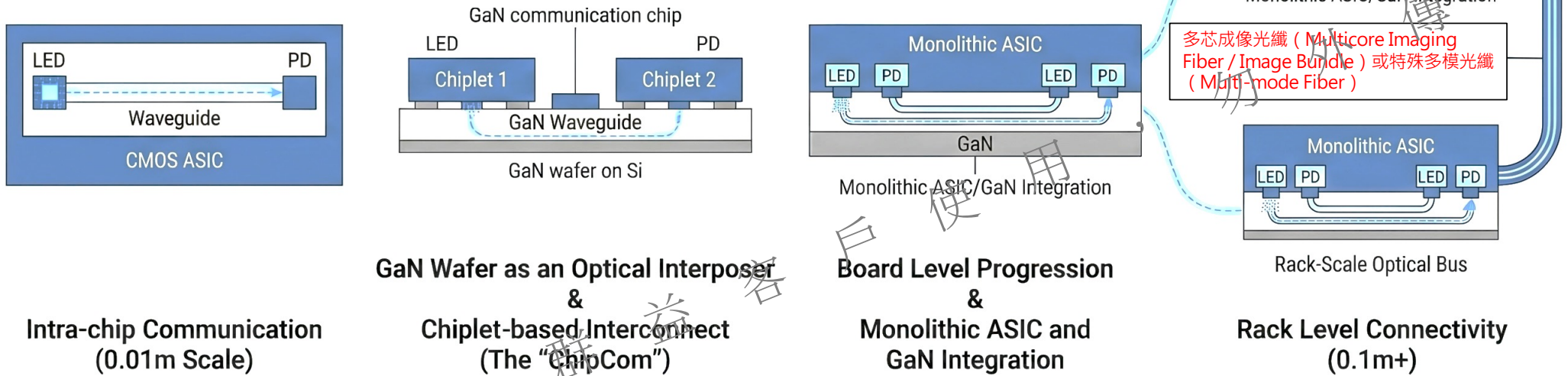
像素間距 (Pitch)

1. 從 35μm 到 25μm：當間距縮小時，1mm² 內的晶片數量從 800 顆 翻倍至 1600 顆。
2. DPI 的意義：圖中提到的 **1000 dpi** 代表了極高的製造精度。在光通訊中，高 dpi 意味著能在單一光纖或導光元件的對接面上，提供更密集的訊號輸入點。

Reference: Yi-Hau, Shiao / PlayNitride

Micro-LED 光通訊有四大應用情境與傳輸距離

圖片下方的橫軸展示了從 0.01m 到 0.1m 以上的傳輸演進，可分為四個層次：



晶片內通訊 (Intra-chip Communication)
在單一 CMOS ASIC 內部。

直接在 ASIC 封裝內利用 LED、波導與 PD 進行訊號傳遞，用以解決晶片內布線過於擁擠與發熱的問題。

晶粒級/封裝級通訊 (Chiplet based)：不同 Chiplet 之間。

實現方式：使用一個獨立的 GaN 通訊晶片 (GaN communication chip) 作為中介，透過內部的光學中介層連接多個 Chiplet，這與台積電 COUPE 平台的異質整合概念高度契合。

板級通訊 (Board Level)：
實現方式：當傳輸距離增加至 0.1m 左右，則開始利用光學互連取代傳統电路板的銅箔走線。

機櫃級通訊 (Rack level)：
伺服器機櫃之間或高速運算節點間。

「Monolithic integration of ASIC and GaN」以及「Multicore fiber」說明在長距離傳輸時，會將 ASIC 與 GaN 直接進行單晶整合，並對接多芯光纖來達成超高頻寬輸出。

Reference: Yi-Hau, Shiau / PlayNitride

使用 Micro-LED 與 Micro-PD 矩陣的短距光學互連

內置光源的必然性：

顯示 LED 是直接與 ASIC 整合或放置在光學中介層上，而非外部輸入，這證實了在 CPO 架構下，**Micro-LED 作為內置光源能極大化傳輸效率。**

GaN-on-Si 作為光學中介層 (Optical Interposer)

利用在矽基板上成長的氮化鎵 (GaN wafer on Si) 作為基礎平台。GaN 不僅是 Micro-LED 的發光材料，在此架構中也被直接用作**光波導 (Waveguide)**。

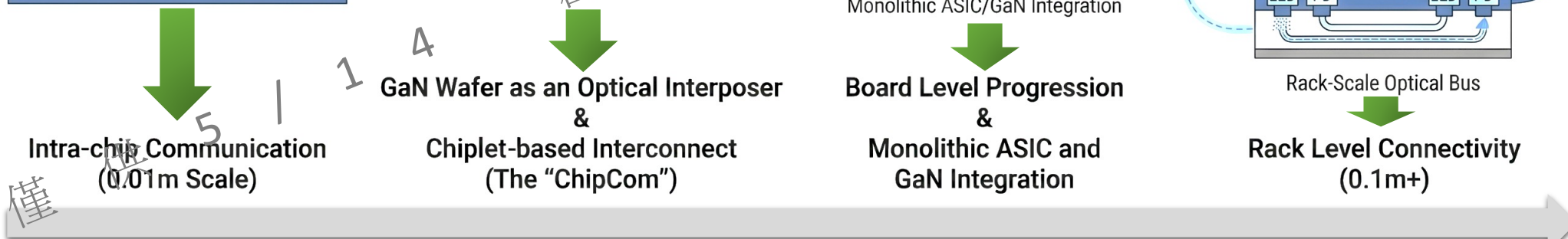
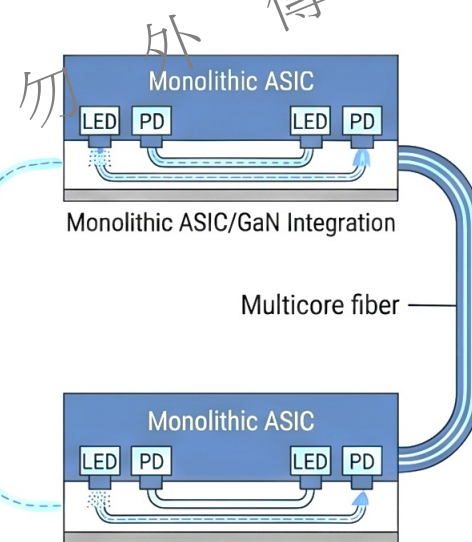
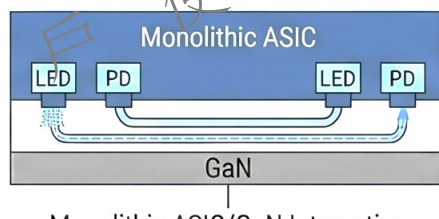
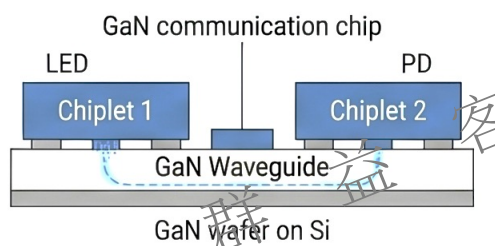
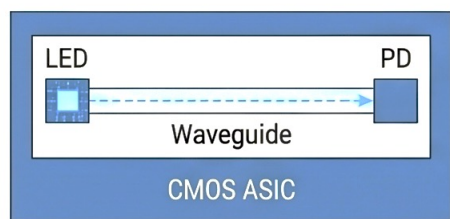
優勢：這種設計能有效減少傳統矽光子中需要額外耦合異質材料的損耗。

單晶整合 (Monolithic Integration)：

強調了 ASIC 與 GaN 的整合，這正是台積電 COUPE 技術追求的目標——將光電元件與邏輯運算元件進行 3D 堆疊，以消除封裝產生的寄生電感與電容。

多芯光纖的應用：

明確標示在晶片對晶片 (Chip to Chip) 的遠距通訊中，**多芯光纖 (Multicore fiber)** 是核心元件。



高折射率對比：GaN 在近紅外光 ($\sim 1.55 \mu\text{m}$) 波段的折射率約為 2.3。當它與二氧化矽 (SiO_2 , $n \sim 1.45$) 或空氣 (1.0) 包覆層 (Cladding) 搭配時，能形成極高的折射率差，將光子緊緊限制 (Confine) 在 GaN 核心內。

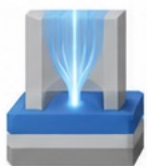
超寬透明波段：作為寬能隙 (Wide Bandgap, $\sim 3.4 \text{ eV}$) 材料，GaN 的透明窗口從可見光一路延伸到近紅外光，能傳輸傳統矽 (Si) 波導無法通過的可見光。

極高光學非線性：GaN 具有優異的二階 (X^2) 與三階 (X^3) 非線性光學效應，適合直接在晶片上製作高效能的光參量振盪器、混頻器與微環諧振腔。

氮化鎵 (GaN) 可直接作為晶片內光波導 (Waveguide)

高折射率 · 超寬透明波段 · 高非線性光學特性，為下一代光電積體電路 (PIC) 與矽光子帶來關鍵優勢

一、核心物理優勢



1. 高折射率對比

GaN 在近紅外光 ($\sim 1.55 \mu\text{m}$) 波段
折射率 $n \approx 2.3$
搭配 SiO_2 ($n \approx 1.45$) 或空氣 ($n \approx 1.0$)
→ 高折射率差，將光子緊緊限制在 GaN 核心內。



2. 超寬透明波段

GaN 為寬能隙 ($\sim 3.4 \text{ eV}$) 材料
透明窗口：紫外光邊緣 $\sim 365 \text{ nm}$
一路延伸到近紅外光
→ 可傳輸可見光，突破矽波導限制。



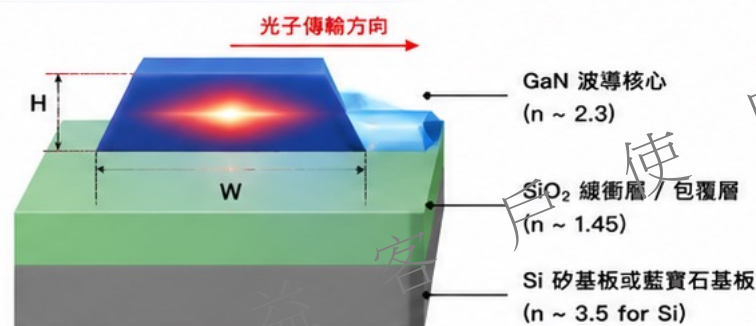
3. 極高光學非線性

具優異的二階 ($\chi^{(2)}$) 與三階 ($\chi^{(3)}$)
非線性光學效應
→ 適合製作高效能光參量振盪器、
混頻器與環譜振腔。

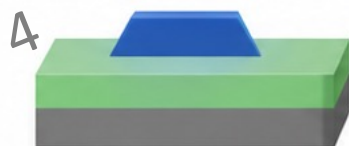
二、關鍵架構與製程設計

為避免光訊號滲漏到下方基板，需採用低折射率包覆或懸浮結構

1. 脊型波導架構範例 (橫截面示意圖)

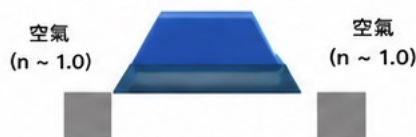


2. 絕緣體上氮化鎵 (GaNOI) 平台



在 GaN 與矽基板之間加入低折射率 SiO_2 緩衝層，防止光子滲漏至高折射率矽基板中 ($n \approx 3.5$)。

3. 懸浮波導 (Suspended Waveguide)



透蝕 MEMS 蝕刻，將 GaN 下方基板掏空，四周以空氣為包覆層，創造最大折射率差，大幅降低基板漏光。

三、實際應用的主要挑戰

1

材料缺陷散射損耗

在矽或藍寶石基板上異質磊晶生長的 GaN，晶格錯位 (Dislocation) 密度較高。這些晶體缺陷會造成明顯的光散射損耗，使得早期 GaN 波導損耗率偏高 (約 2 dB/cm 以上)。

2

側壁粗糙度 (Sidewall Roughness)

GaN 材料硬度高、化學性質穩定，乾式蝕刻 (如 ICP-RIE) 時極易在波導側壁留下微觀粗糙面，這是導致可見光波段傳輸損耗的主因。

3

主被動元件整合

主動發光 (LED/Laser) 的 GaN 區域包含多量子井 (MQW) 結構，必須與被動傳輸波導進行能隙調變 (如局部量子井混雜技術)，否則波導會強烈吸收自身發出的光。

4

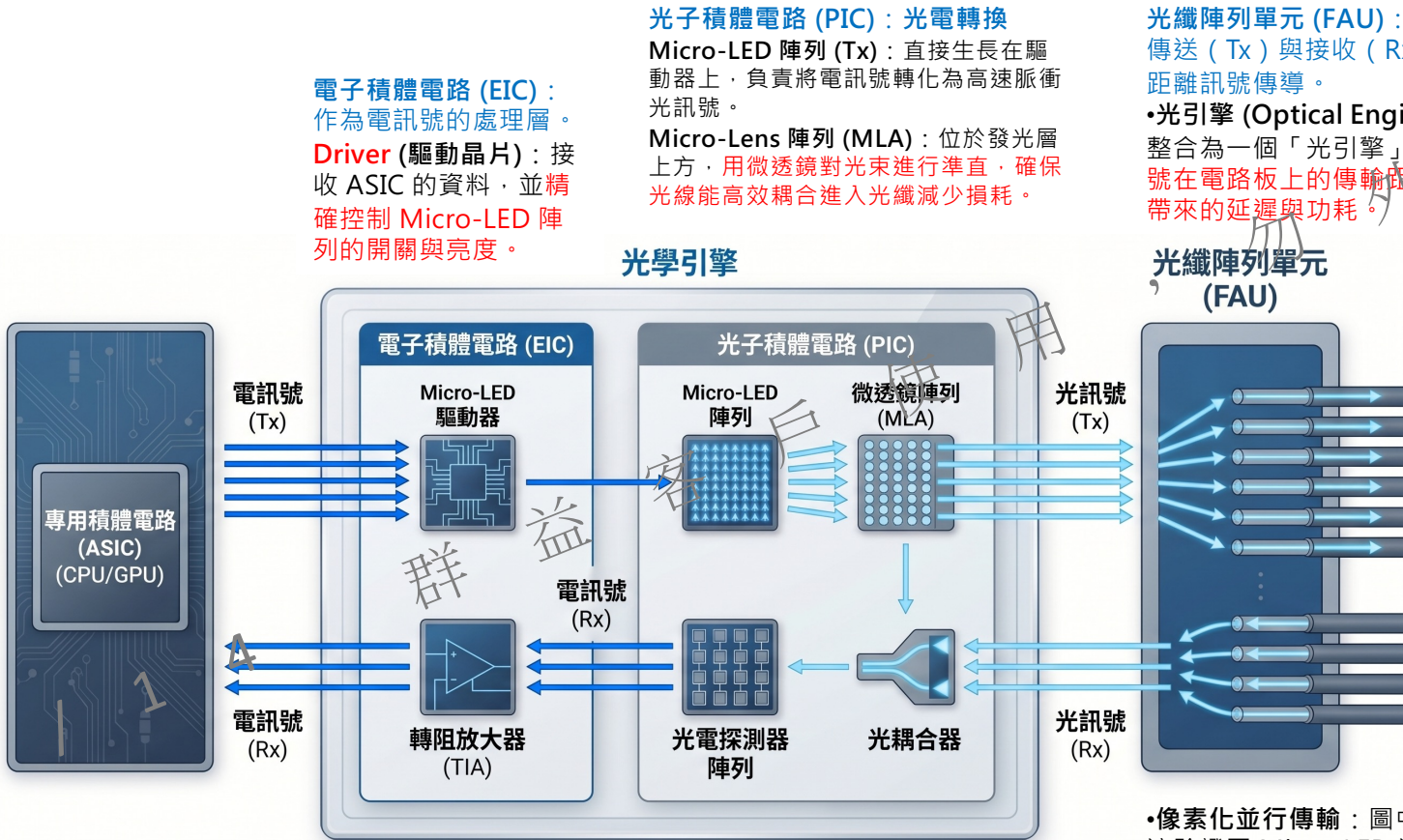
高功率下的熱效應

GaN 在高功率運作時會產生顯著熱效應，需結合良好散熱設計，避免折射率變化與熱致損耗上升。

Micro-LED 在共封裝光學 (CPO) 中的邏輯流程架構

此架構定義了如何將光電轉換組件與高效能運算晶片 (ASIC) 進行系統級整合，以達成 AI 資料中心所需的低功耗、高頻寬傳輸。該架構分為四大區塊，形成一個完整的光電互連閉環。

ASIC (CPU/GPU)：位於最左側，是系統的運算大腦。它負責產生需要發送的「電訊號」，並接收從光網絡回傳並還原後的資料。



電子積體電路 (EIC)：作為電訊號的處理層。
Driver (驅動晶片)：接收 ASIC 的資料，並精確控制 Micro-LED 陣列的開關與亮度。

光子積體電路 (PIC)：光電轉換
Micro-LED 陣列 (Tx)：直接生長在驅動器上，負責將電訊號轉化為高速脈衝光訊號。
Micro-Lens 陣列 (MLA)：位於發光層上方，用微透鏡對光束進行準直，確保光線能高效耦合進入光纖減少損耗。

光纖陣列單元 (FAU)：最右側的物理接口，包含傳送 (Tx) 與接收 (Rx) 光纖，實現機櫃間的長距離訊號傳導。
光引擎 (Optical Engine) 概念：將 EIC 與 PIC 整合為一個「光引擎」模組，這大幅縮短了電訊號在電路板上的傳輸距離，顯著降低了寄生電容帶來的延遲與功耗。

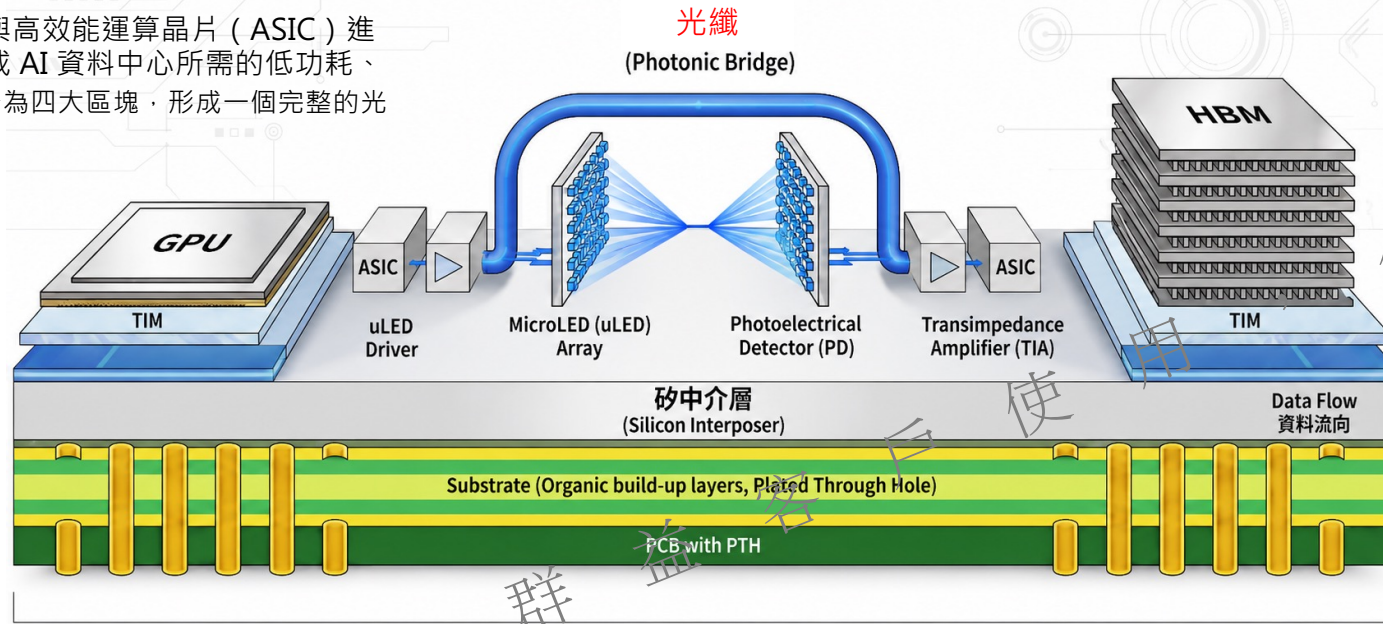
TIA (轉阻放大器)：將光偵測器產生的微弱電流訊號轉換為 ASIC 可識別的電壓訊號並進行放大。

光偵測器陣列 (Rx)：接收端核心，負責捕捉光訊號並轉回電訊號。
耦合器 (Coupler)：作為 PIC 與外部光纖之間的橋樑，處理物理光路接通。的關鍵技術指標。

像素化並行傳輸：圖中顯示了多條並行的光路，這驗證了 Micro-LED 適合「寬而慢」(WaS) 的架構，即透過增加通道數量 (陣列化) 而非單純追求極高單通道速率，來達成 Tbps 級的總頻寬。
微透鏡的重要性：MLA 的存在解決了 Micro-LED 光束發散的問題，這是將 Micro-LED 應用於通訊而非顯示的關鍵技術指標。

Micro-LED 融入 TSMC COUPE 製程內

如何將光電轉換組件與高效能運算晶片 (ASIC) 進行系統級整合，以達成 AI 資料中心所需的低功耗、高頻寬傳輸。該架構分為四大區塊，形成一個完整的光電互連閉環：



關鍵技術指標 (Key Technical Data)

陣列規格 (Array Specs)

1x1 mm²
400 MicroLED 晶片 / 1x1 mm²
(400 chips, 50µm Pitch)

當前頻寬密度 (Current Bandwidth Density)

800 Gbps/mm²
單顆 LED 速率 2Gbps
(Single LED Speed 2 Gbps)

未來擴充潛力 (Future Scaling Potential)

> 10 Tbps/mm²
預計達成
(Expected Target)

多層物理封裝基底 (The Physical Stack)

ASIC (CPU/GPU)：位於最左側，是系統的運算大腦。它負責產生需要發送的「電訊號」，並接收從光網絡回傳並還原後的資料。
電子積體電路 (EIC)：作為電訊號的處理層。

1. Driver (驅動晶片)：接收 ASIC 的資料，並精確控制 Micro-LED 陣列的開關與亮度。
2. TIA (轉阻放大器)：將光偵測器產生的微弱電流訊號轉換為 ASIC 可識別的電壓訊號並進行放大。

光子積體電路 (PIC)：此處是光電轉換 (E/O & O/E) 的發生地。

1. Micro-LED 陣列 (Tx)：直接生長在驅動器上，負責將電訊號轉化為高速脈衝光訊號。
2. Micro-Lens 陣列 (MLA)：位於發光層上方，利用微透鏡對光束進行準直 (Collimation)，確保光線能高效耦合進入光纖，減少損耗。
3. 光偵測器陣列 (Rx)：接收端核心，負責捕捉光訊號並轉回電訊號。
4. 耦合器 (Coupler)：作為 PIC 與外部光纖之間的橋樑，處理物理光路接通。

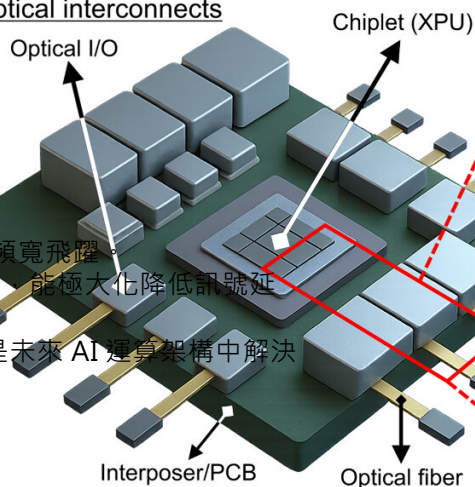
光纖陣列單元 (FAU)：最右側的物理接口，包含傳送 (Tx) 與接收 (Rx) 光纖，實現機櫃間的長距離訊號傳導。

像素化並行傳輸：圖中顯示了多條並行的光路，這驗證了 Micro-LED 適合「寬而慢」(WaS) 的架構，即透過增加通道數量 (陣列化) 而非單純追求極高單通道速率，來達成 Tbps 級的總頻寬。

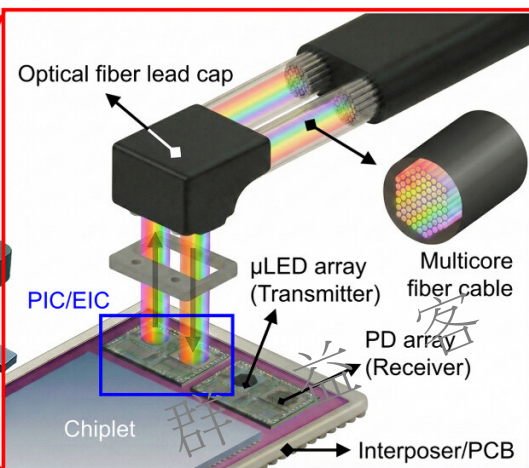
單片 3D 集成 (Monolithic 3D, M3D)

技術在光電整合系統中的前沿應用，特別聚焦於如何將光學互連 (Optical Interconnects) 直接整合至高效能運算晶片中。

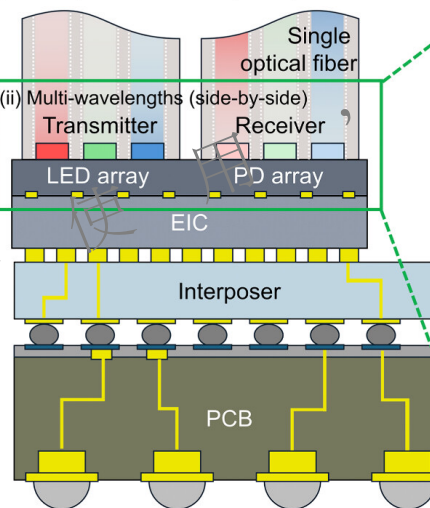
(a) PIC/EIC M3D system for optical interconnects



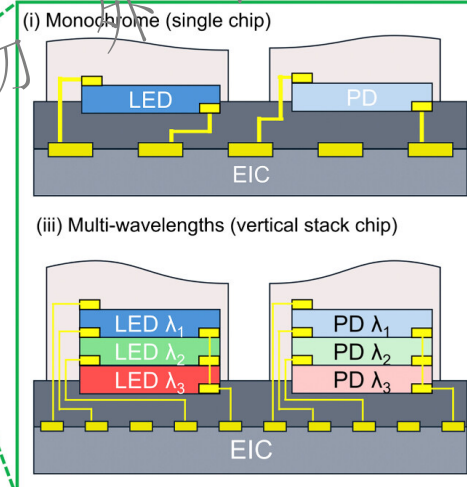
(b) Optical IO: Chip-to-chip optical interconnects



(c) PIC/EIC M3D system



μLED-PD architectures in PIC system



1. PIC/EIC M3D 系統架構 (圖 a)

此部分展示了一個高度集成的光子/電子單片 3D 系統：

- **晶片化設計 (Chiplet/XPU)**：中央核心為高效能處理單元 (XPU)，周圍佈置了多個光學 I/O 單元。
- **異質整合**：透過中介層 (Interposer) 與印刷電路板 (PCB) 連接，將原本分離的光學元件與邏輯電路整合在同一個微型化封裝內，大幅縮短了電訊號轉換為光訊號的路徑。

2. 晶片間光學互連與耦合技術 (圖 b)

此圖細節描繪了光學訊號如何在晶片間傳輸：

- **μLED 陣列作為發射器**：系統採用 Micro-LED (μLED) 陣列作為光源發射器，並搭配光電二極體 (PD) 陣列作為接收器。
- **多核心光纖 (Multicore Fiber)**：使用光纖引線蓋 (Optical fiber lead cap) 將 μLED 發出的光耦合進入多核心光纖電纜中。
- **高度整合的 PIC/EIC 層**：發射器與接收器直接構建在 EIC 層之上，實現了極高密度的光學互連。




3. μLED-PD 結構與多波長垂直堆疊 (圖 c)

這部分揭示了內部最關鍵的垂直堆疊技術：

- **單色與多波長方案**：
 - (i) **單色方案**：LED 與 PD 在同一晶片 (EIC) 上並排配置。
 - (ii) **多波長垂直堆疊方案**：這是本技術的最強項，將不同波長 ($\lambda_1, \lambda_2, \lambda_3$) 的 LED 與 PD 垂直堆疊。這意味著在極小的空間內，可以透過波分複用 (WDM) 技術大幅倍增傳輸頻寬，而無需增加水平佔用面積。
- **層級互連**：整個光學系統層層堆疊：LED/PD 陣列 → EIC → Interposer → PCB，並透過微小的焊球 (Solder bumps) 進行電氣連接

光通訊技術性能對比表 (Performance Comparison)

Micro-LED 是光互連中功耗最低的方案，非常適合 10 公尺以內的短距離傳輸。它具備極高的 150°C 高溫耐受性，且能實現 ns (奈秒) 等級的超低延遲。

性能指標	傳統電互連 (PCIe)	Micro-LED 陣列	高速 VCSEL	磷化銦矽光子 (InP SiPh)
圖片				
最大傳輸距離 (Max Reach)	1 m	5~10 m	100 m	2 km
Base	Copper	GaN	GaAs	InP
鏈路能耗 (Link Energy)	5~10 pJ/bit	< 1 pJ/bit	4 pJ/bit	5 pJ/bit
最高運作溫度 (Max Temp)	125 °C 銅線本體的電阻會增加 40% 以上。	150 °C / 30,000 hrs. LFT	85 °C	75 °C
CMOS 整合難易度	Easy (容易)	Easy (容易)	Medium (普通)	Hard (困難)
單位位元相對成本	Low (低)	Low (低)	Medium (普通)	High (高)
單通道傳輸速率	64 Gb/s (PAM4)	5~10 Gb/s	> 50 Gb/s	100 Gb/s

1. 極致的低能耗 (Link Energy) :

Micro-LED 的鏈路能耗小於 1 pJ/bit，僅為傳統電互連的 1/5 到 1/10，遠低於 VCSEL (4 pJ/bit) 和矽光子 (5 pJ/bit)。對解決 AI 伺服器巨大的散熱與供電壓力至關重要。

2. 卓越的耐高溫性 (Max Operation Temp) :

其運作溫度上限高達 150°C，大幅超越了 VCSEL (85°C) 和矽光子 (75°C)。這使得 Micro-LED 成為唯一能夠「貼近」高性能運算晶片 (如 GPU/HBM) 封裝的光源，因為這些區域的運作溫度通常遠超一般光模組的承受範圍。

3. 與 CMOS 整合的簡易性 (Ease of Integration):

Micro-LED 被標註為 Easy (容易整合)，這點與傳統電互連一致，優於矽光子的 Hard (困難)。這驗證了我們之前討論過的：Micro-LED 可以利用現有的成熟半導體製程進行大規模量產與異質整合。

4. 成本與頻寬的取捨 (The "Wide and Slow" Strategy) :

雖然 Micro-LED 的單通道傳輸速率較低 (5~10 Gb/s)，遠遜於矽光子的 100 Gb/s，但其優勢在於相對成本極低且體積微小，可以透過「數百路並行」的架構 (即寬而慢) 來達成總頻寬的超越。

5. 傳輸距離定位：其傳輸距離定位在 5~10 公尺，正好覆蓋了 AI 機櫃內與機櫃間 (Rack-to-Rack) 最密集的短距通訊需求。

Reference: Yi-Hau, Shiau

單片 3D 集成邏輯、電源與光電子技術

1. 異質集成與單片光子積體電路 (PIC)

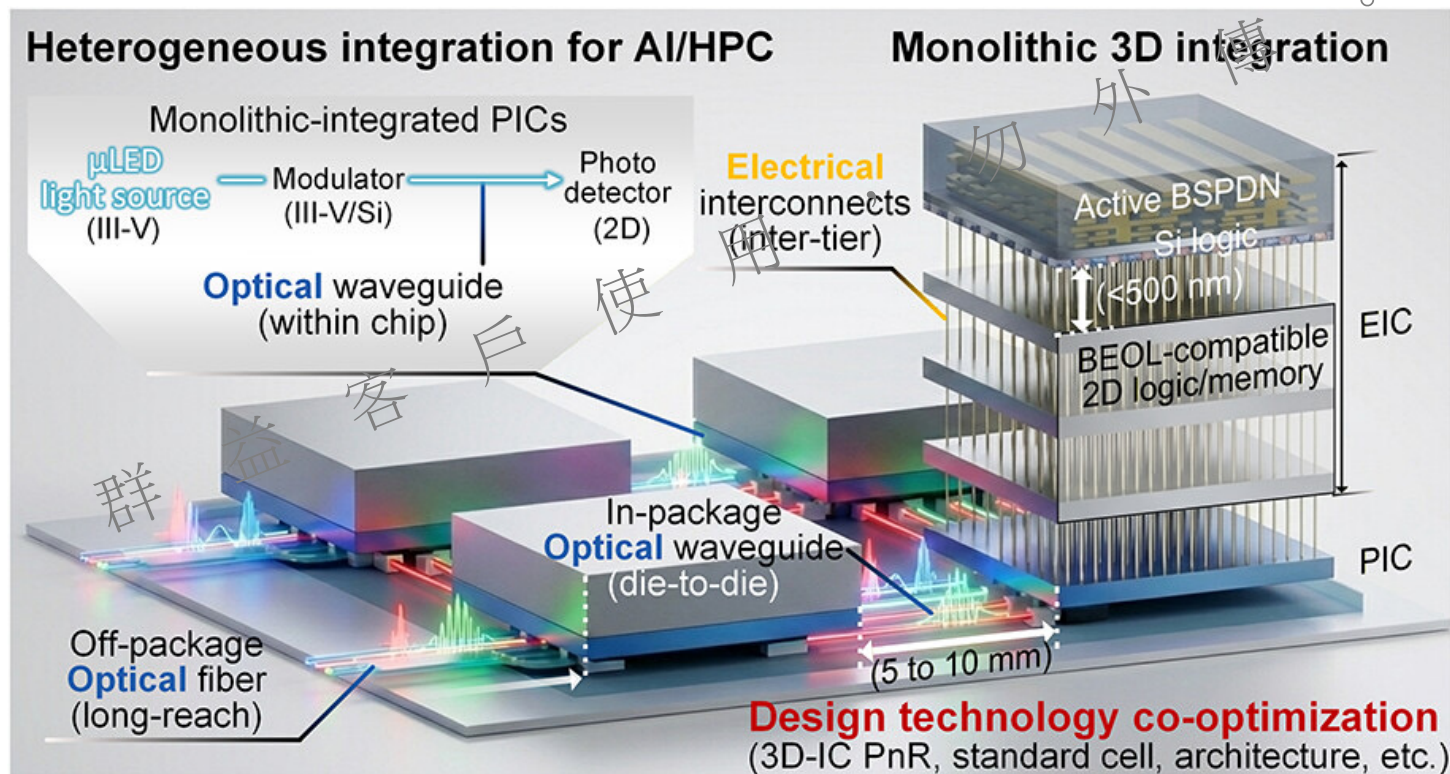
圖片左側描繪了單片集成的光子架構，強調在同一平台上整合多種材料與元件：

- **光源與調變器**：採用 III-V 族材料（如 DFB 雷射光源）來實現高效能的光產生與訊號調變。
- **光偵測器**：利用二維材料 (2D) 技術來製造，以追求更小的體積與更高的靈敏度。
- **晶片內光路**：這些元件透過晶片內的光波導 (Optical waveguide) 進行高速訊號傳輸。

2. 單片 3D 集成架構 (Monolithic 3D Integration)

圖片右側展示了垂直堆疊的極致方案，這與先前討論的 CPO 或 COUPE 技術路徑高度一致，但更強調「單片式」的緊密結合：

- **垂直堆疊層**：最底層為 PIC (光子層)，上方直接堆疊 EIC (電子積體電路層)。EIC 層包含了 2D 邏輯與記憶體單元。
- **主動式背面供電 (Active BSPDN)**：該架構導入了背面供電網絡 (Backside Power Delivery Network)。這是一項突破性技術，透過將供電線路移至晶圓背面，能有效降低電壓降 (IR Drop) 並釋放正面空間供訊號佈線使用，提升能源效率。



Micro LED CPO 全球供應鏈與布局概覽

TrendForce 預估到 2030 年產值將達 8.48 億美元。這雖然在半導體總產值中佔比不算最大，但它是針對「高毛利、高效能」的 AI 核心通訊市場，這代表相關供應鏈（如 nVIDIA+Acicena+TSMC+采鈺、MicroSoft+聯發科等）將在高端伺服器市場擁有極強的話語權。

參與廠商 / 聯盟	核心技術與方案	策略角色與布局亮點
Microsoft (MOSAIC) + 聯發科	Micro LED CPO 架構與 AOC (主動式光纜) 整合	建立系統級架構標準，由晶片大廠聯發科提供核心整合方案。
Credo (AEC 領導者)	收購新創 Hyperlume	透過併購擴展光互連產品線，鞏固機櫃內傳輸的領導地位。
Avicena + TSMC	LightBundle™ 技術 (超低功耗)、MicroLED PD	提供 512 Gbps 至 896 Gbps 的超高效率光互連方案。
ams OSRAM	自主研發 Micro LED 光互連方案	整合晶片、光學元件與專用 ASIC，預計 2027 年商業化問世。
友達 (AUO) + 富采 + 鼎元	玻璃 RDL Interposer (重佈線層中介層)	市場關鍵突破：提供整合好的中介層，客戶不需自建巨量轉移設備即可使用。
鴻X+鴻X+群創 (Innolux)	bEMC (先發電光) 優勢	透過垂直整合能力建立競爭門檻，強化 Micro LED 資源掌握度。
臻創 (PlayNitride) + 光循 (Brillink)	合作開發光互連布局	台灣 Micro LED 龍頭與光通訊新創的策略結盟。
京東方華燦 + 上海新相微電子	Micro LED 光互連開發	中國供應鏈積極卡位 AI 資料中心基礎設施市場。

聯盟化競爭 (Ecosystem Competition)

目前市場已不再是單一公司的競爭，而是**聯盟對抗**。例如 Microsoft 帶頭的 MOSAIC 體系，或是台灣以友達、群創為核心的垂直整合鏈。在 Marketing 上，強調「生態系完整性」與「供應鏈韌性」將是爭取資料中心大廠訂單的關鍵。

總結來說，Micro LED 正在從「顯示技術」轉身成為「AI 傳輸技術」。其低功耗、低延遲的特性，配合日益成熟的玻璃中介層整合技術，將使其在 2030 年前成為資料中心光互連市場的新顯學。

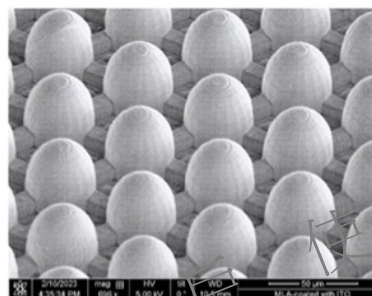
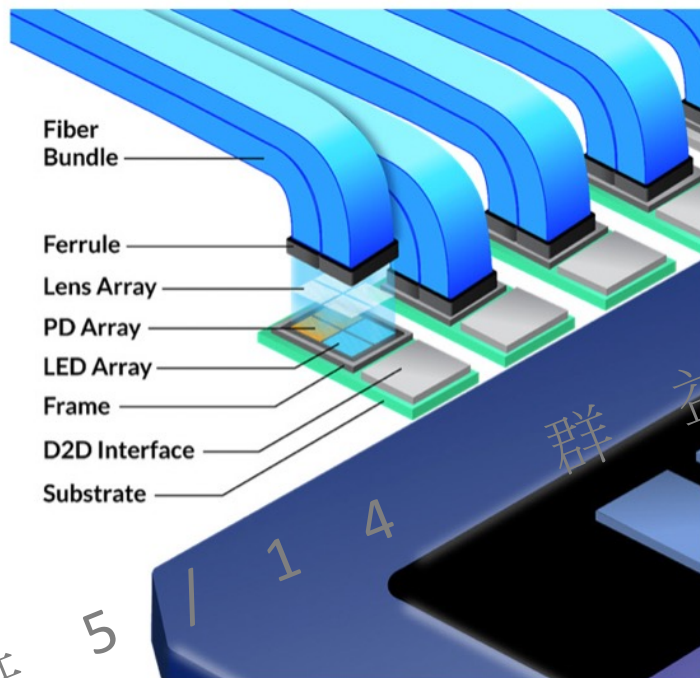
Avicena

僅供 5 | 1 4

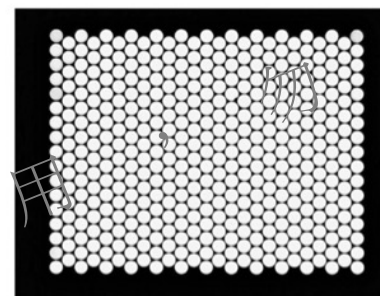


群益客戶使用，勿外傳。

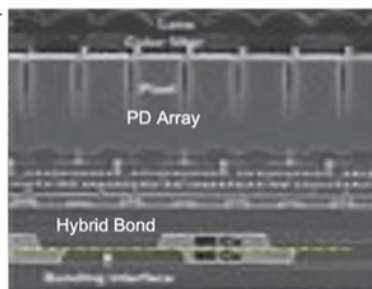
雖然電氣互連在幾毫米的短距離內工作良好，但它們在覆蓋範圍、尺寸和功率效率方面面臨根本限制，特別是在更高的資料速率和更長的距離下。Avicena的LightBundle™互連使用透過多核光纖束連線到CMOS IC上的光電探測器的microLED陣列。這實現了1pJ/bit的超低功率鏈路，範圍高達10米。



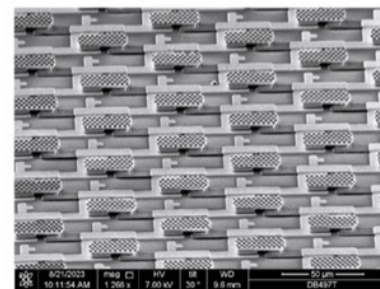
Lens Array



Fiber Bundle Cross Section



PD Array



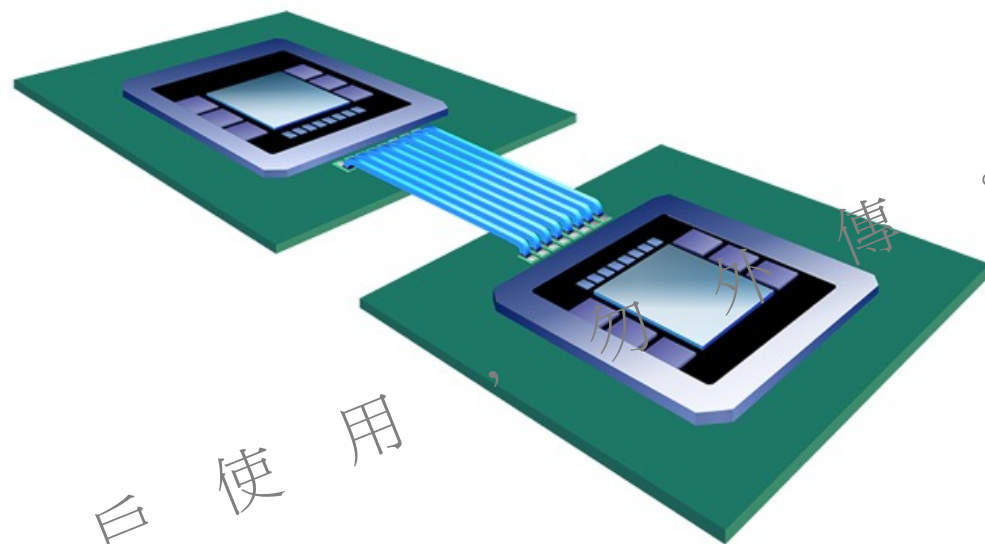
μLED Array

LightBundle™ – 使用microLEDs「移動資料」

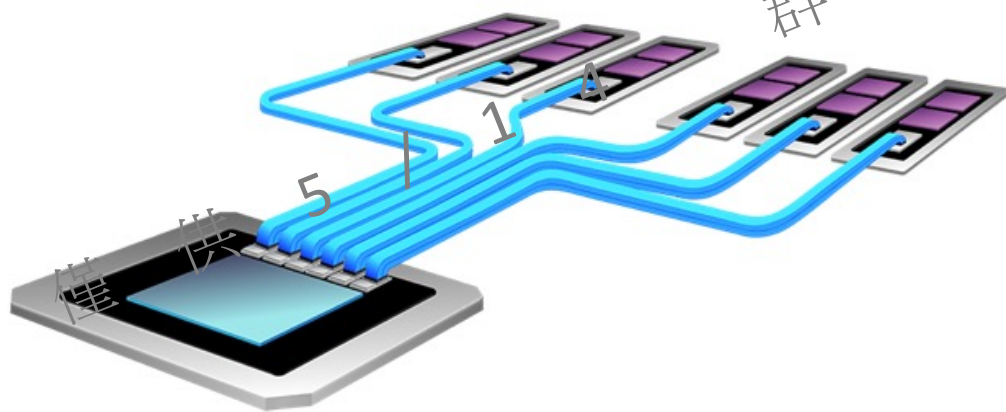
LightBundle互連的並行性質與CPU、GPU或交換機ASIC等IC的寬內部匯流排架構非常匹配，因此消除了對功耗密集型SerDes介面的需求。此外，Avicena的LightBundle是一個2D μLED陣列，使IO能夠覆蓋整個IC區域，從而進一步增加BW密度。



Avicena的板載光學（OBO）解決方案由一系列1.6Tbps OBO收發器組成，可以放置在xPU附近，顯著降低功耗，提高頻寬密度，並促進資料中心的xPU擴充套件。



OBO LightBundle解決方案



CPO LightBundle解決方案

Avicena的OBO是邁向共包裝光學（CPO）的重要一步，透過將光學元件直接整合到處理單元中，進一步提高頻寬密度和效率。這為人工智慧和高效能計算等資料密集型應用程式提供了更高的資料吞吐量和能源效率。



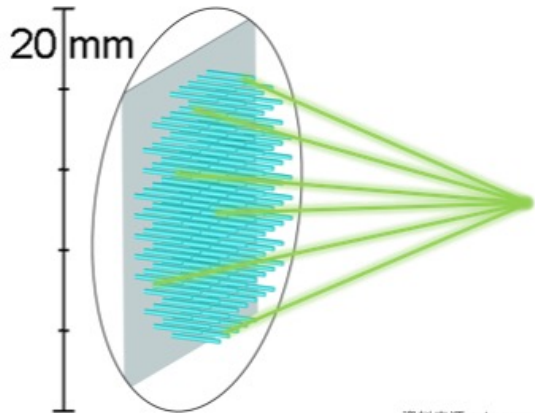
Meta Lens：技術、供應鏈、製程。

僅供 5 / 1 4

群益客戶使用，

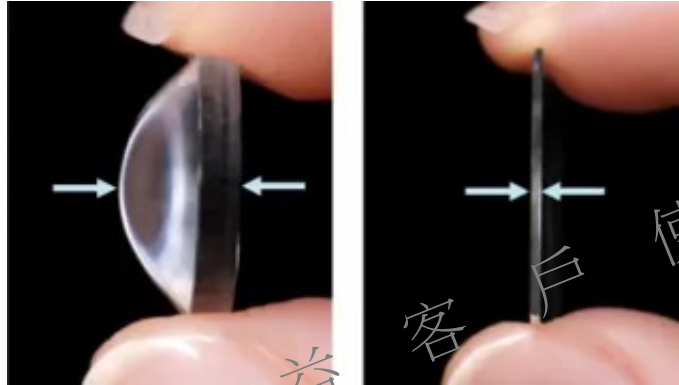
勿外傳。

超穎透鏡 Meta Lens是什麼？



資料來源：Ansys

超穎透鏡 (Meta Lens) 表面排列許多奈米柱狀結構，可以改變光線進入時的方向與速度，讓光線像是經過傳統鏡頭一樣聚焦成像。它能以一片薄膜取代多層鏡頭，大幅減少體積與重量，因此被視為手機鏡頭、感測器與穿戴裝置中下一代的光學解決方案。



京瓷利用其專有設計技術開發了一種元透鏡，其中焦點位置會根據光的顏色或波長而變化。使用這個鏡頭，不同顏色的影像可以在與觀眾的不同距離上形成。例如，綠色影像顯示得更遠，而紅色影像顯示得更近。透過在不同深度呈現影像，該系統即使在緊湊的可穿戴尺寸光學模組中也能產生具有強烈深度線索的鳥瞰圖。

應用

- 3D 感測與光達
- 自駕車、人臉辨識系統
- Image
- 醫療影像裝置
- 內視鏡、顯微鏡
- 紅外與監控系統
- 熱成像儀、機器視覺攝影機
- 消費性電子產品
- 手機相機、AR/VR 頭戴裝置等
- 光學投影
- 小型投影機
- 矽光子應用
- 光線發射端與接收端

Metalens的演變：從單個裝置到整合陣列

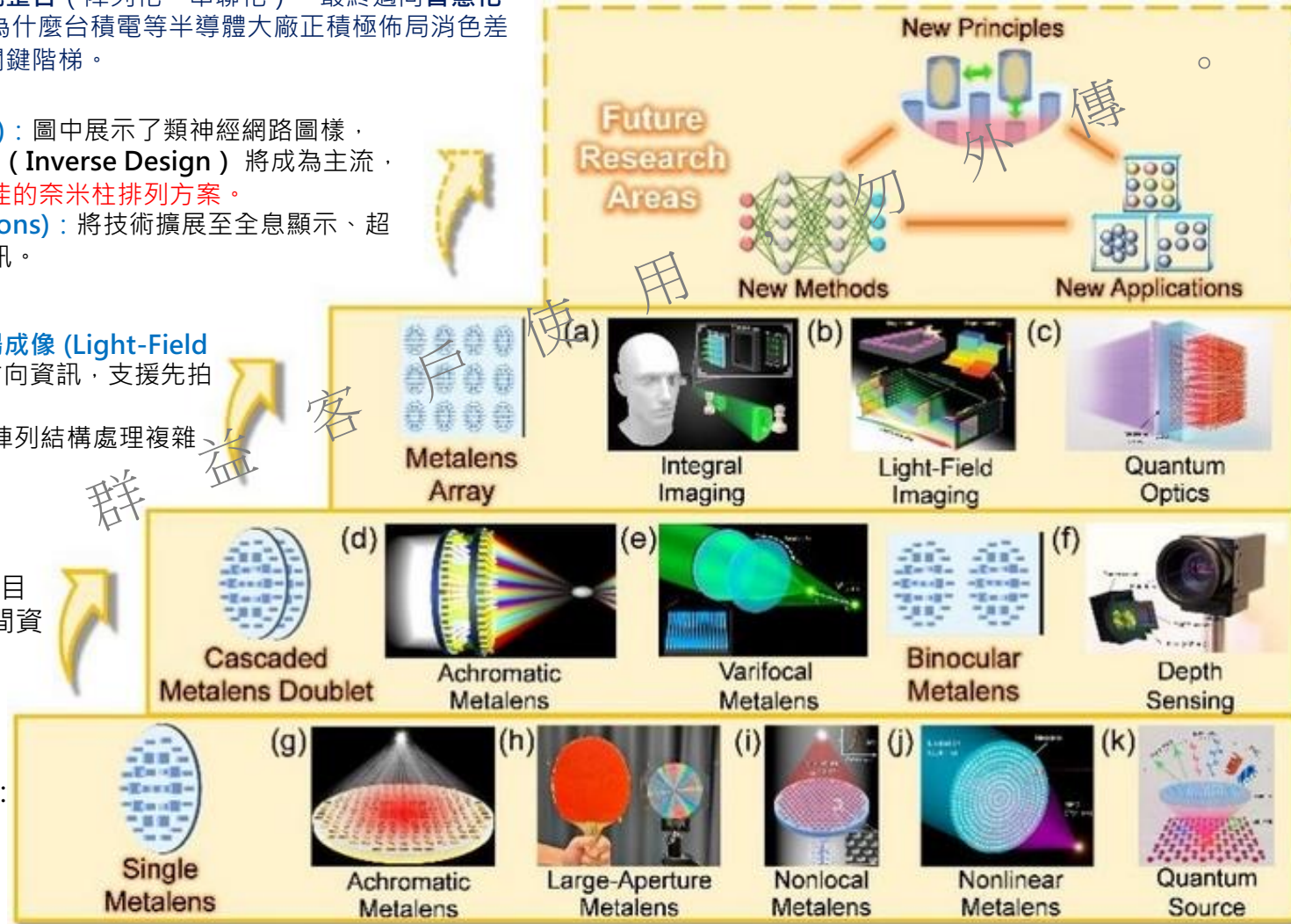
超穎透鏡從單點突破（解決色散、增加面積）到系統整合（陣列化、串聯化），最終邁向智慧化設計（AI 與新物理原理）的發展路徑。這也解釋了為什麼台積電等半導體大廠正積極佈局消色差與陣列化技術，因為這正是通往次世代智慧系統的關鍵階梯。

新方法 (New Methods)：圖中展示了類神經網路圖樣，代表 AI 驅動的逆向設計 (Inverse Design) 將成為主流，透過演算法自動尋找最佳的奈米柱排列方案。
新應用 (New Applications)：將技術擴展至全息顯示、超薄內視鏡及次世代光通訊。

整合影像 (Integral Imaging, a) 與 **光場成像 (Light-Field Imaging, b)**：捕捉空間中完整的光線方向資訊，支援先拍照後對焦，或裸眼 3D 顯示。
量子光學 (Quantum Optics, c)：利用陣列結構處理複雜的量子態傳輸。

深度感測 (Depth Sensing, f)：利用雙目 (Binocular) 或多層結構獲取三維空間資訊，應用於臉部辨識與自動駕駛。

大口徑超穎透鏡 (Large-Aperture Metalens, h)：挑戰在大面積基板上維持奈米結構的一致性，以提升進光量。



超穎透鏡 (Metalens) 的物理定義、結構組成及其聚焦機制

超穎透鏡並非透過透鏡的厚度變化 (如凸透鏡中心厚、邊緣薄) 來聚焦，而是透過在入射輻射中引入**可變相位延遲 (Variable phase delay)**。

相位調控：透過在空間中精確分布不同的相位延遲，可以重新形塑光波的波前 (Wavefront) 。

波前彎曲：來源中的模擬顯示，即使超穎透鏡的寬度僅有幾個波長，它仍能有效**彎曲波前**，並將大部分能量集中在一個焦點上。

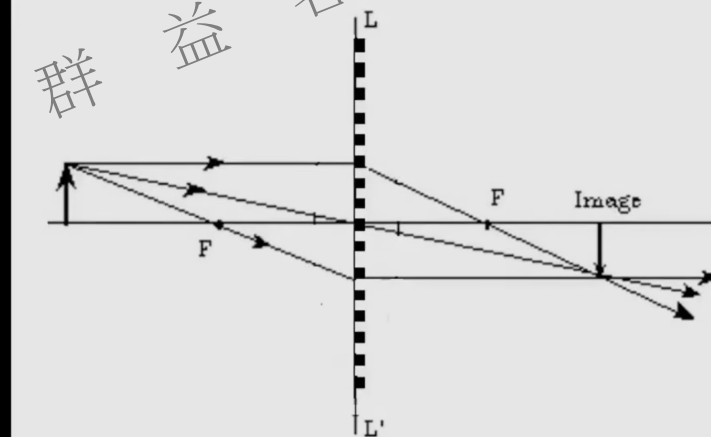
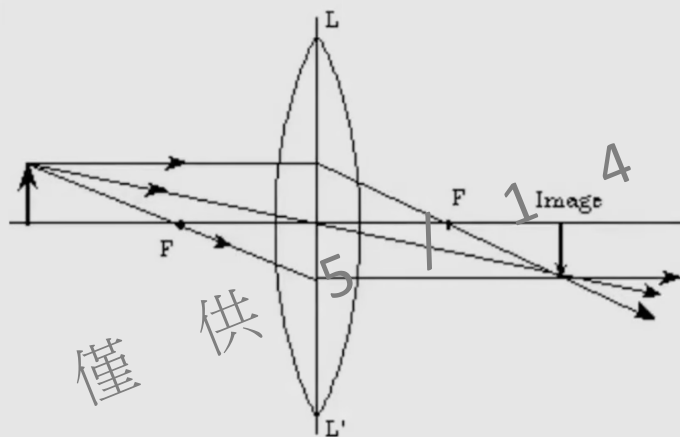
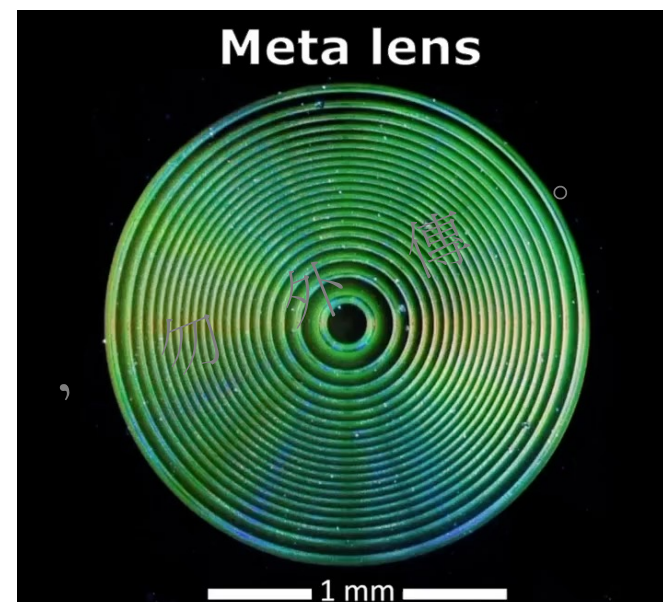
奈米結構與幾何參數設計

其結構與參數邏輯如下：

結構組成：由透明且具備高折射率材料製成**小型圓柱 (Small round pillars)** 組成。

直徑變化調控：實現局部相位延遲的關鍵在於**改變柱體的直徑**。

空間分布範例：在一種二維截面設計中，柱體直徑從**邊緣的小型**逐漸變化到**中心的大型**。這種直徑的梯度變化產生了所需的相位梯度，模擬了傳統透鏡的聚焦效果。



Standard Lens

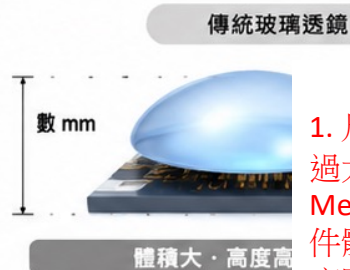
Meta Lens

為什麼 Meta Lens 對 CPO 至關重要？

Meta Lens 以奈米級光學操控能力，滿足 CPO (共同封裝光學) 對 **高整合 · 高效率 · 高效能** 的關鍵需求

1 尺寸與整合性

傳統玻璃透鏡體積過大且難以整合進半導體封裝。
Meta Lens 是**平面**的，能大幅縮小元件體積，符合 CPO 「共同封裝」的**高度緊湊需求**。



1. 尺寸與整合性：傳統玻璃透鏡體積過大且難以整合進半導體封裝。
Meta Lens 是**平面**的，能大幅縮小元件體積，符合 CPO 「共同封裝」的**高度緊湊需求**。

Meta Lens (超表面透鏡)

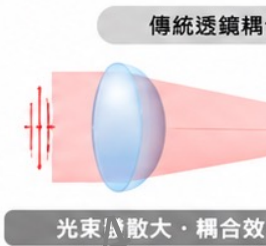


平面 · 易整合 · 高度緊湊

- 更**小**封裝體積
- 可直接整合於半導體製程
- 符合 CPO 共同封裝需求

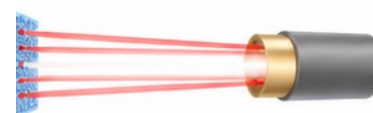
2 傳輸效率

在 800G 向 1.6T 甚至更高頻寬邁進時，光訊號必須極其精確地打入光纖。
Meta Lens 的奈米級精度能顯著**提升耦合效率**並**降低訊號衰減**。



2. 傳輸效率：在 800G 向 1.6T 甚至更高頻寬邁進時，光訊號必須極其精確地打入光纖。
Meta Lens 的奈米級精度能顯著**提升耦合效率**並**降低訊號衰減**。

Meta Lens 精準耦合



精準控制 · 耦合效率高 · 損耗低

- 奈米級相位控制
- 更高耦合效率
- 更低訊號衰減
- 支援更高速率 (800G / 1.6T / 3.2T+)

3 效能提升

配合台積電的**矽光子**技術，Meta Lens 有助於實現**高速**、**低功耗**的光傳輸，這對 AR/VR 眼鏡及 AI 伺服器需要處理龐大數據的應用至關重要。



3. 效能提升：配合台積電的**矽光子**技術，Meta Lens 有助於實現**高速**、**低功耗**的光傳輸，這對 AR/VR 眼鏡及 AI 伺服器需要處理龐大數據的應用至關重要。

應用場景



- 支援大頻寬應用
- 提升系統整體效能
- 降低功耗與散熱壓力
- 開啟未來光互連新時代

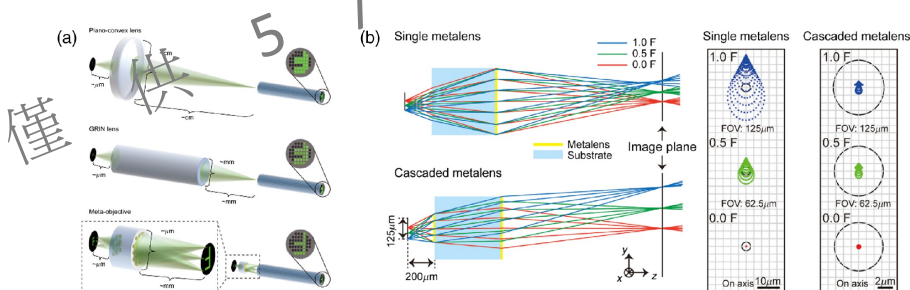
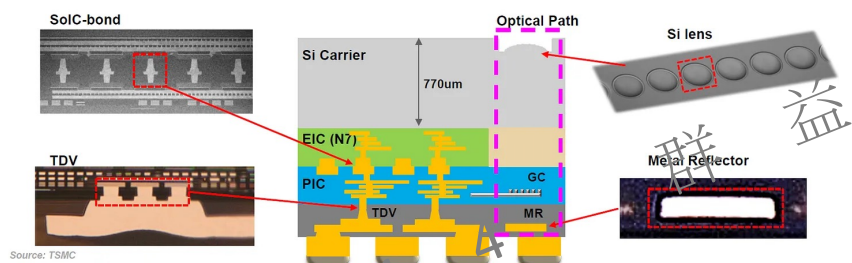
💡 Meta Lens = **小型化 × 高效率 × 高效能** → 推動 CPO 與矽光子技術邁向下一個世代

TSMC Micro-Lens → Meta-Lens

在高效能運算、人工智慧和資料中心應用領域對更高頻寬和更低功耗的需求推動下，矽光子技術正迅速崛起，成為下一代資料傳輸和先進封裝的關鍵技術。

台積電和英偉達共同開發的緊湊型通用光子引擎 (COUPE) 平台正在重塑光電整合格局。COUPE不僅整合了先進的共封裝光學元件 (CPO) 架構，還建構了一個可擴展、可量產的光子整合框架，涵蓋光耦合、封裝和材料工程等領域。

在這個生態系中，Meta Lens在光I/O演進中扮演著不可取代的角色。傳統的光耦合器依賴一維光纖陣列單元 (FAU)，但對多通道、多波長和高密度互連日益增長的需求正在推動向二維FAU結構的轉變。未來Meta Lens憑藉其超薄且可編程的波前控制能力，完美地支持了這種幾何結構的轉變，從而提升了光纖耦合效率和光束整形性能。



Micro-lens 佔空間：傳統微透鏡受限於物理光學焦距，透鏡本身必須具備一定的厚度與弧度，且光纖陣列 (FAU) 與晶片之間需要保留實體物理距離 (工作距離)。

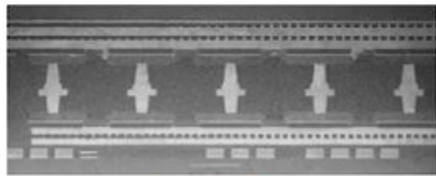
Meta-lens 實現「薄膜化」：Meta-lens 是完全平面的薄膜結構，厚度僅有奈米級。它能在極短的距離內完成光束聚焦與 90 度轉向，讓光纖陣列 (FAU) 可以更緊密地貼合晶片，大幅壓縮封裝厚度。

TSMC Micro-Lens → Meta-Lens

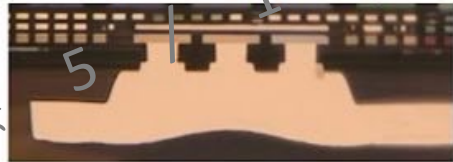
台積電COUPE架構及核心技術概況

- PIC採用SOI基板及65奈米製程製造
- EIC採用7奈米全幅CMOS製程製造
- 光調變器採用MRM設計

混合鍵合(Hybrid Bonding)



介質通孔(TDV)

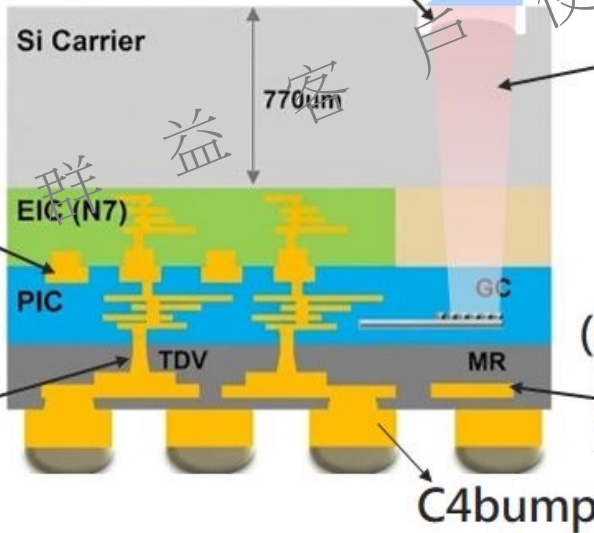


矽微透鏡

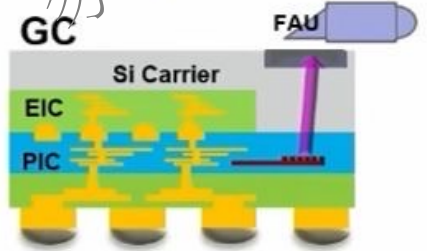


光纖陣列(FAU)

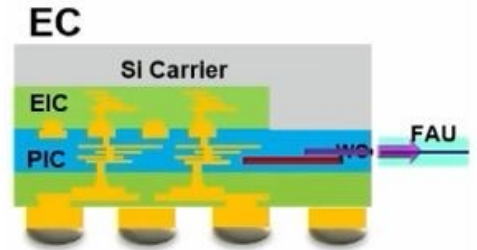
光路



光柵耦合器 (Grating Coupler)



邊緣耦合器 (Edge Coupler)



僅供

Silicon Based Micro-Lens by Sony Semiconductor

通常的彩色圖像感測器是在各像素的光電二極管上構建紅、綠、藍3種彩色濾光片，但索尼的多光譜圖像感測器IMX454在光電二極管上構建了8種濾光片，可分別透過不同波長的光線。通常的多光譜相機內置稜鏡和衍射光柵等分光元件，採用以一定速度移動被攝體或相機進行拍攝的機制，因此拍攝場景有限。而使用IMX454的話，可以和普通相機一樣，一次拍攝即可獲取二維圖像，適用於多種場景。

在圖像感測器上搭載4向偏光元件
索尼的偏光感測器上搭載了4向偏光元件，單次自動對焦可獲取4個方向的偏光圖像。可根據各方向的偏光元件的亮度值計算出偏光方向（光的振動方向）與偏光度（偏光的程度）。

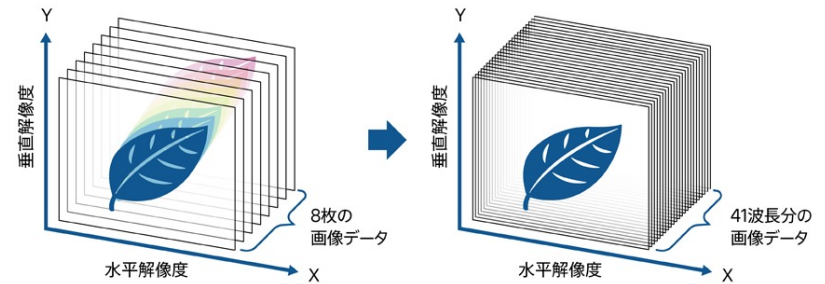
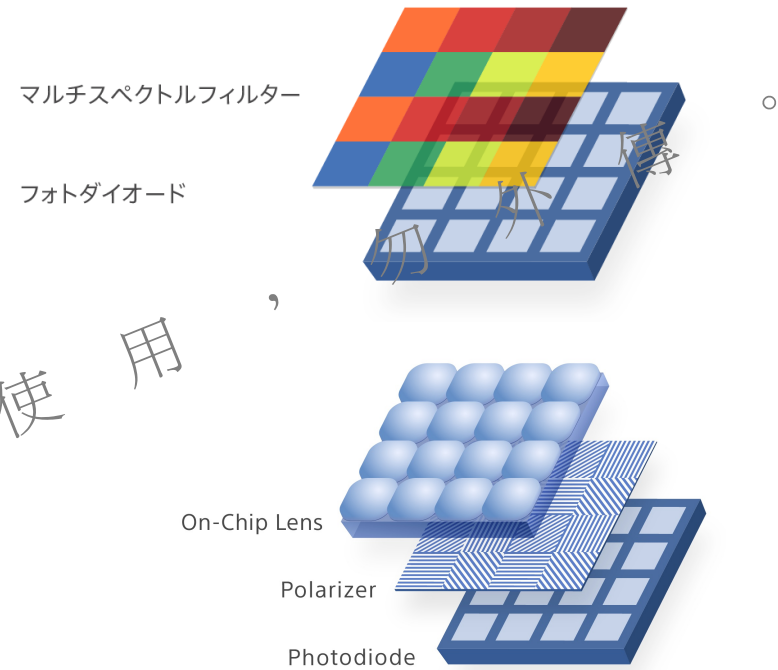
結合後段的信號處理，可實時*2獲取偏光信息*3。

*2) 依賴於後段系統的信號處理能力

*3) 偏光方向與偏光度

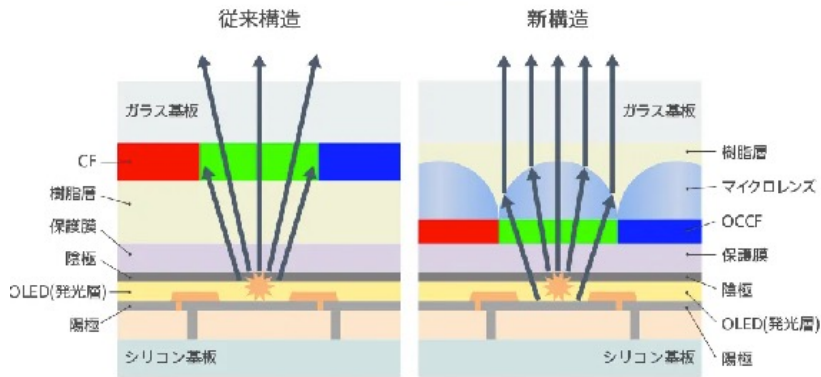
一次拍攝即可獲取41種波長的圖像數據

將搭載多光譜濾光片的IMX454和為其專門設計的索尼自研信號處理軟件相結合，一次拍攝即可通過8種濾光片獲取41種波長（450nm~850nm、以10nm為單位刻度）的圖像數據。這樣的高分辨率有助於獲得更加詳細的信息，而且從可見光到近紅外光的波長選項更加豐富，適用於多種用途。



Silicon Based Micro-Lens by Sony Semiconductor

断面構造の比較

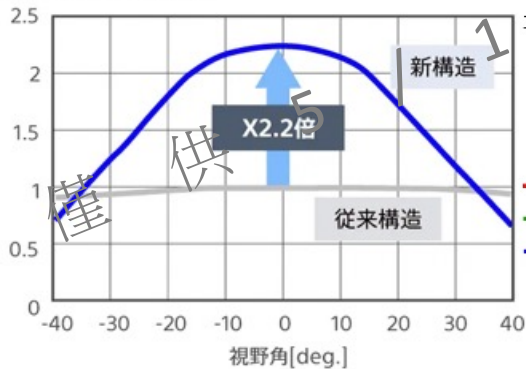


通過採用微透鏡技術，提高發光效率

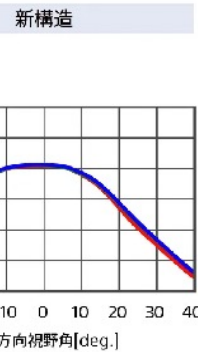
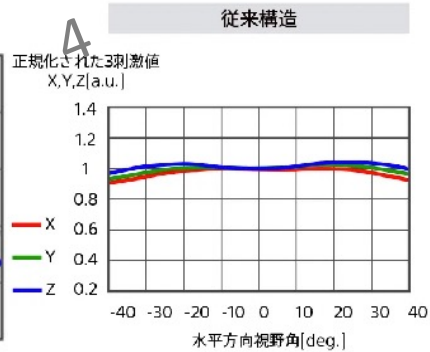
如圖所示，通過將微透鏡配置在像素內的OCCF (On Chip Color Filter: 芯載彩色濾光片) 上，來自發光層正面方向的光線出光效率提升到傳統結構的2.2倍。在AR眼鏡等需要具備高亮度的應用中，原理上會希望能夠得到更加平行的出射光線，故這項發光特性對此來非常有利。此外，在不需要用到高亮度的應用中，該技術將有助於降低功耗和延長使用壽命。

發光プロファイルの比較

新構造と従来構造の輝度比



三刺激値の視野角特性



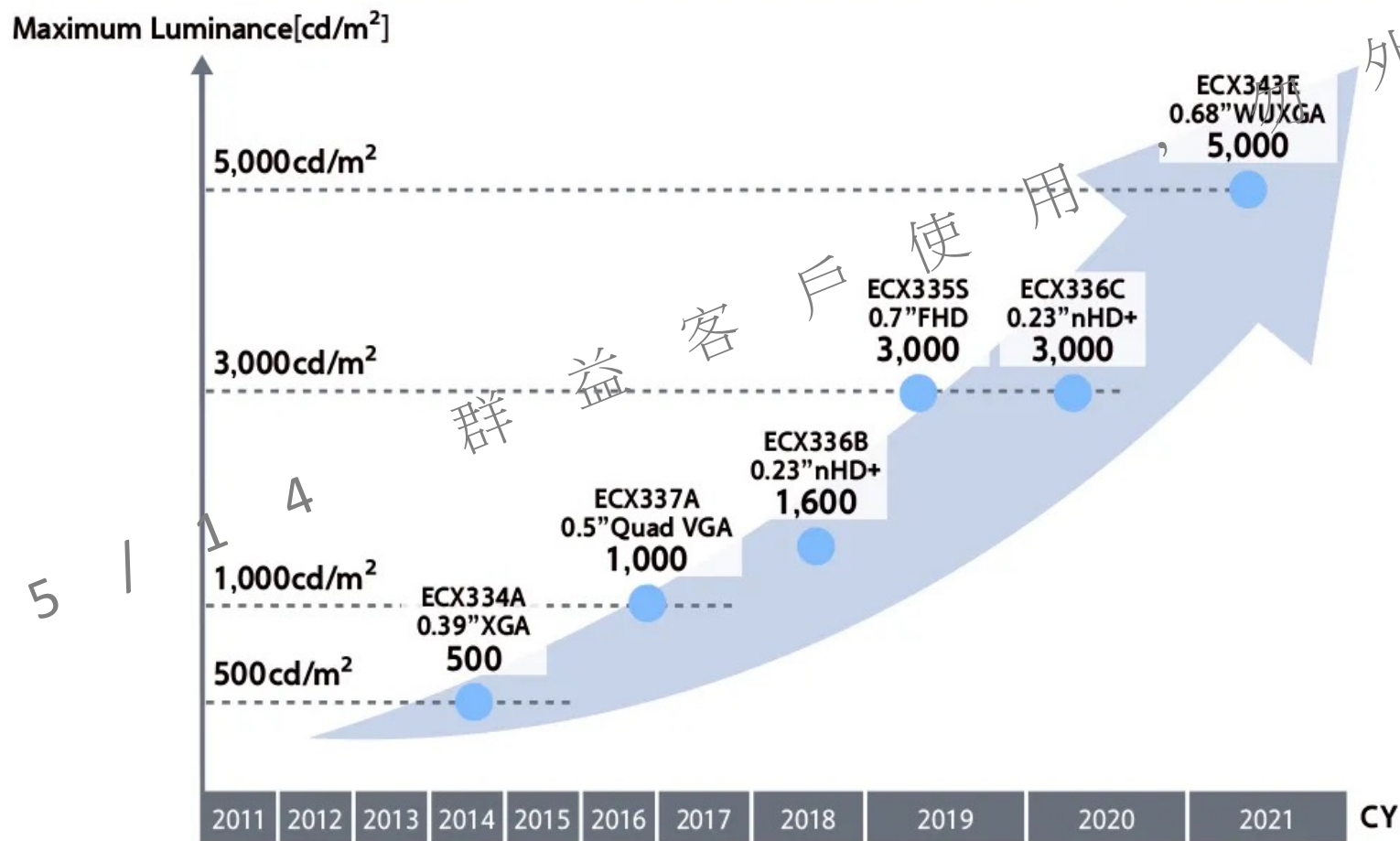
通過採用微透鏡技術，改善可視角特性。由於從微透鏡中射出的光線會更加平行，因此具有在正面方向可達到峰值的特性。該特性對於AR眼鏡等偏光光學系統及光波導光學系統來說，是非常具有優勢的。同時，該特性還有助於將相鄰的彩色濾光片之間的干擾降至最小程度，產生如下圖所示的可視角改善效果。從斜向進行觀測時的三刺激值偏離也變得很小，具有改善偏色的效果。

■參考文獻

Youssef Motoyama 等 DISTINGUISHED PAPERS, BEST OF DISPLAY WEEK2019
High-efficiency OLED microdisplay with microlens array

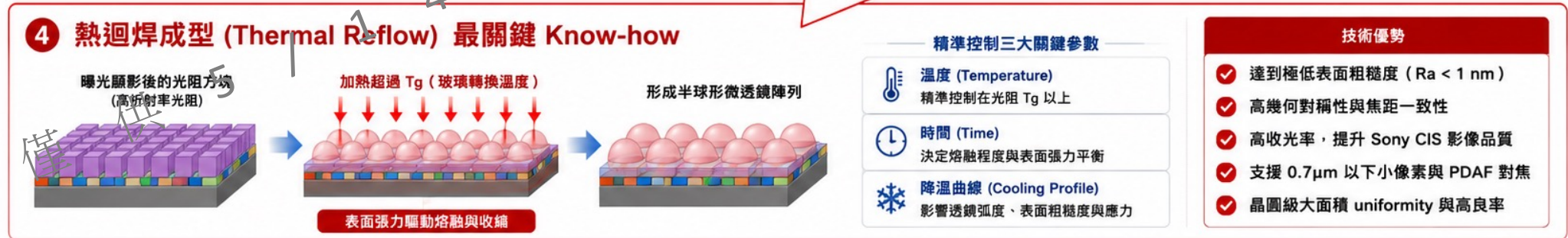
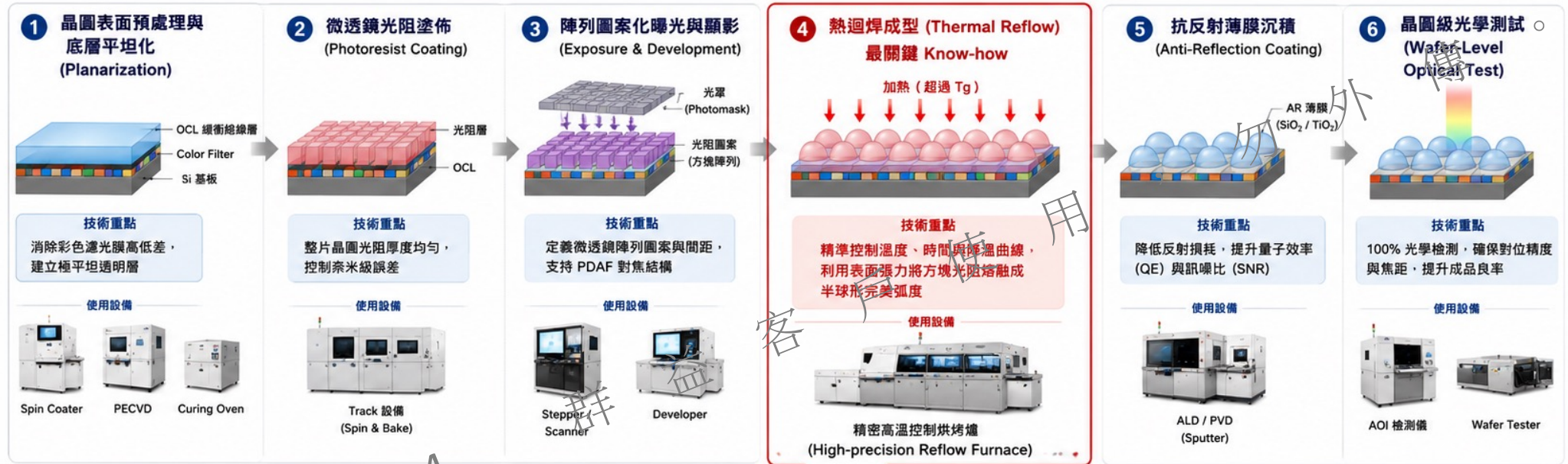
最大亮度提升到了10倍

通過導入微透鏡技術來提升亮度之外，還持續不斷地採取了改善發光效率的有效對策，如下圖所示，分階段地提高了最大發光亮度。



晶圓級 Micro-Lens 製造流程

為 Sony CMOS 影像感測器 (CIS) 打造高收光率、高解析度的微透鏡陣列



★ 熱迴焊成型是決定 Micro-Lens 光學性能的關鍵核心技術，也是采鈺科技的核心競爭力所在！

Meta-Lens 供應鏈發展趨於成熟，應用多元

超透鏡設計、材料、量產業者及應用領域列舉

設計



材料



量產



應用領域

各類型機器人

消費性電子

CPO

AR/VR眼鏡

深度感測

超穎透鏡「量產」端業者深度比較表

量產端分為DUV/EUV (高精度、高成本) 與NIL (大面積、低成本) 兩大陣營。

公司名稱	核心量產技術	技術優勢	製程規模	主要客戶	成本與競爭力
VisEra (采鈺)	12吋 DUV 浸潤式微影	整合 GeSi 鍺矽技術與元透鏡於單晶圓。為全球最大晶圓級光學代工廠。	12吋大規模產線	AI 資料中心、CPO 模組供應商	
合聖 (AuthenX)	元透鏡輔助 CPO 耦合技術	支援多通道可拆卸式 FAU 與矽光晶片耦合。對位容忍度達 $\pm 18\mu\text{m}$ (1dB 損耗下)。	高精密半導體光學封裝	AI 資料中心、CPO 模組供應商	
UMC (聯電)	40nm 製程與 WoW 鍵合	透過「晶圓對晶圓」鍵合縮減 50% 模組體積具備成熟 12 吋設施。	12吋大規模產線	AI 資料中心、CPO 模組供應商	
ST (意法)	300mm IDM 前端製造	光學與電路在同一晶圓廠完成，一致性極高全球首家大規模量產元表面公司。	12吋大規模產線	Samsung、Xiaomi	
NILT / 瑞儀	奈米壓印 (NIL) 垂直整合	掌握石英主模具開發與大面積壓印技術。瑞儀宣稱已成功量產。	垂直整合 NIL 產線	AR/VR 品牌商	
Asia Optical (亞光)	直接奈米壓印 (NIL)	採用全無機材料，解決聚合物受熱變形與變黃問題，具高耐候性。	-	LGIT、車載、臉部辨識	
MetaOptics	DUV 微影與自動化測試	提供從生產到測試的一體化解決方案，利用台灣供應鏈縮短開發週期。	政府試產線 / 台灣代工夥伴	國際級智慧手機與車用客戶	
MetaLenX (邁塔蘭斯)	DUV 量產與晶片化設計	具備全流程設計體系，主打自主 IP 國產化，提供混合透鏡系統。	國內外合作代工廠產線	手機、車載、安防系統	

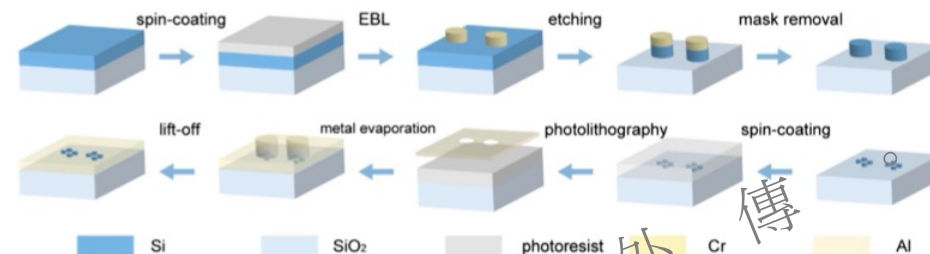
技術差異點： AI 與矽光子 (CPO) 應用高度依賴 TSMC/采鈺/ST 的 DUV 路線，因為對位精度需達到奈米級以減少耦合損耗；而 AR/VR 市場則因大面積與低成本需求，偏好 NILT/亞光/瑞儀的 NIL 路線。

成本結構： DUV 路線的光罩成本 (Mask Cost) 高達數百萬美元，光刻成本佔 40~55%；NIL 路線則主要貴在主模具開發，但後續生產效率極高。

產業地位： Metalenz 扮演類似 ARM 的 IP 授權角色；采鈺與 ST 則鞏固了全球 12 吋專業光學代工的壟斷地位。

超穎透鏡「設計」端業者深度比較表

設計端的差異在於**波段優化與IP 授權模式**，核心競爭力來自於對奈米光柱 (Meta-atoms) 排列算法的掌握。



公司名稱	技術說明與定位	技術差異點	核心製程路徑	主要客戶 / 應用	競爭力
Metalenz (美國)	擁有哈佛大學 Capasso 實驗室基礎專利獨家授權。	專精於偏振敏感 (Polarization) 感測，開發 Polar ID 方案。	DUV (300mm CMOS 相容)	客戶應用	Mask 成本極高，但適合大規模商用。
NIL Technology (NILT) (丹麥) (台灣)	專注於高效率 (94%) 超穎表面元件設計。	垂直整合 NIL 產線，擅長大面積 AR 波導設計。	奈米壓印 (NIL)		模具開發昂貴，但單次壓印成本極低。
MetaLenX (邁塔蘭斯) (中國)	具備全流程設計體系，主打自主 IP 國產化。	針對 ADAS 前向視角開發混合系統 (Hybrid Lens)。	DUV 量產與晶片化		主打超大規模量產以攤提開發成本。
MetaOptics (新加坡)	提供圓形與矩形超穎透鏡，優化像素區域。	可在玻璃基板上直接製造，具備 3000 萬顆年產能潛力。	40/45nm DUV 浸潤式微影		利用新加坡政府試產線降低初期投資。
Tunoptix (美國)	開發突破性元光學平台，優化動態控制。	專注於軟硬體協同開發的光學平台。	-		研發導向成本。
2Pi Optics (美國)	平面元光學設計商。	專注於全平面光學解決方案。	CMOS Metasurface		試產階段成本較高。
Sony Semiconductor (日本)	矽基光學晶片與元光學設計。	專注於超穎表面光學晶片研發。	CMOS Metasurface		末期研發階段。
与光科技 (Seetrum) (中國)	頻譜感測與元光學設計。	擅長頻譜分析與微型化感測設計。	CMOS Metasurface		模組化成本優勢。
維悟光子 (Wave Photonics) · Najing · Metarosetta	專精於矽光子與元光學路由設計。	針對 CPO 與 Optical I/O 提供奈米結構優化。	CMOS Compatible		與 Foundry 協同設計以降低整合成本。

超穎透鏡「材料」端業者深度比較表

材料端的關鍵在於高折射率 (High-RI) 熱穩定性，以利於奈米壓印製程或承受半導體後段高溫回錫。

公司名稱	技術說明與主打材料	技術差異點	適用製程	終端應用	成本與特點
Inkron (芬蘭)	高折射率樹脂 (RI 可達 1.7~1.9)。	被瑞儀收購，專供 AR 繞射波導材料。	NIL、噴墨列印 (Inkjet)	AR/VR 玻璃、車用。	
Pixelligent (美國)	PixNIL 系列高折射率奈米複合材料。	提供大製程窗口，減少反射損耗。	UV-NIL	延展實境 (XR) 顯示器。	
DELO (德國)	KATIOBOND OM614 等 UV 硬化環氧樹脂。	硬度與脆性平衡極佳，可承受 260°C 回錫。	永久性 NIL、WLO	車用照明 (MLA)、微型投影機。	
NTT-AT (日本)	UV 壓印高折射率樹脂。	旨在降低奈米柱深寬比 (Aspect Ratio)，提升結構穩定。	UV-NIL	AR 波導、元表面元件。	
Sanyo Chemical (日本)	光學級功能性材料。	提供特殊光學單體與聚合物材料。	資訊不詳	消費性電子材料。	
Solnil (法國)	奈米壓印專用溶液。	專注於溶液型 NIL 材料研發。	NIL	機器人、AR 感測器。	

PixNIL® Micro-Optics for 3D sensing and 3D Display Applications

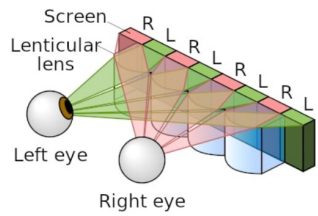


PixNIL® 微光學器件適用於 3D 傳感和 3D 顯示應用

3D displays



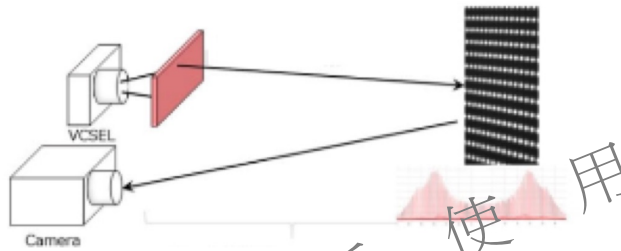
Lenticular Lens



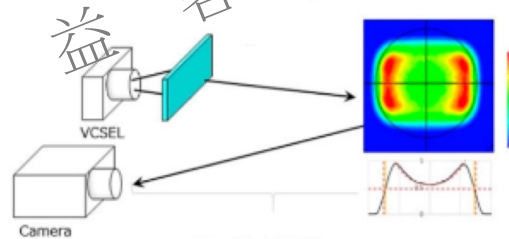
3D Printed Optics



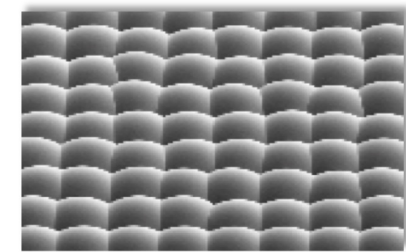
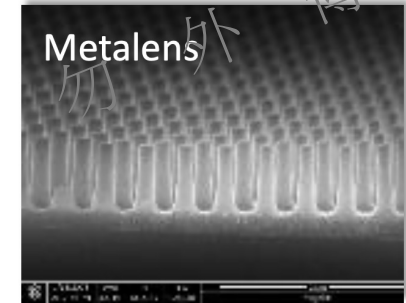
Dot Projector: Diffuser



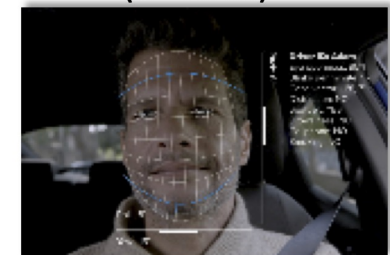
3D Sensing - dTOF



PixNIL® high-index nano- and micro-imprinted components

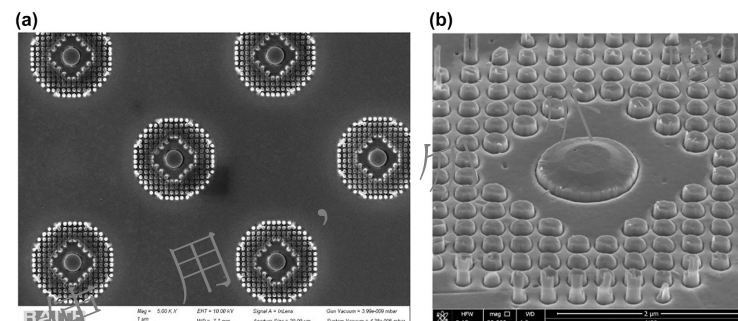


(30 – 50 um)



采X的製程能力：用於寬頻光能量收集的錐透鏡超穎透鏡

項目	技術參數 / 說明
結構類型	多層堆疊層 (至少兩層以上),
折射率差 (Δn)	0.1 ~ 2.5 (優選 0.5 ~ 1.8),
厚寬比 (AR)	< 10 (提升量產可行性),
總高度	< 1,000 奈米 (1 μm)
校正功能	相位校正、像差校正 (如球面像差、色散)
應用位置	微透鏡下方或感測器上方 10 μm ~3mm 處,



=高透光率結構設計=

錐透鏡 (Axicon) 超穎透鏡結構:

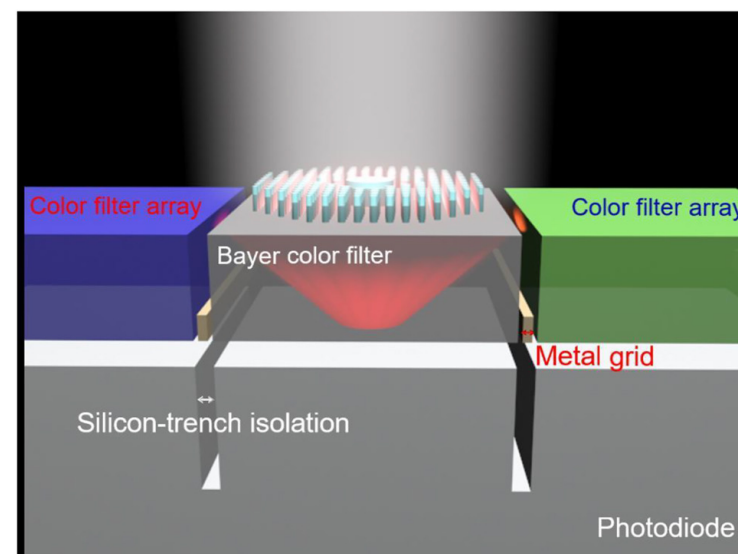
提出了一種特殊的超穎透鏡設計，用於取代傳統的「白白 (W)」像素區域。

結構組成：

由中心的一個大型圓盤 (Central Disc) 與周圍環繞的不同直徑奈米光柱 (Nanoposts) 組成。

傳統 Bayer 濾光片的缺陷：

傳統的彩色濾光片 (如 RGB 陣列) 是透過「吸收」或「反射」掉不需要的光波來獲取色彩資訊，這會導致高達三分之二的入射光被白白浪費。



超穎透鏡 (Meta-lens) 重點：

1. 光學技術的數位化與半導體化轉型

它不再依賴透鏡厚度產生的光程差，而是利用平面基板上的奈米級結構 (Meta-atoms) 進行波前工程，直接對光的相位、振幅與偏振進行「數位化」調控，實現極致的平面化與微型化。

2. 次世代 AI 算力與矽光子 (CPO) 的核心基石

在台積電 (TSMC) 的 COUPE 平台藍圖中，超穎透鏡是突破 1.6T 邁向 12.8T 傳輸速度的關鍵。它解決了傳統微透鏡 (Microlens) 在高密度 2D FAU (光纖陣列) 空間不足、對位精度要求極高以及耦合損耗 (Insertion Loss) 等問題，是實現高效能 AI 資料中心光學互連的終局方案。

3. 重塑發光元件效率：解決 VCSEL 與 Micro-LED 發散痛點

超穎透鏡透過精準的奈米相位控制，從物理底層解決了光源的先天缺陷：

Micro-LED：捕捉極端朗伯源 (Lambertian) 的大角度散射光，偏轉效率可達 80% 以上，是輕量化 AR 眼鏡與裸眼 3D 顯示的技術核心。

4. 製程路線決定商用競爭力：DUV vs. NIL

DUV + 微影製程路線：具備奈米級對位精度，雖然光罩成本極高，但最適合需要高精度耦合的 AI 矽光子與 CPO 應用。

奈米壓印 (NIL) 路線：設備成本低且適合大面積生產，是 AR/VR 波導片與消費電子追求低成本大量產的最佳選擇。

Micro-LED 在光通訊領域重點：

1. 極致低功耗與高耐溫性：AI 算力中心的救星

相較於傳統雷射 (VCSEL/矽光子) 方案，Micro-LED 鏈路能耗小於 1 pJ/bit (僅為其 1/5)，且最高運作溫度可達 150°C。這使其能直接部署在發熱量巨大的 GPU 或 HBM 旁進行「光子橋接」，有效解決 AI 伺服器因銅纜長度受限而導致的散熱與佈線難題。

2. 矽光子封裝與超穎透鏡 (Meta-lens) 的技術突破

為解決光纖與晶片間極其嚴苛的對準問題，合聖 (AuthenX) 研發的 Meta-lens 技術能提供 $\pm 18\mu\text{m}$ 的機械容差，是 CPO 商用化的關鍵。同時，奇景光電與采鈺憑藉成熟的 WLO (晶圓級光學) 與 12 吋半導體光學製程，成為台積電 COUPE 平台的重要元件供應商。

3. 單晶整合與 3D 封裝實現極短距互連

技術趨勢正邁向 ASIC 與 GaN 的單晶整合 (Monolithic Integration)，利用 GaN 晶圓直接作為光學中介層 (Optical Interposer) 並兼作光波導。透過台積電的 COUPE 3D 封裝平台，運算晶片與光電組件能以極短距離連接，達成低於 1 奈秒的傳輸延遲。

4. 2028年：Micro-LED 從顯示轉向通訊的元年

產業預期 2028 年後將是技術從實驗室走向產業化的關鍵轉折。隨著 NVIDIA、微軟、聯發科等巨頭的加入，以及鈦創、富采等台廠在通訊級晶粒的產能佈局，Micro-LED 已不再僅是顯示技術，而是支撐次世代 AI 超級電腦互連架構的核心物理基礎。

